TOSHIBA

東芝 オリジナル CMOS 16 ビット マイクロコントローラ

TLCS-900/L1 シリーズ

TMP91C025

株式会社東芝セミコンダクター社

はじめに

この度は弊社 16 ビットマイクロコントローラ TLCS-900/L1 シリーズ、TMP91C025 をご利用いただき、誠にありがとうございます。

本 LSI をご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホルト状態からの解除に関する注意事項

通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 (f_{FPH} 約 5 クロックの間) に、HALT モードを解除可能な割り込み (INT0~INT3, INTRTC, INTALM0~INTALM4, INTKEY) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

低電圧/低消費電力

CMOS　16 ビット　マイクロコントローラ

TMP91C025F/JTMP91C025-S

1. 概要と特長

TMP91C025 は､低電圧/低消費電力動作が可能な高速･高機能 16 ビットマイクロコントローラです。

TMP91C025F は、100 ピンミニフラットパッケージ製品です。JTMP91C025-S は 100 パッドチップ製品です。特長は次のとおりです。

(1) オリジナル 16 ビット CPU (900/L1-CPU 使用)
- TLCS-90 と命令ニモニックで上位互換
- 16 M バイトのリニアアドレス空間
- 汎用レジスタ＆レジスタバンク方式
- 16 ビット乗除算命令、ビット転送/演算命令
- マイクロ DMA: 4 チャネル (432 ns/2 バイト@36 MHz)

(2) 最小命令実行時間: 111 ns (@36 MHz)

(3) 内蔵 RAM: なし
内蔵 ROM: なし

(4) 外部メモリ拡張
- 104 M バイト (プログラム, データ) まで拡張可能
- 外部データバス 8/16 ビット幅共存可能
… ダイナミックデータバスサイジング
- セパレートバスシステム

(5) 8 ビットタイマ: 4 チャネル

(6) 汎用シリアルインタフェース: 2 チャネル
- UART/同期両モード対応: 2 チャネル
- IrDA ver1.0 (115.2 kbps) 対応モード選択可能: 1 チャネル

(7) LCD コントローラ
- シフトレジスタ型, RAM 内蔵型の両 LCD ドライバに対応

(8) RTC (リアルタイムクロック)

- TC8521A を基本とした仕様

(9) キーオンウェイクアップ (キー入力割り込み)

(10) 10 ビット AD コンバータ (サンプルホールド回路内蔵): 4 チャネル

(11) タッチスクリーンインタフェース (X 軸 Y 軸切り替え用スイッチング回路内蔵)

(12) ウォッチドッグタイマ

(13)メロディ/アラームジェネレータ

- メロディ: 4~5461 Hz のクロックを出力
- アラーム: 8 種類のアラームパターンを出力
- 5 種類のインターバル割り込みを出力

(14) チップセレクト/ウェイトコントローラ: 4 チャネル

(15) MMU

- 4 ローカルエリア/8 バンク方式により 104 M バイトまで拡張可能

(16) 割り込み機能: 37 本

- CPU 9 本 …… ソフトウエア割り込み命令、未定義命令実行違反
- 内部 23 本 …… 7 レベルの優先順位の設定が可能
- 外部 5 本 …… 7 レベルの優先順位の設定が可能
(4 本はエッジの極性選択可能)

(17) 入出力ポート: 38 端子 (外部 16 ビットデータバスメモリ接続時)

(18) スタンバイ機能
3 種類の HALT モード (プログラマブル IDLE2, IDLE1, STOP)

(19) ハードウエアスタンバイ機能 (パワーセーブ機能)

(20) トリプルクロック制御機能

- クロック逓倍回路 (DFM) 内蔵
- クロックギア機能: 高周波クロック fc~fc/16 まで切り替え可能
- 低速クロック機能 (fs = 32.768 kHz)

(21) 動作電圧

- Vcc = 3.0~3.6 V (fc max = 36 MHz)
- Vcc = 2.7~3.6 V (fc max = 27 MHz)
- Vcc = 2.4~3.6 V (fc max = 16 MHz)

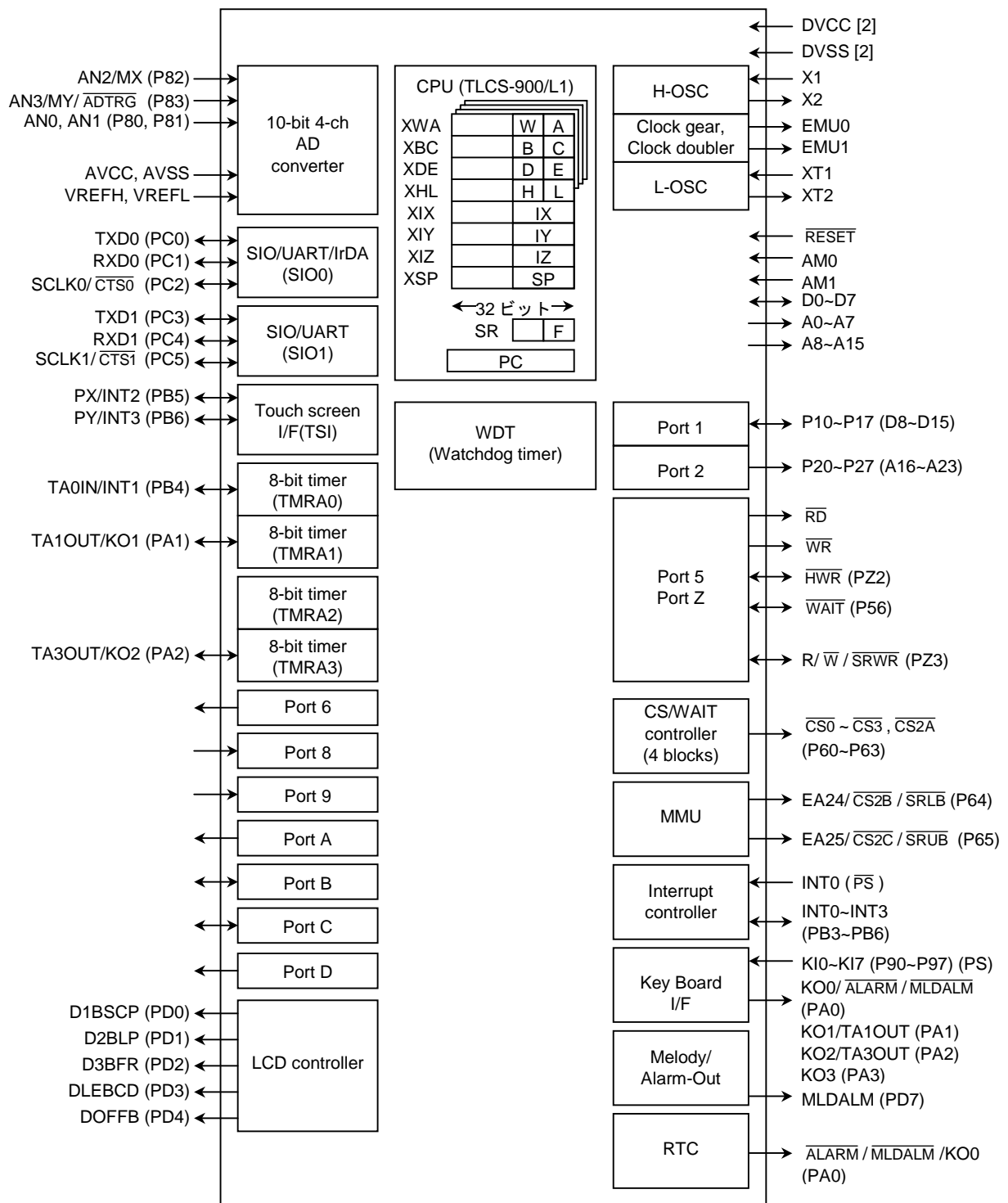
(22) パッケージ: P-LQFP100-1414-0.50F、またはチップ供給。
詳細は当社営業窓口までお問い合わせください。

(　): リセット後の初期状態

図 1.1　TMP91C025 ブロック図

2. ピン配置とピン機能

TMP91C025 のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

TMP91C025F ピン配置図は、図 2.1.1のとおりです。

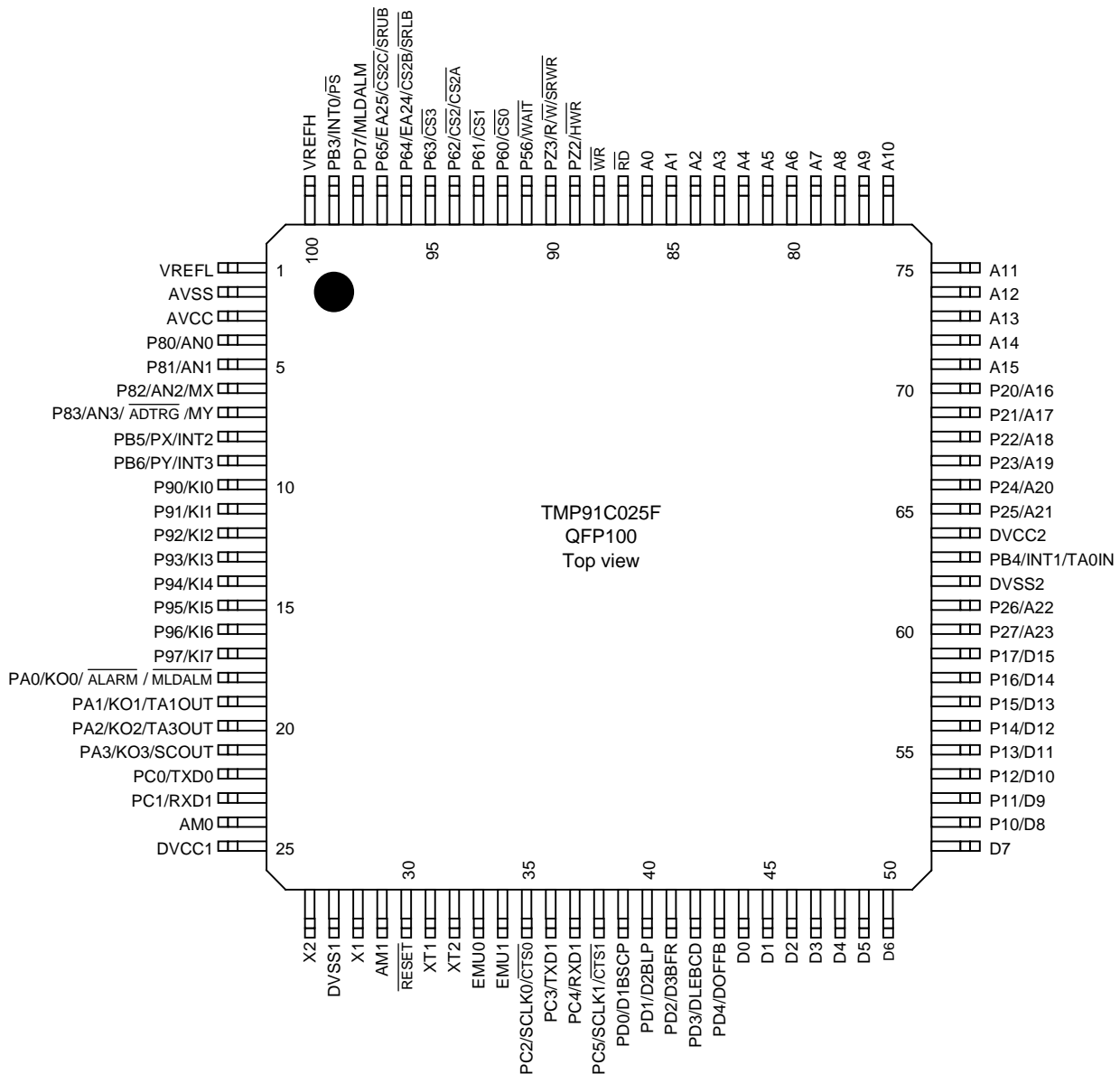



図 2.1.1　ピン配置図 (100 ピン QFP)

2.2 PAD 座標値

表 2.2.1 PAD 座標値

(チップサイズ 4.58 mm × 4.63 mm) 単位 (μm)

ピン No.	名称	X 座標	Y 座標	ピン No.	名称	X 座標	Y 座標	ピン No.	名称	X 座標	Y 座標
1	VREFL	–2151	1627	44	D0	852	–2175	87	$\overline{\text{RD}}$	210	2175
2	AVSS	–2151	1502	45	D1	977	–2175	88	$\overline{\text{WR}}$	83	2175
3	AVCC	–2151	1376	46	D2	1103	–2175	89	PZ2	–42	2175
4	P80	–2151	1251	47	D3	1228	–2175	90	PZ3	–169	2175
5	P81	–2151	1126	48	D4	1353	–2175	91	P56	–296	2175
6	P82	–2151	1001	49	D5	1478	–2175	92	P60	–421	2175
7	P83	–2151	876	50	D6	1603	–2175	93	P61	–548	2175
8	PB5	–2151	751	51	D7	2151	–1636	94	P62	–674	2175
9	PB6	–2151	625	52	P10	2151	–1490	95	P63	–801	2175
10	P90	–2151	336	53	P11	2151	–1359	96	P64	–926	2175
11	P91	–2151	211	54	P12	2151	–1228	97	P65	–1051	2175
12	P92	–2151	86	55	P13	2151	–1096	98	PD7	–1177	2175
13	P93	–2151	–38	56	P14	2151	–965	99	PB3	–1302	2175
14	P94	–2151	–163	57	P15	2151	–834	100	VREFH	–1606	2175
15	P95	–2151	–289	58	P16	2151	–703				
16	P96	–2151	–414	59	P17	2151	–571				
17	P97	–2151	–539	60	P27	2151	–440				
18	PA0	–2151	–664	61	P26	2151	–309				
19	PA1	–2151	–789	62	DVSS2	2151	–153				
20	PA2	–2151	–914	63	PB4	2151	2				
21	PA3	–2151	–1040	64	DVCC2	2151	158				
22	PC0	–2151	–1165	65	P25	2151	315				
23	PC1	–2151	–1290	66	P24	2151	446				
24	AM0	–2151	–1415	67	P23	2151	577				
25	DVCC1	–2151	–1636	68	P22	2151	708				
26	X2	–1603	–2175	69	P21	2151	839				
27	DVSS1	–1438	–2175	70	P20	2151	971				
28	X1	–1273	–2175	71	A15	2151	1102				
29	AM1	–1147	–2175	72	A14	2151	1233				
30	$\overline{\text{RESET}}$	–1022	–2175	73	A13	2151	1364				
31	XT1	–897	–2175	74	A12	2151	1495				
32	XT2	–649	–2175	75	A11	2151	1627				
33	EMU0	–524	–2175	76	A10	1603	2175				
34	EMU1	–398	–2175	77	A9	1477	2175				
35	PC2	–273	–2175	78	A8	1350	2175				
36	PC3	–148	–2175	79	A7	1224	2175				
37	PC4	–23	–2175	80	A6	1097	2175				
38	PC5	–101	–2175	81	A5	970	2175				
39	PD0	–226	–2175	82	A4	844	2175				
40	PD1	352	–2175	83	A3	717	2175				
41	PD2	477	–2175	84	A2	590	2175				
42	PD3	602	–2175	85	A1	464	2175				
43	PD4	727	–2175	86	A0	337	2175				

2.3　ピン名称と機能

入出力ピンの名称と機能は、表 2.3.1~表 2.3.3のとおりです。

表 2.3.1　ピン名称と機能 (1/3)

ピン名称	ピン数	入出力	機能
D0~D7	8	入出力	データ (下位): データ･バス 0~7 です。
P10~P17 D8~D15	8	入出力 入出力	ポート 1: ビット単位で入出力の設定ができる入出力ポートです。 外部 8 ビットバスで使用する際に使用できます。 データ (上位): データ･バス 8~15 です。
P20~P27 A16~A23	8	出力 出力	ポート 2: 出力ポートです。 アドレス: アドレス･バス 16~23 です。
A8~A15	8	出力	アドレス: アドレス･バス 8~15 です。
A0~A7	8	出力	アドレス: アドレス･バス 0~7 です。
$\overline{RD}$	1	出力	リード: 外部メモリをリードするためのストローブ信号です。
$\overline{WR}$	1	出力	ライト: D0~D7 端子のデータをライトするためのストローブ信号です。
PZ2 $\overline{HWR}$	1	入出力 出力	ポート Z2: 入出力ポートです。(プルアップ付き) 上位ライト: D8~D15 端子のデータをライトするためのストローブ信号です。
PZ3 R/ $\overline{W}$ $\overline{SRWR}$	1	入出力 出力 出力	ポート Z3: 入出力ポートです。(プルアップ付き) リード/ライト: “1” でリードサイクルまたはダミーサイクルを、“0” でライトサイクルを示します。 ライト: D0~D15 端子のデータを外部 SRAM にライトするためのストローブ信号です。
P56 $\overline{WAIT}$	1	入出力 入力	ポート 56: 入出力ポートです。(プルアップ付き) ウェイト: CPU へのバスウェイト要求端子です。 (0, (1＋N) WAIT モード)
P60 $\overline{CS0}$	1	出力 出力	ポート 60: 出力ポートです。 チップセレクト 0: アドレスが指定したアドレス領域内なら “0” を出力します。
P61 $\overline{CS1}$	1	出力 出力	ポート 61: 出力ポートです。 チップセレクト 1: アドレスが指定したアドレス領域内なら “0” を出力します。
P62 $\overline{CS2}$ $\overline{CS2A}$	1	出力 出力 出力	ポート 62: 出力ポートです。 チップセレクト 2: アドレスが指定したアドレス領域内なら “0” を出力します。 拡張チップセレクト 2A: アドレスが特定のアドレス領域内なら “0” を出力します。
P63 $\overline{CS3}$	1	出力 出力	ポート 63: 出力ポートです。 チップセレクト 3: アドレスが指定したアドレス領域内なら “0” を出力します。
P64 EA24 $\overline{CS2B}$ $\overline{SRLB}$	1	出力 出力 出力 出力	ポート 64: 出力ポートです。 拡張アドレス 24: データエリアを拡張する際に使用するアドレスバスです。 拡張チップセレクト 2B: アドレスが特定のアドレス領域内なら “0” を出力します。 外部 SRAM 用の下位バイト D0~D7 端子のデータイネーブル信号です。
P65 EA25 $\overline{CS2C}$ $\overline{SRUB}$	1	出力 出力 出力 出力	ポート 65: 出力ポートです。 拡張アドレス 25: データエリアを拡張する際に使用するアドレスバスです。 拡張チップセレクト 2C: アドレスが特定のアドレス領域内なら “0” を出力します。 外部 SRAM 用の上位バイト D8~D15 端子のデータイネーブル信号です。

表 2.3.2　ピン名称と機能 (2/3)

ピン名称	ピン数	入出力	機能
P80~P81 AN0~AN1	2	入力 入力	ポート 80~81: 入力専用ポートです。 アナログ入力 0~1: AD コンバータの入力です。
P82 AN2 MX	1	入力 入力 入力	ポート 82: 入力専用ポートです。 アナログ入力 2: AD コンバータの入力です。 X-: 外部タッチパネルの X-端子に接続します。
P83 AN3 $\overline{\text{ADTRG}}$ MY	1	入力 入力 入力 入力	ポート 83: 入力専用ポートです。 アナログ入力 3: AD コンバータの入力です。 AD トリガ: AD コンバータの外部スタート要求端子です。 Y-: 外部タッチパネルの Y-端子に接続します。
P90~P97 KI0~KI7	8	入力 入力	ポート 90~97: 入力専用ポートです。 キー入力 0~7: キーオンウェイクアップ端子 0~7 です。 (シュミット入力, プルアップ付き)
PA0 KO0 $\overline{\text{ALARM}}$ $\overline{\text{MLDALM}}$	1	出力 出力 出力 出力	ポート A0: 出力専用ポートです。 キー出力 0: キースキャン用ストローブ端子 0 です。プログラムによりオープンドレイン出力端子となります。 RTC アラーム出力端子です。 メロディ/アラーム用出力の論理反転出力端子です。
PA1 KO1 TA1OUT	1	出力 出力 出力	ポート A1: 出力専用ポートです。 キー出力 1: キースキャン用ストローブ端子 1 です。プログラムによりオープンドレイン出力端子となります。 8 ビットタイマ 1 出力: タイマ 0 またはタイマ 1 の出力です。
PA2 KO2 TA3OUT	1	出力 出力 出力	ポート A2: 出力専用ポートです。 キー出力 2: キースキャン用ストローブ端子 2 です。プログラムによりオープンドレイン出力端子となります。 8 ビットタイマ 3 出力: タイマ 2 またはタイマ 3 の出力です。
PA3 KO3 SCOUT	1	出力 出力 出力	ポート A3: 出力専用ポートです。 キー出力 3: キースキャン用ストローブ端子 3 です。プログラムによりオープンドレイン出力端子となります。 システムクロック出力: f_{FPH} を出力します。
PB3 INT0 $\overline{\text{PS}}$	1	入出力 入力 入力	ポート B3: 入出力ポートです。 割り込み要求端子 0: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子です。 ハードウェアスタンバイ機能を実行するときに、“0” を入力します。
PB4 INT1 TA0IN	1	入出力 入力 入力	ポート B4: 入出力ポートです。 割り込み要求端子 1: 立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子です。 8 ビットタイマ 0 入力: タイマ 0 の入力です。
PB5 INT2 PX	1	入力 入力 出力	ポート B5: 入力ポートです。 割り込み要求端子 1: 立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子です。 X+: 外部タッチパネルの X+端子に接続します。
PB6 INT3 PY	1	入力 入力 出力	ポート B6: 入力ポートです。 割り込み要求端子 1: 立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子です。 Y+: 外部タッチパネルの Y+端子に接続します。
PC0 TXD0	1	入出力 出力	ポート C0: 入出力ポートです。 シリアル 0 送信データ プログラムによりオープンドレイン出力端子となります。
PC1 RXD0	1	入出力 入力	ポート C1: 入出力ポートです。 シリアル 0 受信データ

注) リセットにより、PB3 (INT0, $\overline{\text{PS}}$) 端子は $\overline{\text{PS}}$ 入力端子となるため、“1” を入力してください。

表 2.3.3　ピン名称と機能 (3/3)

ピン名称	ピン数	入出力	機能
PC2 SCLK0 $\overline{\text{CTS0}}$	1	入出力 入出力 入力	ポート C2: 入出力ポートです。(プルアップ付き) シリアル 0 クロック入出力 シリアル 0 データ送信可能 (Clear to send)
PC3 TXD1	1	入出力 出力	ポート C3: 入出力ポートです。 シリアル 1 送信データ プログラムによりオープンドレイン出力端子となります。
PC4 RXD1	1	入出力 入力	ポート C4: 入出力ポートです。 シリアル 1 受信データ
PC5 SCLK1 $\overline{\text{CTS1}}$	1	入出力 入出力 入力	ポート C5: 入出力ポートです。(プルアップ付き) シリアル 1 クロック入出力 シリアル 1 データ送信可能 (Clear to send)
XT1	1	入力	低周波発振器接続端子です。
XT2	1	出力	低周波発振器接続端子です。
PD0 D1BSCP	1	出力 出力	ポート D0: 出力ポートです。 LCD ドライバ用出力端子です。
PD1 D2BLP	1	出力 出力	ポート D1: 出力ポートです。 LCD ドライバ用出力端子です。
PD2 D3BFR	1	出力 出力	ポート D2: 出力ポートです。 LCD ドライバ用出力端子です。
PD3 DLEBCD	1	出力 出力	ポート D3: 出力ポートです。 LCD ドライバ用出力端子です。
PD4 DOFFB	1	出力 出力	ポート D4: 出力ポートです。 LCD ドライバ用出力端子です。
PD7 MLDALM	1	出力 出力	ポート D7: 出力ポートです。 メロディ/アラーム用出力端子です。
AM0~AM1	2	入力	動作モード: (外部 16 ビットバス固定、もしくは外部 8/16 ビットバス混在時) AM1 = “0”, AM0 = “1” に固定してください。 (外部 8 ビットバス固定時) AM1 = “0”, AM0 = “0” に固定してください。
EMU0	1	出力	“開放” してください。
EMU1	1	出力	“開放” してください。
$\overline{\text{RESET}}$	1	入力	リセット: LSI を初期化します。(シュミット入力、プルアップ付き)
VREFH	1	入力	AD コンバータ用基準電源入力端子です。 (H)
VREFL	1	入力	AD コンバータ用基準電源入力端子です。 (L)
AVCC	1		AD コンバータ電源端子
AVSS	1		AD コンバータ GND 端子 (0 V)
X1, X2	2	入出力	発振子接続端子
DVCC DVSS	2 2		電源端子 (全 DVCC 端子を電源に接続してください) GND 端子 (全 DVSS 端子を GND (0 V) に接続してください)

3. 動作説明

ここでは、TMP91C025の機能および基本動作について、ブロックごとに説明します。

なお、本章の最後に6.「使用上の注意、制限事項」としてブロック別の注意、制限事項などを掲載していますのでご確認ください。

3.1 CPU

TMP91C025には、高性能な16ビットCPU (900/L1-CPU) が内蔵されています。CPUの動作については、前章の“TLCS-900/L1 CPU”を参照してください。

ここでは、“TLCS-900/L1 CPU”にて説明されていないTMP91C025独自のCPU機能について説明します。

3.1.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、内部高周波発振器の発振が安定した状態で少なくとも 10 システムクロック間 (4 MHz クロック発振時で 80 μs)、$\overline{\text{RESET}}$入力を“Low”にしてください。また、電源投入時は$\overline{\text{RESET}}$入力が“Low”レベルで電源電圧が動作範囲内になり、内部高周波発振器の発振が安定した状態で少なくとも 10 システムクロック間、$\overline{\text{RESET}}$入力の“Low”レベルを保持してください。

なお、リセット動作にてクロックギアは 1/16 モードに初期化されるので、システムクロック f_{SYS}は、fc/32 (= fc/16 × 1/2)となります。

リセットが受け付けられると、CPUは、

- プログラムカウンタPCをアドレスFFFF00H~FFFF02Hに格納されているリセットベクタに従いセット

  PC (7:0) ← アドレスFFFF00Hの値
  PC (15:8) ← アドレスFFFF01Hの値
  PC (23:16) ← アドレスFFFF02Hの値

- スタックポインタXSPを100Hにセット
- ステータスレジスタSRのIFF2~IFF0ビットを“111”にセット (割り込みレベルのマスク・レジスタをレベル7にセット)
- ステータスレジスタSRのMAXビットを“1”にセット (マキシマムモードにセット)

  注) この製品では、“0”を書かないでください。ミニマムモードはサポートしていません。

- ステータスレジスタSRのRFP2~RFP0ビットを“000”にクリア (レジスタバンクを0にセット)

を行い、リセットが解除されると、セットされたPCに従い命令の実行を開始します。なお、上記以外のCPU内部のレジスタは、変化しません。

また、リセットが受け付けられると、内蔵I/Oおよびポート、その他の端子は、下記のとおりとなります。

- 内蔵I/Oのレジスタを初期化
- ポート端子 (内蔵I/O用にも使える兼用端子を含む) を、汎用入力ポートまたは汎用出力ポートのモードにセット

注) リセット動作により、CPUのPC、SR、XSP以外のレジスタは変化しません。

図3.1.1にTMP91C025のリセットタイミングチャートを示します。

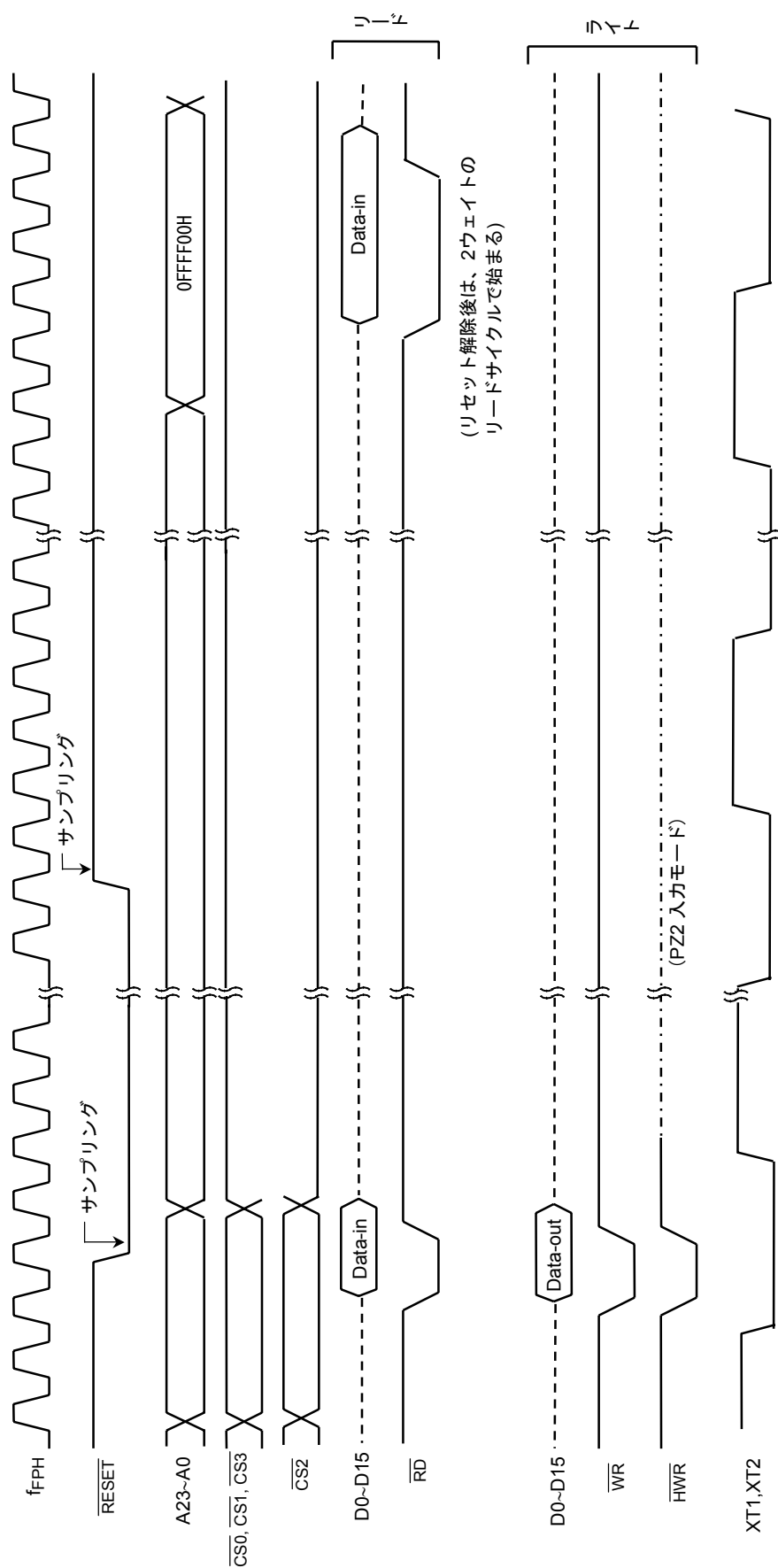



図 3.1.1　リセットタイミングチャート

3.2 メモリマップ

TMP91C025 のメモリマップを、図 3.2.1に示します。

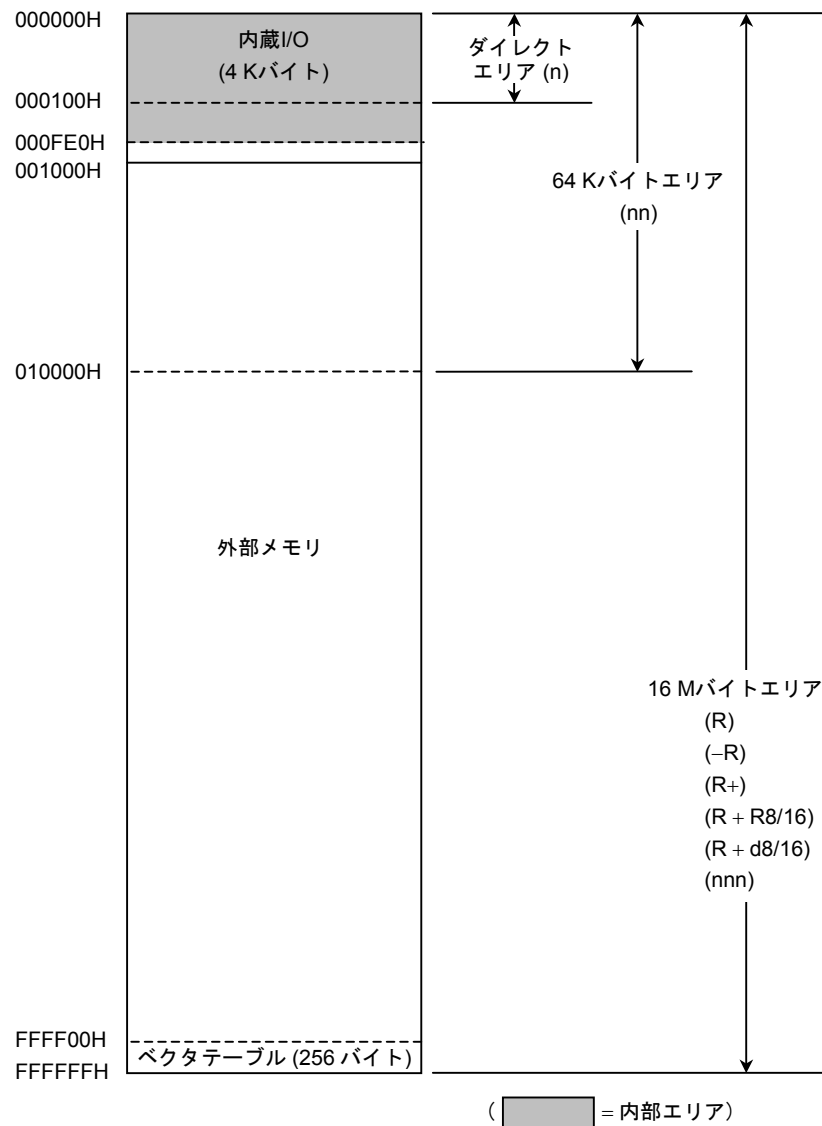



図 3.2.1　メモリマップ

注)　アドレス 000FE0H~000FEFH のエリアは、RAM 内蔵 LCD ドライバにアサインしているため外部エリアです。
アドレス 000FF0H~000FFFH のエリアは、予約領域としてアサインしているため外部エリアです。

3.3 トリプルクロック/スタンバイ制御、ノイズ低減機能

低消費電力、低ノイズ化のためにクロックギア、クロック逓倍回路 (DFM)、スタンバイ制御回路、ノイズ低減回路などを内蔵しています。

この章は下記のような構成になっています。

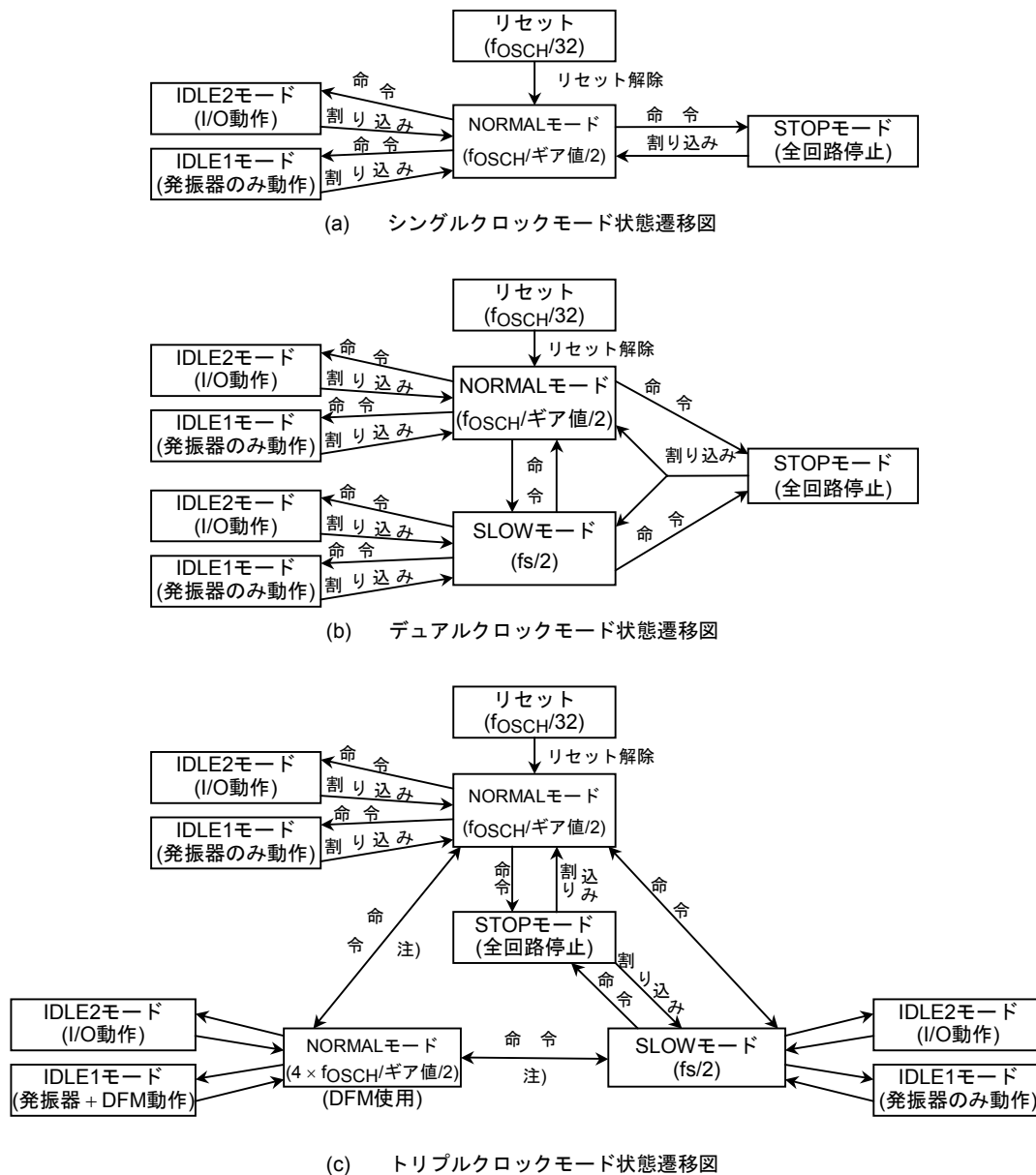
3.3.1 クロック系統ブロック図
3.3.2 SFR 説明
3.3.3 システムクロック制御部
3.3.4 プリスケーラクロック制御部
3.3.5 クロック逓倍回路 (DFM)
3.3.6 ノイズ低減回路
3.3.7 スタンバイ制御部

クロックの動作モードとしては、(a) シングルクロックモード (X1, X2 端子のみ) と (b) デュアルクロックモード (X1, X2 と XT1, XT2 端子) と (c) トリプルクロックモード (X1, X2 と XT1, XT2 端子と DFM) の 3 モードがあります。

図 3.3.1に動作モード別状態遷移図を示します。

(a)　シングルクロックモード状態遷移図

(b)　デュアルクロックモード状態遷移図

(c)　トリプルクロックモード状態遷移図

注1)　SLOW モードから DFM 使用 NORMAL モードへの移行時に、SLOW モードからの DFM 制御はできません。(DFM 起動・停止・内部クロック切り替え、DFMCR0<ACT1:0>レジスタへの書き込み)

注2)　DFM 使用の NORMAL モードから NORMAL モードへの移行時には CPU クロック切替え → DFM 回路停止の順序で 2 回に分けて命令を行ってください。

注3)　DFM 使用の NORMAL モードから直接 STOP モードへは移行できません。必ず一度 NORMAL モードを経由してから STOP モードへ移行して下さい。(高周波発振停止は DFM を停止した後で行ってください)

図 3.3.1　動作モード別状態遷移図

X1, X2 端子より入力されるクロック周波数を f_{OSCH}、XT1, XT2 端子より入力されるクロック周波数を fs、SYSCR1<SYSCK>で選択されたクロックを f_{FPH}、f_{FPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と定義します。また、この f_{SYS} の 1 周期を 1 ステートと定義します。

3.3.1 クロック系統ブロック図

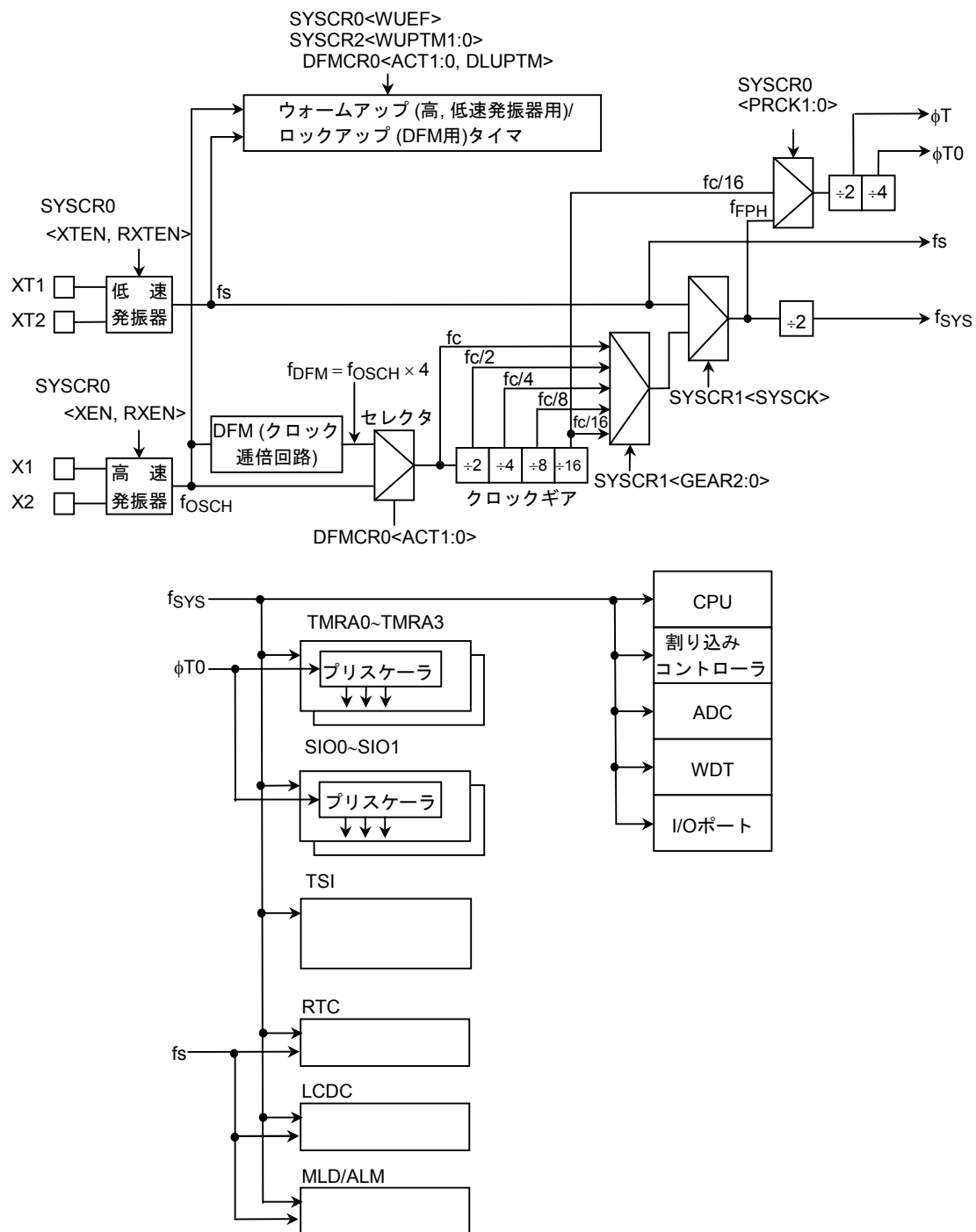



図 3.3.2 デュアルクロック、スタンバイ関連のブロック図

3.3.2 SFR 説明

		7	6	5	4	3	2	1	0
SYSCR0 (00E0H)	Bit symbol	XEN	XTEN	RXEN	RXTEN	RSYSCK	WUEF	PRCK1	PRCK0
	Read/Write	R/W							
	リセット後	1	1	1	0	0	0	0	0
	機　能	高速 発振器 0: 停止 1: 発振	低速 発振器 0: 停止 1: 発振 注 1)	STOP モード 解除後の 高速 発振器 0: 停止 1: 発振	STOP モード 解除後の 低速 発振器 0: 停止 1: 発振	STOP モード 解除後の クロック 選択 0: 高速 1: 低速	発振器用 ウォーム アップタイ マ (WUP) 制御 0 ライト: Don't care 1 ライト: WUP スタート 0 リード: WUP 終了 1 リード WUP 中	プリスケーラクロック 選択 00: f_{FPH} 01: Reserved 10: fc/16 11: Reserved	
SYSCR1 (00E1H)	Bit symbol					SYSCK	GEAR2	GEAR1	GEAR0
	Read/Write					R/W			
	リセット後					0	1	0	0
	機　能					システム クロック 選択 0: 高速 (fc) 1: 低速 (fs)	高速クロックのギア選択 000: 高速クロック 001: 高速クロック /2 010: 高速クロック /4 011: 高速クロック /8 100: 高速クロック /16 101: 110: Reserved 111:		
SYSCR2 (00E2H)	Bit symbol	PSENV		WUPTM1	WUPTM0	HALTM1	HALTM0	SELDRV	DRVE
	Read/Write	R/W		R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0		1	0	1	1	0	0
	機　能	パワー セーブ モード 0: 有効 1: 無効 注 2)		発振器用WUP時間選択 00: Reserved 01: 2^8/入力周波数 10: 2^{14} 11: 2^{16}		HALT モード選択 00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード		<DRVE> 使用モード選択 0: IDLE1 1: STOP 注 3)	1: STOP/ IDLE1 モード中 も端子を ドライブ します

注 1)　低速発振器はリセットにより発振許可となります。

注 2)　ハードウエアスタンバイモードに入ると、HALT モード選択 SYSCR2<HALTM1, 0 = 11> でも、状態は IDLE1 となります。

注 3)　0: IDLE1, 1: STOP となっています。ほかの製品と異なる場合がありますので注意が必要です。

図 3.3.3　クロック関係 SFR

記号	名称	アドレス	7	6	5	4	3	2	1	0
DFMCR0	DFM control register 0	E8H	ACT1	ACT0	DLUPFG	DLUPTM				
			R/W	R/W	R	R/W				
			0	0	0	0				
			(ACT1:ACT0) DFM / LUP / fFPH選択 00: STOP / STOP / fOSCH 01: RUN / RUN / fOSCH 10: RUN / STOP / fDFM 11: RUN / STOP / fOSCH		ロックアップ(LUP)フラグ 0: LUP 終了 1: LUP 中	ロックアップ時間選択 0: 2^{12}/fOSCH 1: 2^{10}/fOSCH				
DFMCR1	DFM control register1	E9H	D7	D6	D5	D4	D3	D2	D1	D0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	1	0	0	1	1
			DFM 補正 入力周波数 4~9 MHz (@3.0 V~3.6 V) では 0BH をライトしてください。 入力周波数 4~6.75 MHz (@2.7 V~3.6 V) では 0BH をライトしてください。							

図 3.3.4　DMF 関係 SFR

DFM 使用に関する制約

1. DFM の起動･停止等の制御は、SLOW モード (fS) では行わないでください。
   (DFMCR0<ACT 1:0> レジスタへの書き込み)
   制御は、必ず NORMAL モードから行うようにしてください。

2. DFM を使用している状態 (DFMCR0<ACT1:0> = “10”) から DFM 動作を停止する場合は、fDFM → fOSCH 切り替えと DFM 停止を同時に行わず、2 回に分けた手順にて行ってください。

```
LD      (DFMCR0),C0H  ; fDFM → fOSCH 切り替え
LD      (DFMCR0),00H  ; DFM 停止
```

3. DFM を使用している状態 (DFMCR0<ACT1:0> = “10”) から高周波発振器を停止する場合は、DFM を停止してから高周波発振器を停止してください。

詳細は 3.3.5 クロック逓倍回路 (DFM) を参照してください。

		7	6	5	4	3	2	1	0
EMCCR0 (00E3H)	Bit symbol	PROTECT	TA3LCDE	AHOLD	TA3MLDE	–	EXTIN	DRVOSCH	DRVOSCL
	Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	1	1
	機　能	プロテクトフラグ 0: OFF 1: ON	LCDC ソースクロック選択 0: 32 kHz 1: TA3OUT	アドレスホールド 0: OFF 1: ON	MLD ソースクロック選択 0: 32 kHz 1: TA3OUT	“0” をライトしてください。	1: fc 外部クロック	fc 発振器ドライブ能力 1: Normal 0: Weak	fs 発振器ドライブ能力 1: Normal 0: Weak
EMCCR1 (00E4H)	Bit symbol	1st-KEY, 2nd-KEY の書き込みによりプロテクト ON/OFF が切り替わります。 1st-KEY: EMCCR1 = 5AH, EMCCR2 = A5H を連続ライト 2nd-KEY: EMCCR1 = A5H, EMCCR2 = 5AH を連続ライト							
	Read/Write								
	リセット後								
	機　能								
EMCCR2 (00E5H)	Bit symbol								
	Read/Write								
	リセット後								
	機　能								
EMCCR3 (00E6H)	Bit symbol		ENFROM	ENDROM	ENPROM		FFLAG	DFLAG	PFLAG
	Read/Write		R/W	R/W	R/W		R/W	R/W	R/W
	リセット後		0	0	0		0	0	0
	機　能		CS1A エリア検出許可 0: 禁止 1: 許可	CS2B-2G エリア検出許可 0: 禁止 1: 許可	CS2A エリア検出許可 0: 禁止 1: 許可		CS1A ライト動作フラグ	CS2B-2G ライト動作フラグ	CS2A ライト動作フラグ
							リード時 “0”: ライトなし “1”: ライトあり		ライト時 “0”: フラグクリア

注)　アドレス 000000H~000FDFH のエリアをアクセスした場合、A23~A0 端子は直前の外部アクセスのアドレスを保持します。

図 3.3.5　ノイズ関係 SFR

3.3.3 システムクロック制御部

システムクロック制御部は、CPU コアおよび内蔵 I/O へ供給されるシステムクロック (f_{SYS}) を生成する回路です。高速/低速 2 つの発振回路と、DFM (クロック逓倍回路) から出力される fc, fs クロックを入力として、SYSCR1<SYSCK>レジスタにて高速/低速の切り替え、SYSCR0<XEN>, <XTEN>でそれぞれ高速, 低速発振器の発振制御、さらに SYSCR1<GEAR2:0>で高速クロックのギアを 1, 2, 4, 8, 16 段 (fc, fc/2, fc/4, fc/8, fc/16) に切り替え、消費電力の低減を図ることができます。

リセットにより、デュアルクロックモードになり<XEN> = “1”、<XTEN> = “1”、<SYSCK> = “0”、<GEAR2:0> = “100” に初期化されますのでシステムクロック f_{SYS} は fc/32 (= fc/16 × 1/2) となります。例えば、X1, X2 端子に 16 MHz の発振子を接続していると、リセットにより f_{SYS} は 0.5 MHz となります。

(1) NORMAL ↔ SLOW モードの切り替え

発振子接続端子に発振子を接続している場合、発振子の発振安定を確認してから切り替えるためにウォームアップタイマがあります。ウォームアップ時間は発振子の特性に合わせて、SYSCR2<WUPTM1:0>により選択できます。このスタート, 終了確認は SYSCR0<WUEF>を使用し、ソフト (命令) により設定例 1、2 のように行ってください。

表 3.3.1に切り替え時のウォームアップ時間を示します。

注 1) 切り替えようとするクロックが発振器などを使用していて発振安定している場合は、ウォームアップさせる必要はありません。

注 2) ウォームアップタイマは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

表 3.3.1 ウォームアップ時間 (クロック切り替え時)

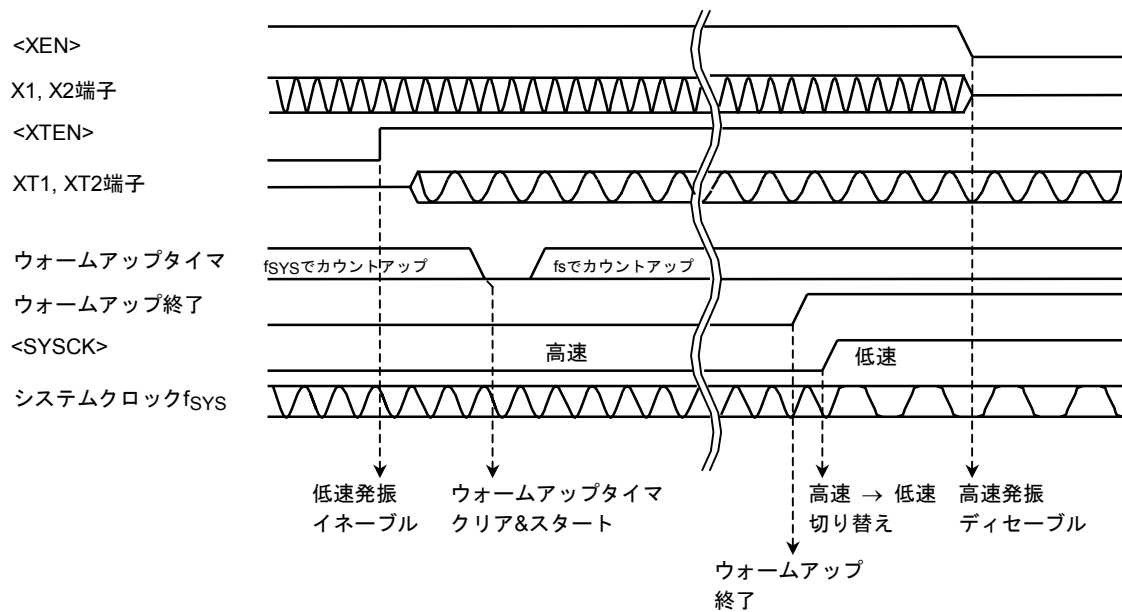
ウォームアップタイム選択 SYSCR2<WUPTM1:0>	NORMAL へ切り替え時 (fc)	SLOW へ切り替え時 (fs)
01 (2^8/発振周波数)	16 [μs]	7.8 [ms]
10 (2^{14}/発振周波数)	1.024 [ms]	500 [ms]
11 (2^{16}/発振周波数)	4.096 [ms]	2000 [ms]

計算値は f_{OCSH} = 16 MHz, fs = 32.768 kHz の場合です。

設定例 1

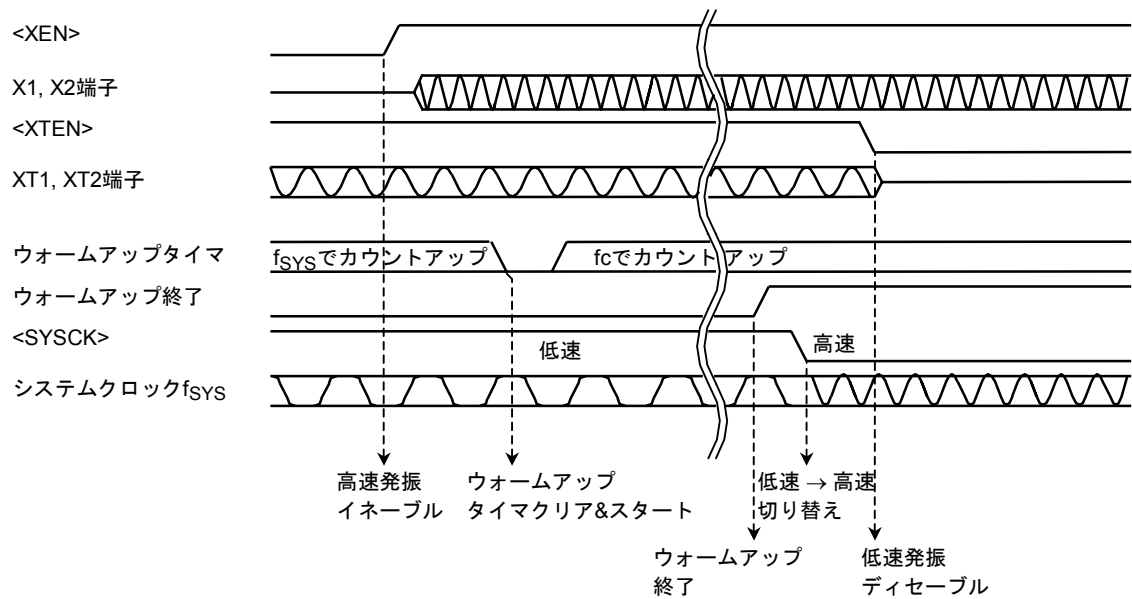
高速クロック (fc) から低速クロック (fs) へ切り替える場合

```
SYSCR0    EQU    00E0H
SYSCR1    EQU    00E1H
SYSCR2    EQU    00E2H
          LD     (SYSCR2), −X11−−−−B    ;  ウォームアップ時間を 2^16/fs に設定
          SET    6, (SYSCR0)            ;  低速発振イネーブル
          SET    2, (SYSCR0)            ;  ウォームアップタイマクリア&スタート
WUP:      BIT    2, (SYSCR0)            ;  } ウォームアップ終了検出
          JR     NZ, WUP                ;  }
          SET    3, (SYSCR1)            ;  高速 → 低速へ切り替え
          RES    7, (SYSCR0)            ;  高速発振ディセーブル
```

X: Don't care、−: No change

設定例 2

低速クロック (fs) から高速クロック (fc) へ切り替える場合

```
SYSCR0    EQU    00E0H
SYSCR1    EQU    00E1H
SYSCR2    EQU    00E2H
          LD     (SYSCR2), −X10−−−−B    ;  ウォームアップ時間を 2^14/fc に設定
          SET    7, (SYSCR0)            ;  高速発振イネーブル
          SET    2, (SYSCR0)            ;  ウォームアップタイマクリア&スタート
WUP:      BIT    2, (SYSCR0)            ; } ウォームアップ終了検出
          JR     NZ, WUP                ; }
          RES    3, (SYSCR1)            ;  低速 → 高速へ切り替え
          RES    6, (SYSCR0)            ;  低速発振ディセーブル
```

X: Don't care、−: No change

(2) クロックギア切り替え

SYSCR1<SYSCK> = “0” にて高速クロック fc を選択した場合、クロックギア選択レジスタ SYSCR1<GEAR2:0> により f_{FPH} を fc, fc/2, fc/4, fc/8, fc/16 のいずれかに設定できます。クロックギアを使用して f_{FPH} を切り替えることにより、消費電力の低減が図れます。

下記に、クロックギアの切り替え例を示します。

設定例 3

高速クロックのギア切り替え

```
SYSCR1    EQU    00E1H

          LD     (SYSCR1), XXXX0000B    ;    システムクロック fSYS を fc/2 へ切り替え
```

X: Don’t care

(高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、設定例のように SYSCR1<GEAR2:0>レジスタへ値を書き込むことにより実行されますが、書き込んだ後すぐには切り替わらず、数クロックの実行時間が必要となります。よって、クロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令 (ライトサイクルが実行される命令) を挿入してください。

(例)

```
SYSCR1    EQU    00E1H
          LD     (SYSCR1), XXXX0001B    ;    fSYS を fc/4 へ切り替え
          LD     (DUMMY), 00H           ;    ダミー命令
                 切り替え後のクロックギア
                 で実行すべき命令
```

(3) 内部クロックの端子出力機能

内部クロック f_{FPH} を PA3/SCOUT 端子から出力できます。

ポート A 関係のレジスタ PAFC2<PA3F2> = “1” に設定することにより PA3 端子は SCOUT 出力端子になります。

3.3.4 プリスケーラ クロック制御部

内蔵 I/O (TMRA01~TMRA23, SIO0~SIO1) には、それぞれにクロックを分周するプリスケーラがあります。

これらのプリスケーラへ入力するクロック ϕT0 は f_{FPH}, fc/16 の 2 種類から SYSCR0<PRCK1:0>で選択されたクロックを 4 分周したクロックです。

3.3.5 クロック逓倍回路 (DFM)

高速発振器の出力クロック f_{OSCH} を 4 逓倍した f_{DFM} クロックを出力する回路です。これにより、発振器の周波数は低く内部クロックは高速にすることが可能です。

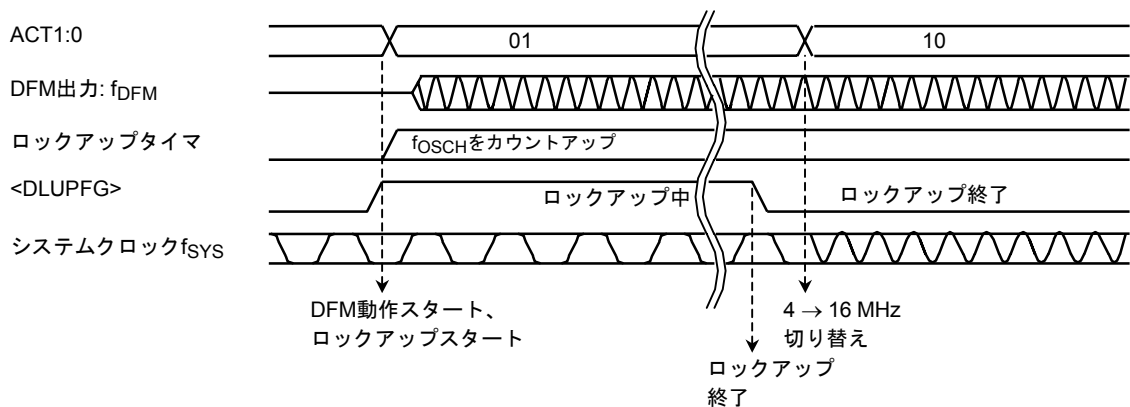
リセットにより DFM は停止状態となりますので、DFM を使用する場合は DFMCR0 レジスタへの設定が必要です。

この DFM はアナログ回路で構成されるため､動作許可後に発振器と同じように安定時間 (ロックアップタイム) が必要となります。また、使用条件によって補正が必要です。(注 参照)

下記に DFM を使用し、fc を 4 逓倍したクロックに切り替える場合の設定例を示します。

設定例: f_{OSCH} = 4 MHz で fc を 4 MHz から 16 MHz へ切り替える場合

```
DFMCR0   EQU   00E8H
DFMCR1   EQU   00E9H
         LD    (DFMCR1), 00001011B          DFM パラメータ決定
         LD    (DFMCR0), 01X0XXXXB    ;     ロックアップ時間を 2^12/4 MHz にし、
                                            DFM 動作許可、ロックアップスタート
LUP:     BIT   5, (DFMCR0)            ;  }  ロックアップ終了検出
         JR    NZ, LUP                ;  }
         LD    (DFMCR0), 10X0XXXXB    ;     fc を 4 → 16 MHz へ切り替え
                                            (fSYS を 2 → 8 MHz へ切り替え)
```

X: Don’t care

注) DFM への入力周波数制限および補正

DFM への入力周波数 (高速発振器の周波数) は下記の範囲内で使用してください。

- f_{OSCH} = 4~9 MHz (VCC = 3.0 V~3.6 V): DFMCR1 に 0BH を書き込み
- f_{OSCH} = 4~6.75 MHz (VCC = 2.7 V~3.6 V): DFMCR1 に 0BH を書き込み

DFM 使用に関する制約

1. DFM の起動･停止等のコマンドは SLOW モード (f_S) では行わないでください。
   (DFMCR0 <ACT1:0> レジスタへの書き込み)
   制御はノーマルモードから行う必要があります。

2. DFM を使用している状態 (DFMCR0<ACT1:0> = “10”) から DFM 動作を停止する場合は、f_{DFM} → f_{OSCH} 切り替えと DFM 停止を同時に行わず、2 回に分けた手順にて行ってください。

```
LD      (DFMCR0),C0H ；fDFM → fOSCH 切り替え
LD      (DFMCR0),00H ；DFM 停止
```

3. DFM を使用している状態 (DFMCR0<ACT1:0> = “10”) から高周波発振器を停止する場合は、DFM を停止してから高周波発振器を停止してください。

設定例を下記に示します。

(1) 起動/切り替え制御

(OK) 低周波発振動作モード (f_S) (高周波発振停止) → 高周波発振起動 → 高周波発振動作モード (f_{OSCH}) → DFM 起動 → DFM 使用モード(f_{DFM})

```
        LD    (SYSCR0), 11---1--B    ;  高周波発振起動/ウォームアップスタート
WUP:    BIT   2, (SYSCR0)            ; ┐
        JR    NZ, WUP                ; ┘ ウォームアップ終了フラグチェック
        LD    (SYSCR1), ----0---B    ;  システムクロックを fs から fOSCH へ切り替え
        LD    (DFMCR0), 01-0----B    ;  DFM 起動/ロックアップスタート
LUP:    BIT   5, (DFMCR0)            ; ┐
        JR    NZ, LUP                ; ┘ ロックアップフラグ終了チェック
        LD    (DFMCR0), 10-0----B    ;  システムクロックを fOSCH から fDFM へ切り替え
```

(OK) 低周波発振動作モード (f_S) (高周波発振停止) → 高周波発振動作モード (f_{OSCH}) → DFM 起動 → DFM 使用モード (f_{DFM})

```
        LD    (SYSCR1), ----0---B    ;  システムクロックを fS から fOSCH へ切り替え
        LD    (DFMCR0), 01-0----B    ;  DFM 起動/ロックアップスタート
LUP:    BIT   5, (DFMCR0)            ; ┐
        JR    NZ, LUP                ; ┘ ロックアップフラグ終了チェック
        LD    (DFMCR0), 10-0----B    ;  システムクロックを fOSCH から fDFM へ切り替え
```

(Error) 低周波発振動作モード (f_S) (高周波発振停止) → 高周波発振起動 → DFM 起動 → DFM 使用モード (f_{DFM})

```
        LD    (SYSCR0), 11---1--B    ;  高周波発振起動/ウォームアップスタート
WUP:    BIT   2, (SYSCR0)            ; ┐
        JR    NZ, WUP                ; ┘ ウォームアップ終了フラグチェック
        LD    (DFMCR0), 01-0----B    ;  DFM 起動/ロックアップスタート
LUP:    BIT   5, (DFMCR0)            ; ┐
        JR    NZ, LUP                ; ┘ ロックアップフラグ終了チェック
        LD    (DFMCR0), 10-0----B    ;  内部クロックを fOSCH から fDFM へ切り替え
        LD    (SYSCR1), ----0---B    ;  システムクロックを fS から fDFM へ切り替え
```

(2) 停止/切り替え制御

(OK) DFM 使用モード (f_{DFM}) → 高周波発振動作モード (f_{OSCH}) → DFM 停止 → 低周波発振動作モード (f_S) → 高周波発振器停止

```
LD    (DFMCR0), 11------B    ;  システムクロックを fDFM から fOSCH へ切り替え
LD    (DFMCR0), 00------B    ;  DFM 停止
LD    (SYSCR1), ----1---B    ;  システムクロックを fOSCH から fS へ切り替え
LD    (SYSCR0), 0-------B    ;  高周波発振器停止
```

(Error) DFM 使用モード (f_{DFM}) → 低周波発振動作モード (f_S) → DFM 停止 → 高周波発振器停止

```
LD    (SYSCR1), ----1---B    ;  システムクロックを fDFM から fS へ切り替え
LD    (DFMCR0), 11------B    ;  内部クロック (fC) を fDFM から fOSCH へ切り替え
LD    (DFMCR0), 00------B    ;  DFM 停止
LD    (SYSCR0), 0-------B    ;  高周波発振器停止
```

(OK) DFM 使用モード (f_{DFM}) → STOP モード設定 → 高周波発振動作モード (f_{OSCH}) → DFM 停止 → ホルト (高周波発振器停止)

```
LD    (SYSCR2), ----01--B    ;  STOP モード設定
                                (設定順番は DFM 使用以前でも OK)
LD    (DFMCR0), 11------B    ;  fDFM から fOSCH へ切り替え
LD    (DFMCR0), 00------B    ;  DFM 停止
HALT                         ;  STOP モードへ移行
```

(Error) DFM 使用モード (f_{DFM}) → STOP モード設定 → ホルト (高周波発振器停止)

```
LD    (SYSCR2), ----01--B    ;  STOP モード設定
                                (設定順番は DFM 使用以前でも OK)
HALT                         ;  STOP モードへ移行
```

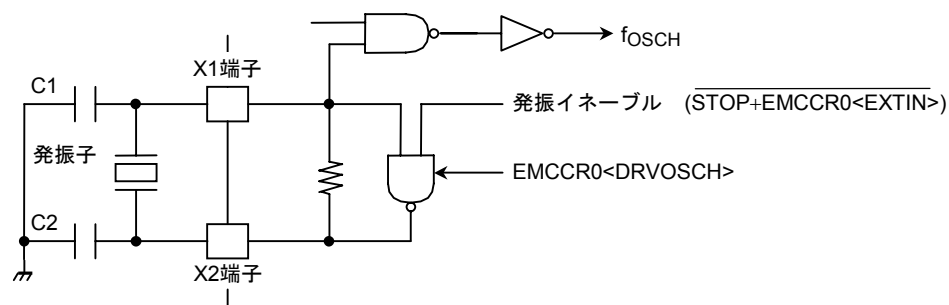
3.3.6 ノイズ低減回路

EMI (不要輻射ノイズ) の低減、EMS (耐ノイズ対策) の強化を目的として、以下のような特長を実現する回路を内蔵しています。

(1) 高速発振器のドライブ能力低減
(2) 低速発振器のドライブ能力低減
(3) 高速発振器のシングルドライブ化
(4) SFR プロテクトレジスタによる暴走対策
(5) ROM プロテクトレジスタによる暴走対策

(1)~(5) は、EMCCR0~EMCCR3 レジスタによる設定が必要です。
以下に (1)~(5) について説明します。

(1) 高速発振器のドライブ能力低減

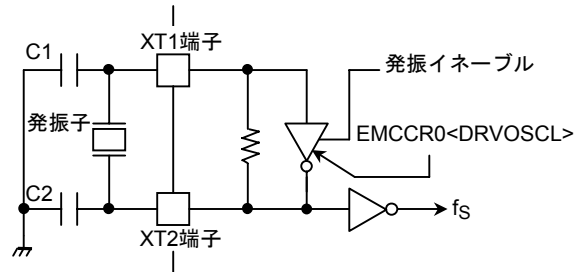
(目　的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化。

(ブロック図)

(設定方法)

EMCCR0<DRVOSCH>に “0” を書き込むことにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCH>は “1” に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

(2) 低速発振器のドライブ能力低減

(目　的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化。

(ブロック図)

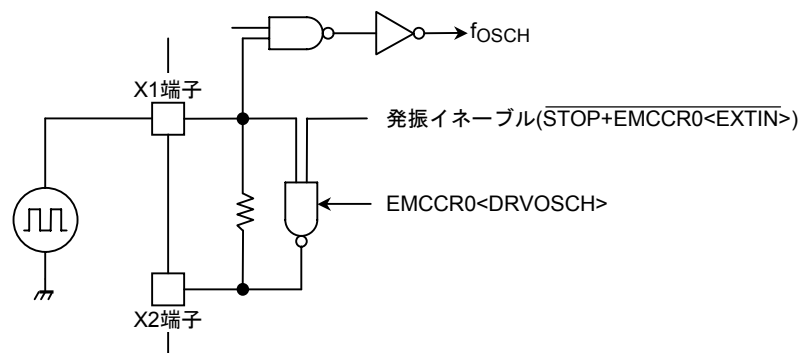
(設定方法)

EMCCR0<DRVOSCL>に "0" を書き込むことにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCL>は "1" に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

(3) 高速発振器のシングルドライブ化

(目　的)

外部に発振器を接続する場合に、ツインドライブの不要化、X2 端子開放時にノイズ混入による誤動作防止。

(ブロック図)

(設定方法)

EMCCR0<EXTIN>に "1" を書き込むことにより発振回路は発振禁止となり、バッファとして機能を開始します。X2 端子は "1" を出力状態となります。

リセットにより、<EXTIN>は "0" に初期化されます。

(4) SFR プロテクトレジスタによる暴走対策

(目　的)

ノイズ混入などによるプログラムの暴走時の対策。

暴走時の対策プログラムがクロックの停止、メモリ制御レジスタ（CS/WAIT コントローラ, MMU）の変更などによりフェッチ不可能な状態になることを防止するため、プロテクトをかけると特定の SFR をライト動作禁止にします。

また、INTP0 割り込みにより暴走時のエラー処理を容易にします。

特定の SFR 一覧

1. CS/WAIT コントローラ

   B0CS, B1CS, B2CS, B3CS, BEXCS,
   MSAR0, MSAR1, MSAR2, MSAR3,
   MAMR0, MAMR1, MAMR2, MAMR3

2. MMU

   LOCAL 0/1/2/3

3. クロックギア（EMCCR1, EMCCR2 は書き込み可能です）

   SYSCR0, SYSCR1, SYSCR2, EMCCR0, EMCCR3

4. DFM

   DFMCR0, DFMCR1

(動作説明)

EMCCR1 と EMCCR2 レジスタに 2 重の鍵を設定することによりプロテクト（特定の SFR へのライト動作）の実行、解除が可能となります。

(2 重の鍵)

1st-KEY: EMCCR1 に 5AH, EMCCR2 に A5H を連続ライト

2nd-KEY: EMCCR1 に A5H, EMCCR2 に 5AH を連続ライト

プロテクトの状態は、EMCCR0<PROTECT>をリードすることにより確認できます。

リセットにより、プロテクト OFF 状態となります。

また、プロテクト ON 状態にて特定の SFR へのライト動作が実行された場合に INTP0 割り込みを出力します。これにより暴走時のエラー処理を容易にします。

(5) ROM プロテクトレジスタによる暴走対策

(目　的)

ノイズ混入などによるプログラムの暴走時の対策。

(動作説明)

プログラムの暴走により外部 3 種類の ROM に対しライト動作が実行された場合、INTP1 割り込みを発生して暴走したことを CPU に知らせることが可能です。

3 種類の ROM は、フラッシュ ROM (オプションプログラム ROM)、データ ROM、プログラム ROM で論理アドレスメモリマップ上、下記のように固定しています。

1. フラッシュ ROM:　アドレス 400000H~7FFFFFH
2. データ ROM:　アドレス 800000H~BFFFFFH
3. プログラム ROM:　アドレス C00000H~FFFFFFH

これらのアドレスに対し、ライト動作検出の許可/禁止は EMCCR3<ENFROM, ENDROM, ENPROM>で設定します。また、INTP1 割り込みが発生した際に、どの ROM で発生したかは EMCCR3<FFLAG, DFLAG, PFLAG>で、それぞれモニタできます。このフラグは “0” を書き込むとクリアされます。

3.3.7 スタンバイ制御部

(1) HALT モード

HALT 命令を実行すると、SYSCR2<HALTM1:0>の設定により、IDLE2, IDLE1, STOP のいずれかの HALT モードになります。

IDLE2, IDLE1, STOP モードの特長は、次のとおりです。

a. IDLE2: CPU のみ停止するモードです。
内蔵 I/O は、SFR の中に IDLE2 モード時の動作/停止設定レジスタを 1 ビット持ち IDLE2 モードでの動作設定が可能です。
表 3.3.2に IDLE2 設定レジスタの表を示します。

表 3.3.2 IDLE2 モードでの内蔵 I/O 設定レジスタ

内蔵 I/O	SFR
TMRA01	TA01RUN<I2TA01>
TMRA23	TA23RUN<I2TA23>
SIO0	SC0MOD1<I2S0>
SIO1	SC1MOD1<I2S1>
AD コンバータ	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>

b. IDLE1: 内部発振器と RTC、MLD のみ動作します。

c. STOP: すべての内部回路が停止します。

ホルト状態での各ブロックの動作を表 3.3.3に示します。

表 3.3.3 ホルト状態での各ブロックの動作

<table>
<tr><td colspan="2">HALT モード</td><td>IDLE2</td><td>IDLE1</td><td>STOP</td></tr>
<tr><td colspan="2">SYSCR2<HALTM1:0></td><td>11</td><td>10</td><td>01</td></tr>
<tr><td rowspan="8">動作ブロック</td><td>CPU</td><td colspan="3">停止</td></tr>
<tr><td>I/O ポート</td><td>HALT 命令実行時の状態を保持</td><td colspan="2">表 3.3.6, 表 3.3.7参照</td></tr>
<tr><td>TMRA</td><td rowspan="4">動作するブロックをプログラマブルに選択可</td><td colspan="2" rowspan="5">停止</td></tr>
<tr><td>SIO</td></tr>
<tr><td>AD コンバータ</td></tr>
<tr><td>WDT</td></tr>
<tr><td>LCDC, 割り込みコントローラ</td><td rowspan="2">動作</td></tr>
<tr><td>RTC, MLD</td><td>動作可</td><td></td></tr>
</table>

(2) ホルト状態からの解除

ホルト状態からの解除は、割り込み要求、または、リセットにより行うことができます。使用できるホルト解除ソースは、CPU のステータスレジスタ SR に割り付けられている割り込みマスクレジスタ<IFF2:0> の状態と、HALT モードの組み合わせにより決まります。詳細を表 3.3.4に示します。

- 割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。HALT 命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、HALT 命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合は、ホルト解除を行いません (ノンマスカブル割り込みでは、マスクレジスタの値に関係なくホルト解除後、割り込み処理を行います)。

ただし、INT0~INT3, INTKEY, INTRTC, INTALM0~INTALM4割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合、割り込み処理は行わず HALT 命令の次の命令から処理をスタートします (割り込み要求フラグは “1” を保持します)。

注) 通常は割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1, STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 (f_{FPH} 約 5 クロックの間) に、HALT モードを解除可能な割り込み (INT0~INT3, INTKEY, INTRTC, INTALM0~INTALM4) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。
HALT モードへ完全に移行された後に再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

- リセットによる解除

リセットにより、すべてのホルト状態からの解除を行うことができます。

ただし、STOP モードの解除では、発振器動作が安定するための十分なリセット時間 (表 3.3.5を参照) が必要です。

表 3.3.4　ホルト解除ソースとホルト解除の動作

割り込み受け付け状態			割り込み許可 (割り込みレベル) ≧ (割り込みマスク)			割り込み禁止 (割り込みレベル) < (割り込みマスク)		
HALT モード			プログラマブル IDLE2	IDLE1	STOP	プログラマブル IDLE2	IDLE1	STOP
ホルト解除ソース	割り込み	INTWDT	♦	×	×	–	–	–
		INT0~INT3　注)	♦	♦	♦ *1	○	○	○ *1
		INTALM0~INTALM4	♦	♦	×	○	○	×
		INTTA0~INTTA3	♦	×	×	×	×	×
		INTRX0~INTRX1, TX0~TX1	♦	×	×	×	×	×
		INTAD	♦	×	×	×	×	×
		INTKEY	♦	♦	♦ *1	○	○	○ *1
		INTRTC	♦	♦	×	○	○	×
		INTLCD	♦	×	×	×	×	×
	RESET		LSI を初期化します。					

♦: ホルト解除後、割り込み処理を開始します。

○: ホルト解除後、HALT 命令の次のアドレスから処理を開始します (割り込み処理は行いません)。

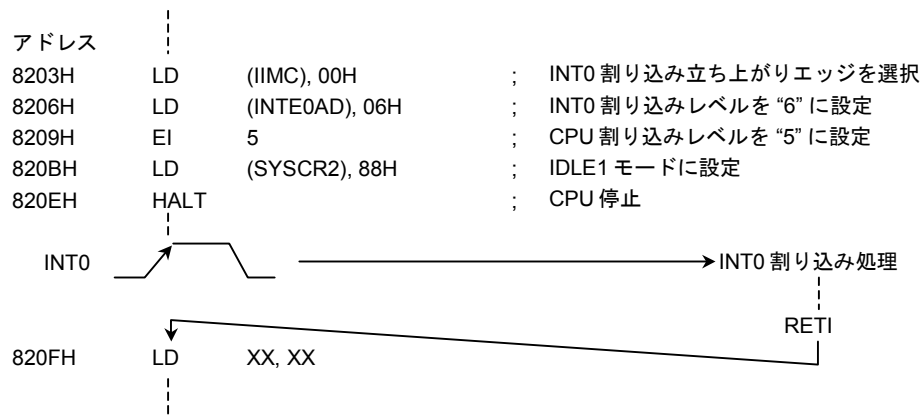
×: ホルト解除に使用できません。

–: ノンマスカブル割り込みの優先順位レベル (割り込み要求レベル) は最優先の “7” に固定されているため、この組み合わせはありません。

*1: ウォームアップ時間経過後にホルト解除を行います。

注) 割り込み許可状態において、レベルモードの INT0 割り込みによるホルト解除を行う場合、割り込み処理が開始されるまで “H” レベルを保持してください。それ以前で “L” レベルにした場合は、正しい割り込み処理を開始できません。

(ホルト状態からの解除例)

IDLE1 モードのホルト状態をエッジモードの INT0 割り込みにより解除する場合。

(3) 各モードの動作

a. IDLE2 モード

IDLE2 モードでは、各内蔵 I/O の SFR 中にある IDLE2 設定レジスタで指定した内蔵 I/O のみ動作し、CPU の命令実行動作は停止します。

IDLE2 モードの割り込みによるホルト解除のタイミング例を図 3.3.6に示します。

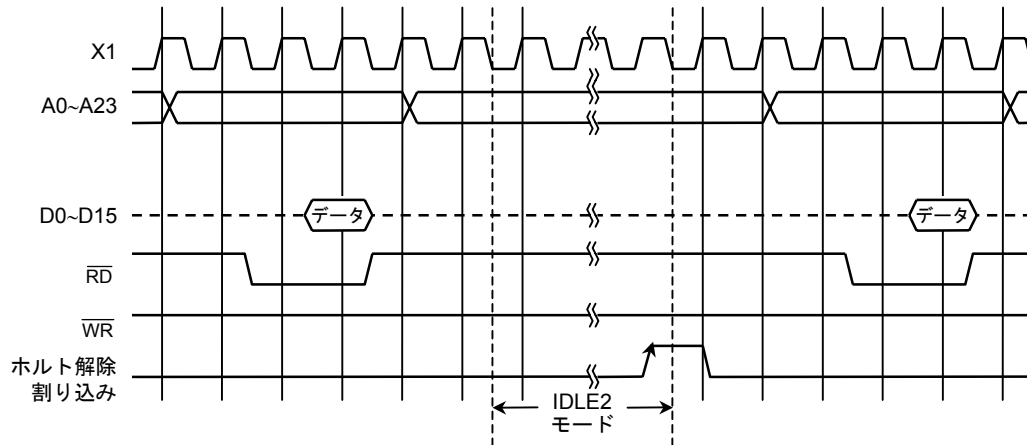



図 3.3.6 割り込みによるホルト解除のタイミング例 (IDLE2 モード時)

b. IDLE1 モード

IDLE1 モードでは、内部発振器と RTC, MLD のみ動作し、システムクロックは停止します。また、IDLE1 モード時の端子状態は、SYSCR2<SELDRV,DRVE>の設定により異なります。IDLE1 モード時の端子状態を表 3.3.6、表 3.3.7に示します。

ホルト状態での割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除 (動作の再開) は同期して行われます。

IDLE1 モードの割り込みによるホルト解除のタイミング例を図 3.3.7に示します。

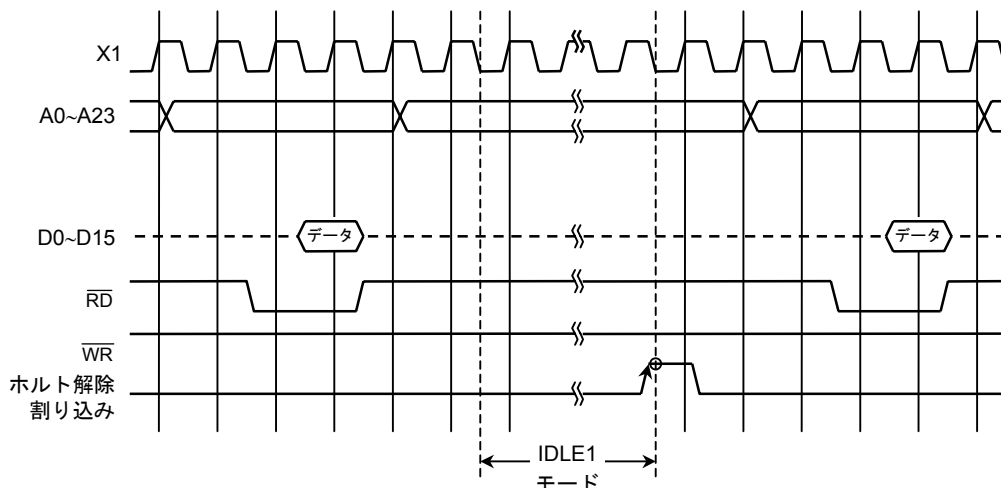



図 3.3.7 割り込みによるホルト解除のタイミング例 (IDLE1 モード時)

c.　STOP モード

STOP モードでは、内部発振器も含めてすべての内部回路が停止します。また、STOP モード時の端子状態は、SYSCR2<SELDRV,DRVE>の設定により異なります。STOP モード時の端子状態を表 3.3.6、表 3.3.7に示します。

STOP モードを解除する場合は、内部発振器の安定化のため、ウォームアップ用カウンタによるウォームアップ時間経過後に、システムクロックの出力を開始します。STOP モード解除後は、SYSCR0<RXEN, RXTEN, RSYSCK>の設定に従い動作を開始します (ホルト解除後の動作モード (NORMAL/SLOW) を選択できます)。この設定は HALT 命令実行前に行う必要があります。このウォームアップ時間の設定は、SYSCR2<WUPTM1:0> で行います。表 3.3.5に設定例を示します。

STOP モードの割り込みによるホルト解除のタイミング例を図 3.3.8に示します。

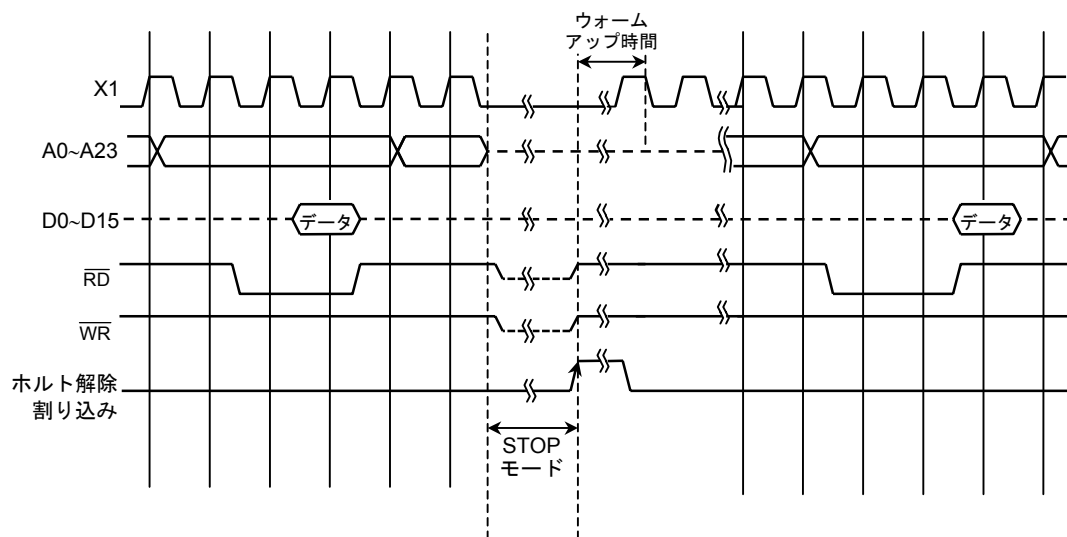



図 3.3.8　割り込みによるホルト解除のタイミング例 (STOP モード時)

表 3.3.5　ウォームアップ時間の設定例 (STOP モード解除時)

@ f_{OSCH} = 16 MHz, fs = 32.768 kHz

SYSCR0 <RSYSCK>	SYSCR2<WUPTM1:0>		
	01 (2^8)	10 (2^{14})	11 (2^{16})
0 (fc)	16 μs	1.024 ms	4.096 ms
1 (fs)	7.8 ms	500 ms	2000 ms

(設定例) 低速クロックで動作している状態で STOP モードに入り、INTx 割り込みによる解除後、高速クロックで動作させる場合。

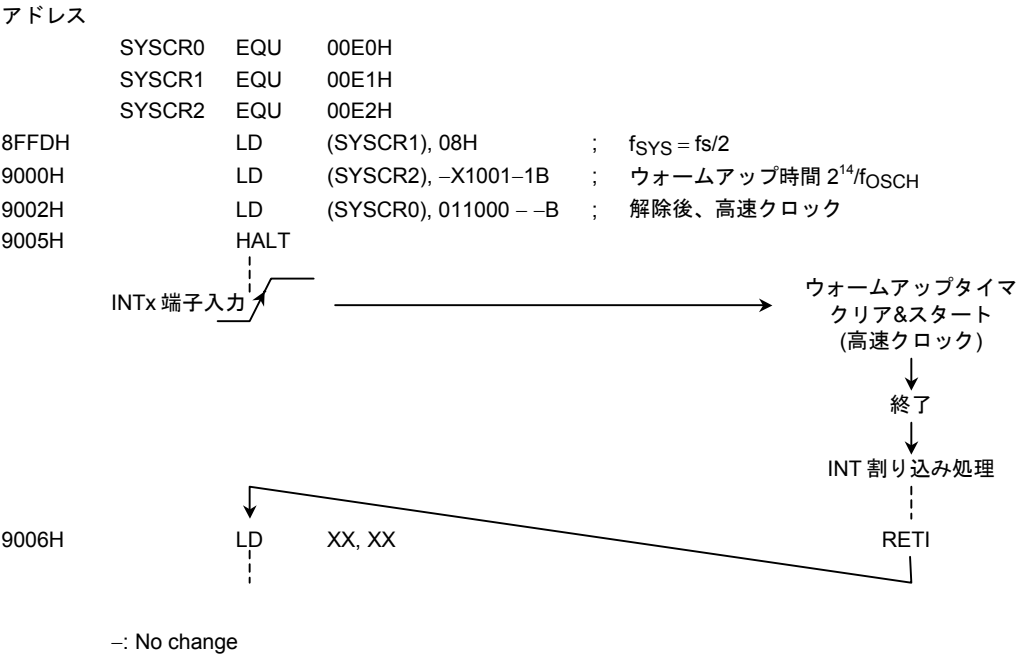
−: No change

注) 上記のように STOP モードの前後で異なる動作モードを使用する場合、HALT 命令を実行中 (6 ステート期間) にホルト解除割り込みが受け付けられると、動作モードの変更が行われないままホルト解除を行うことがあります。HALT 命令実行中に割り込みが入力されるようなシステムでは、STOP モードの前後で同じ動作モードを設定してください。

表 3.3.6　入力バッファ状態表

<table>
<tr><th rowspan="4">ポート名</th><th rowspan="4">入力
機能名</th><th colspan="9">入力バッファ状態</th></tr>
<tr><th rowspan="3">リセット中</th><th colspan="2" rowspan="2">CPU動作中</th><th colspan="2" rowspan="2">HALT中　(IDLE2)</th><th colspan="4">HALT中　(IDLE1/STOP)</th></tr>
<tr><th colspan="2">条件 A 設定時（注）</th><th colspan="2">条件 B 設定時（注）</th></tr>
<tr><th>機能
設定時</th><th>入力ポート
設定時</th><th>機能
設定時</th><th>入力ポート
設定時</th><th>機能
設定時</th><th>入力ポート
設定時</th><th>機能
設定時</th><th>入力ポート
設定時</th></tr>
<tr><td>D0-7</td><td>-</td><td rowspan="2">OFF</td><td rowspan="2">外部リード
でON</td><td>-</td><td rowspan="2">OFF</td><td>-</td><td rowspan="3">OFF</td><td>-</td><td rowspan="2">OFF</td><td>-</td></tr>
<tr><td>P10-17</td><td>D8-15</td><td rowspan="2">ON</td><td>OFF</td><td rowspan="4">OFF</td><td>OFF</td></tr>
<tr><td>P56 (*1)</td><td>/WAIT</td><td>ON</td><td>ON</td><td>ON</td><td>ON</td><td>ON</td><td>ON</td></tr>
<tr><td>P80-82 (*2)</td><td>-</td><td rowspan="2">OFF</td><td>-</td><td rowspan="2">ポートリード
でON</td><td>-</td><td rowspan="2">OFF</td><td>-</td><td>-</td><td rowspan="2">OFF</td></tr>
<tr><td>P83 (*2)</td><td>/ADTRG</td><td rowspan="13">ON</td><td rowspan="13">ON</td><td rowspan="13">ON</td><td rowspan="13">ON</td></tr>
<tr><td>P90 (*1)</td><td>KI0</td><td rowspan="10">ON</td><td rowspan="19">ON</td><td rowspan="10">ON</td><td rowspan="10">ON</td><td rowspan="10">ON</td></tr>
<tr><td>P91 (*1)</td><td>KI1</td></tr>
<tr><td>P92 (*1)</td><td>KI2</td></tr>
<tr><td>P93 (*1)</td><td>KI3</td></tr>
<tr><td>P94 (*1)</td><td>KI4</td></tr>
<tr><td>P95 (*1)</td><td>KI5</td></tr>
<tr><td>P96 (*1)</td><td>KI6</td></tr>
<tr><td>P97 (*1)</td><td>KI7</td></tr>
<tr><td>PB3</td><td>INT0,/PS</td></tr>
<tr><td>PB4</td><td>INT1,TA0IN</td></tr>
<tr><td>PB5</td><td>INT2</td><td rowspan="2">OFF</td><td rowspan="2">OFF</td><td rowspan="9">OFF</td><td rowspan="2">OFF</td></tr>
<tr><td>PB6</td><td>INT3</td></tr>
<tr><td>PC0</td><td>-</td><td rowspan="9">ON</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="6">ON</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="6">ON</td></tr>
<tr><td>PC3 (*1)</td><td>-</td></tr>
<tr><td>PC1</td><td>RXD0</td><td rowspan="4">ON</td><td rowspan="4">ON</td><td rowspan="4">OFF</td><td rowspan="4">ON</td></tr>
<tr><td>PC2</td><td>SCLK0,/CTS0</td></tr>
<tr><td>PC4</td><td>RXD1</td></tr>
<tr><td>PC5 (*1)</td><td>SCLK1,/CTS1</td></tr>
<tr><td>PZ2-Z3</td><td>-</td><td>-</td><td>-</td><td>OFF</td><td>-</td><td>-</td><td>OFF</td></tr>
<tr><td>/RESET,
AM0,AM1</td><td>-</td><td rowspan="2">ON</td><td rowspan="2">-</td><td rowspan="2">ON</td><td rowspan="2">-</td><td>ON</td><td>-</td><td>ON</td><td>-</td></tr>
<tr><td>X1,XT1</td><td>-</td><td colspan="4">IDLE1でON, STOPでOFF</td></tr>
</table>

ON：常時バッファがONしているため,、入力端子がドライブされてないと入力バッファに貫通電流が流れます。

OFF：常時バッファがOFFしています

ー：対象なし

*1：Pull-Up/Down抵抗付きポートです。

*2：AIN入力では貫通電流が流れません

注）条件 A / B の設定を示します。

<table>
<tr><th colspan="2">(SYSCR2)レジスタ設定</th><th colspan="2">HALT モード</th></tr>
<tr><th><DRVE></th><th><SELDRV></th><th>IDLE1</th><th>STOP</th></tr>
<tr><td>0</td><td>0</td><td>条件 A</td><td rowspan="2">条件 A</td></tr>
<tr><td>0</td><td>1</td><td rowspan="3">条件 B</td></tr>
<tr><td>1</td><td>0</td><td rowspan="2">条件 B</td></tr>
<tr><td>1</td><td>1</td></tr>
</table>

表 3.3.7　出力バッファ状態表

ポート名	出力 機能名	出力バッファ状態								
		リセット中	CPU動作中		HALT中　（IDLE2）		HALT中　（IDLE1/STOP）			
							条件 A 設定時（注）		条件 B 設定時（注）	
			機能 設定時	出力ポート 設定時	機能 設定時	出力ポート 設定時	機能 設定時	出力ポート 設定時	機能 設定時	出力ポート 設定時
D0-7	-	OFF	外部ライトでON	-	OFF	-	OFF	-	OFF	-
P10-17	D8-15			ON		ON		OFF		ON
A0-15	-	ON	ON	-	ON	-		-	ON	-
P20-27	A16-23			ON		ON		OFF		ON
P56 (*1)	-	OFF	-		-		-		-	
P60	/CS0	ON	ON		ON		OFF		ON	
P61	/CS1									
P62	/CS2,/CS2A									
P63	/CS3									
P64	EA24,/CS2B,/SRLB									
P65	EA25,/CS2C,/SRUB									
PA0	KO0,/ALARM, /MLDALM									
PA1	KO1,TA1OUT									
PA2	KO2,TA3OUT									
PA3	KO3,SCOUT									
PB3-B4	-	OFF	-		-		-		-	
PB5	PX		ON	-	ON	-	ON	-	ON	-
PB6	PY									
PC0	TXD0			ON		ON	OFF	OFF		ON
PC1,C4	-		-		-		-		-	
PC2	SCLK0		ON		ON		OFF		ON	
PC3 (*1)	TXD1									
PC5	SCLK1									
PD0 (*1)	D1BSCP	ON								
PD1	D2BLP									
PD2	D3BFR									
PD3	DLEBCD									
PD4	DOFFB									
PD7	MLDALM									
/RD,/WR	-			-		-		-		-
PZ2 (*1)	/HWR	OFF		ON		ON		OFF		ON
PZ3 (*1)	R/W,/SRWR									
X2	-	ON	ON	-	ON	-	IDLE1でON，STOPで”H”レベル出力			
XT2	-						IDLE1でON，STOPでHigh-Z			

ON：常時バッファがONしています。ただし、バス開放時は特定の端子の出力バッファはOFFします。

OFF：常時バッファがOFFしています

ー：対象なし

*1：Pull-Up/Down抵抗付きポートです。

注）条件 A / B の設定を示します。

(SYSCR2)レジスタ設定		HALT モード	
<DRVE>	<SELDRV>	IDLE1	STOP
0	0	条件 A	条件 A
0	1	条件 B	
1	0		条件 B
1	1		

3.4 割り込み

割り込みは、CPU の割り込みマスクレジスタ SR<IFF2:0>と、内蔵の割り込みコントローラによって制御されます。

割り込み要因には、下記に示す合計 37 本があります。

- CPU からの割り込み ・・・ 9 本
  (ソフトウエア割り込み、未定義命令実行違反)
- 外部端子 (INT0~INT3, INTKEY) ・・・5 本
- 内蔵 I/O からの割り込み ・・・ 23 本

各割り込み要因ごとに、個別の割り込みベクタ番号 (固定) が割り当てられており、マスカブル割り込みのそれぞれに、6 レベルの優先順位 (可変) を割り付けることができます。ノンマスカブル割り込みの優先順位は、最優先の “7” に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位値を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値(最高はノンマスカブル割り込みの “7”)を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ<IFF2:0>の値を比較し、送られてきた優先順位値が割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。<IFF2:0>の値は EI 命令 (EI num/IFF <2:0> の内容が num) を使用して書き替えることができます。例えば、“EI 3” とプログラムすると、割り込みコントローラに設定された優先順位値 3 以上のマスカブル割り込みと、ノンマスカブル割り込みが受け付け可能となります。また、DI 命令 (<IFF2:0> が 7) は動作的には “EI 7” と同じですが、マスカブル割り込みの優先順位値が 0~6 であるため、マスカブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後直ちに有効となります。

上記汎用割り込み処理モードに加えて、「マイクロ DMA」処理モードがあります。マイクロ DMA は、CPU が自動的にデータの転送 (1/2/4 バイト) を行うモードです。内部/外部メモリおよび内蔵 I/O に対するデータ転送を、高速に行うことができます。

さらに、このマイクロ DMA 要求を割り込み要因から与えられる以外に、ソフトで要求をかける “ソフトスタート機能” があります。

図 3.4.1に割り込み処理全体のフローを示します。

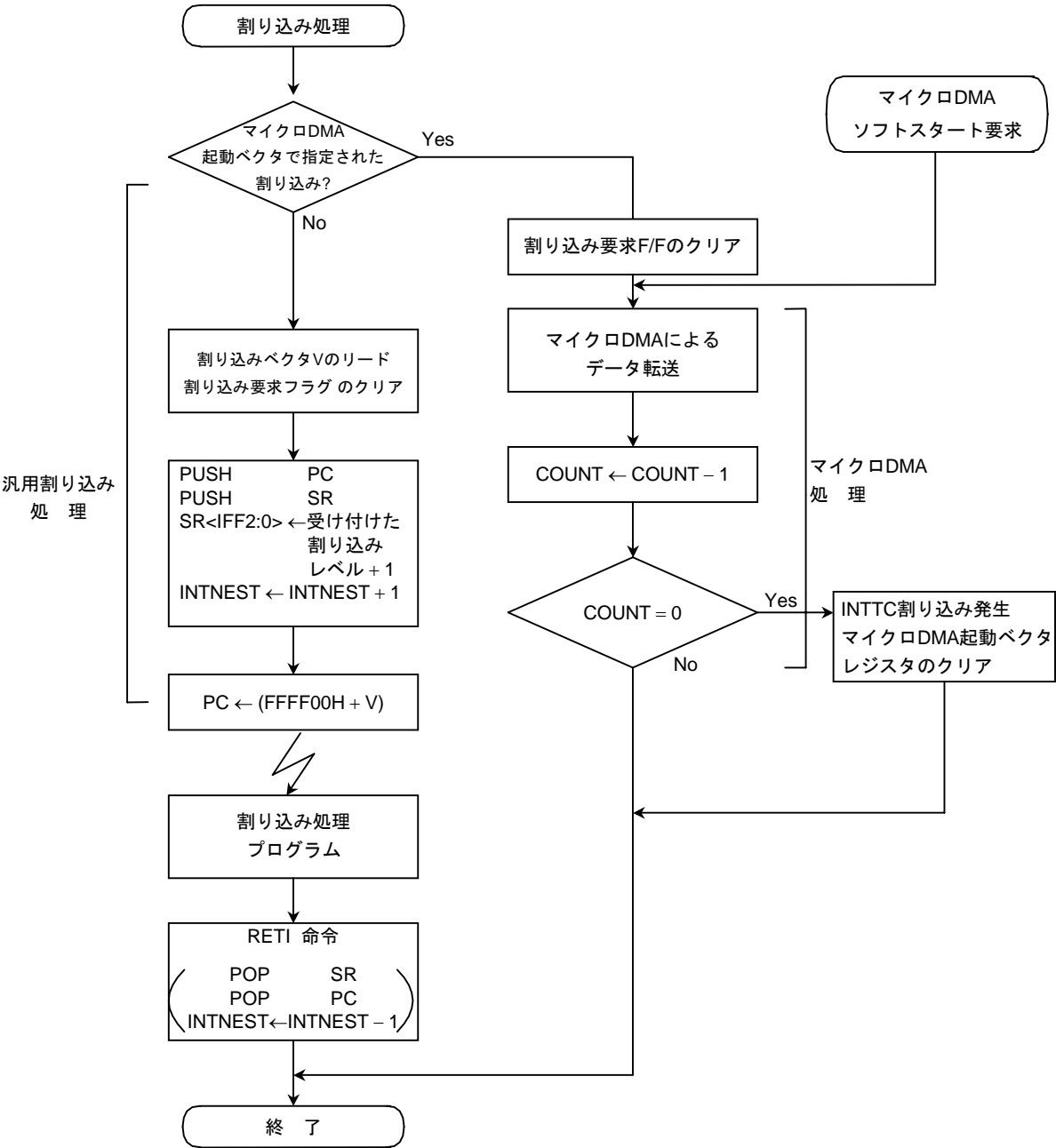



図 3.4.1　割り込み処理全体のフロー

3.4.1 汎用割り込み処理

CPU が割り込みを受け付けると、下記の動作をします。なお、この動作は TLCS-900/L, TLCS-900/H と同様です。

(1) CPU は、割り込みコントローラから、割り込みベクタをリードします。
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルト･プライオリティ (固定: ベクタ値が小さいほど優先順位が高い) に従って割り込みベクタを発生し、その割り込み要求をクリアします。

(2) CPU は、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域 (XSP が示す領域) へ PUSH します。

(3) CPU の割り込みマスクレジスタ <IFF2:0> の値を、受け付けた割り込みレベルより "1" だけ高い値にセットします。ただし、値が "7" のときは、インクリメントせず "7" をセットします。

(4) 割り込みネスティングカウンタ INTNEST を、+1 します。

(5) CPU は、「FFFF00H + 割り込みベクタ」のデータで示されるアドレスへジャンプし、割り込み処理ルーチンを開始します。

上記の処理時間は、ベストケース (メモリは 16 ビットデータバス幅 0 ウェイト) の場合、18 ステート (2.25 ns @ 16 MHz) です。

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタ PC とステータスレジスタ SR の内容を復帰し、割り込みネスティングカウンタ INTNEST を−1 します。

ノンマスカブル割り込みは、プログラムによって割り込み受け付けを禁止することができません。マスカブル割り込みはプログラムによって割り込みの許可/禁止が選択できるとともに、各割り込みソースごとに優先順位を設定することができます。CPU が持つ <IFF2:0> の値以上の優先順位値をもつ割り込み要求があると、割り込みを受け付けます。そして、CPU の <IFF2:0> に、受け付けた優先順位に "1" を加えた値を、セットします。従って、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 (1)~(5) までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスカブル割り込みのネスティングを禁止することができます。

リセット後、CPU の <IFF2:0> は、"7" に初期化されているため、マスカブル割り込み禁止状態になっています。

アドレス FFFF00H~FFFFFFH (256 バイト) が、割り込みベクタ領域に割り当てられています。表 3.4.1に割り込みテーブルを示します。

表 3.4.1　TMP91C025 の割り込みテーブル

デフォルト プライオリティ	タイプ	割り込み要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA 起動 ベクタ
1	ノン マスカブル	“リセット”「SWI 0」命令	0000H	FFFF00H	–
2		「SWI 1」命令	0004H	FFFF04H	–
3		INTUNDEF: 未定義命令実行違反、または「SWI 2」命令	0008H	FFFF08H	–
4		「SWI 3」命令	000CH	FFFF0CH	–
5		「SWI 4」命令	0010H	FFFF10H	–
6		「SWI 5」命令	0014H	FFFF14H	–
7		「SWI 6」命令	0018H	FFFF18H	–
8		「SWI 7」命令	001CH	FFFF1CH	–
9		INTWD: ウォッチドッグタイマ	0024H	FFFF24H	–
–	マスカブル	(マイクロ DMA)	–	–	–
10		INT0 端子	0028H	FFFF28H	0AH
11		INT1 端子	002CH	FFFF2CH	0BH
12		INT2 端子	0030H	FFFF30H	0CH
13		INT3 端子	0034H	FFFF34H	0DH
14		INTALM0: ALM0 (8 kHz)	0038H	FFFF38H	0EH
15		INTALM1: ALM1 (512 Hz)	003CH	FFFF3CH	0FH
16		INTALM2: ALM2 (64 Hz)	0040H	FFFF40H	10H
17		INTALM3: ALM3 (2 Hz)	0044H	FFFF44H	11H
18		INTALM4: ALM4 (1 Hz)	0048H	FFFF48H	12H
19		INTTA0: 8 ビットタイマ 0	004CH	FFFF4CH	13H
20		INTTA1: 8 ビットタイマ 1	0050H	FFFF50H	14H
21		INTTA2: 8 ビットタイマ 2	0054H	FFFF54H	15H
22		INTTA3: 8 ビットタイマ 3	0058H	FFFF58H	16H
23		INTRX0: シリアル受信 (チャネル 0)	005CH	FFFF5CH	17H
24		INTTX0: シリアル送信 (チャネル 0)	0060H	FFFF60H	18H
25		INTRX1: シリアル受信 (チャネル 1)	0064H	FFFF64H	19H
26		INTTX1: シリアル送信 (チャネル 1)	0068H	FFFF68H	1AH
27		INTAD: AD 変換終了	006CH	FFFF6CH	1BH
28		INTKEY:キーウェイクアップ	0070H	FFFF70H	1CH
29		INTRTC:RTC (アラーム割り込み)	0074H	FFFF74H	1DH
30		INTLCD:LCDC/LP 端子	007CH	FFFF7CH	1FH
31		INTP0: プロテクト 0 (特定 SFR への WR)	0080H	FFFF80H	20H
32		INTP1: プロテクト 1 (ROM への WR)	0084H	FFFF84H	21H
33		INTTC0: マイクロ DMA 終了 (チャネル 0)	0088H	FFFF88H	–
34		INTTC1: マイクロ DMA 終了 (チャネル 1)	008CH	FFFF8CH	–
35		INTTC2: マイクロ DMA 終了 (チャネル 2)	0090H	FFFF90H	–
36		INTTC3: マイクロ DMA 終了 (チャネル 3)	0094H	FFFF94H	–
		(Reserved) : (Reserved)	0098H : 00FCH	FFFF98H : FFFFFCH	– : –

3.4.2 マイクロ DMA

汎用割り込み処理に加えて、マイクロ DMA 機能があります。マイクロ DMA に設定された割り込み要求は、設定された割り込みレベルにかかわらず、マスカブル割り込みの中で最も高い割り込みレベルで処理を行います。

マイクロ DMA は 4 チャネル用意されており、バースト指定により連続転送が可能です。

なお、マイクロ DMA 機能は CPU の協調動作によって実現されているため、CPU が HALT 命令を実行しスタンバイ状態になると、マイクロ DMA の要求は無視 (保留) されます。

(1) マイクロ DMA の動作

マイクロ DMA は、マイクロ DMA 起動ベクタレジスタで指定された割り込み要求が発生すると、割り込み要求元の割り込みレベルにかかわらず、CPU に対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います。<IFF2:0> = “7” のときは、マイクロ DMA の要求は受け付けられません。

マイクロ DMA は 4 チャネル用意されており、同時に 4 種類までの割り込み要因に対して、マイクロ DMA を設定することができます。

マイクロ DMA が受け付けられると、そのチャネルに割り当てられている割り込み要求フラグをクリアし、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が一回 (1/2/4 バイト) 行われ、転送数カウンタをデクリメントします。デクリメントした結果が “0” ならば、CPU はマイクロ DMA 転送終了を割り込みコントローラに伝え、割り込みコントローラは、マイクロ DMA 転送終了割り込み (INTTCn) を発生させ、かつ、マイクロ DMA 起動ベクタレジスタ DMAnV の値を “0” クリアして、次のマイクロ DMA 起動を禁止し、マイクロ DMA 処理を終了します。デクリメントした結果が “0” でない場合、バースト指定がなければ、マイクロ DMA 処理は終了します。この場合、転送終了割り込み (INTTCn) は発生しません。

割り込み要因をマイクロ DMA 起動のみに使用する場合は、割り込みレベルを “0” にしておく必要があります。これは、マイクロ DMA 起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが 1~6 の場合、CPU は汎用割り込み処理を行うためです。割り込み要因をマイクロ DMA と汎用割り込みの起動で兼用する場合は、その割り込み要因の割り込みレベルを、ほかのすべての割り込み要因の割り込みレベルより低くする必要があります。なお、その割り込み要因は、エッジ割り込みに限られます。

マイクロ DMA 転送終了割り込みは、ほかのマスカブル割り込みと同様に割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャネルのマイクロ DMA 要求が、同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャネル番号の若い方が高くなります。(CH0 (高) → CH3 (低))

転送元/転送先アドレスを設定するレジスタは、32 ビット幅のコントロールレジスタになっていますが、アドレスは 24 本しか出力されていないため、マイクロ DMA で取り扱える空間は、16 M バイトとなります。

転送モードは、1/2/4 バイト転送の 3 種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスをインクリメント、デクリメント、固定するモードを用意しています。このモードにより、メモリからメモリ、I/O からメモリ、メモリから I/O、I/O から I/O のデータ転送を簡単に行えます。転送モードの詳細は、3.4.2 (4)「転送モードレジスタ」を参照してください。

転送数カウンタは、16 ビット幅で構成されているため、1 つの割り込み要因に対して最大 65536 回 (転送カウンタの初期値が 0000H のとき最大) の、マイクロ DMA 処理を行うことができます。

マイクロ DMA 処理を行うことのできる割り込み要因は、表 3.4.1でマイクロ DMA 起動ベクタのある 24 種類の割り込みとソフトスタートによる計 25 種類です。

転送先アドレス INC モード 2 バイト転送 (カウンタモード以外は同様) のマイクロ DMA サイクルを図 3.4.2に示します。(全アドレスエリア 16 ビットバス, 0 ウェイト, ソース/デスティネーションアドレスとも偶数の場合)

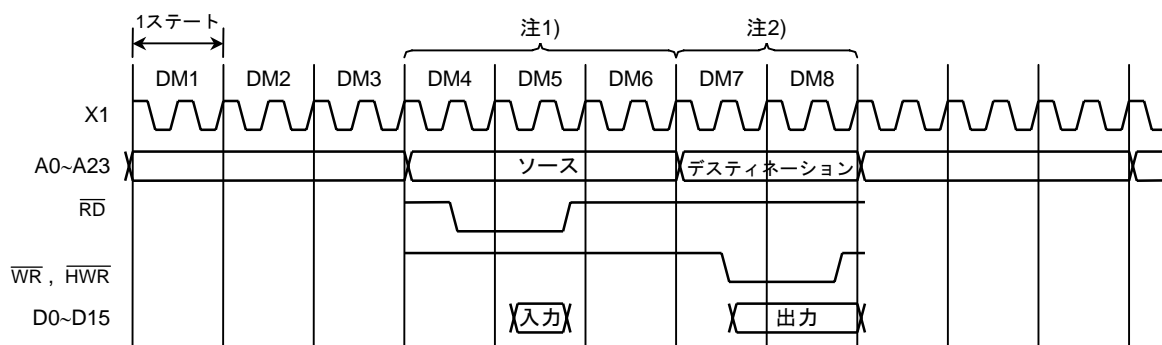



図 3.4.2　マイクロ DMA サイクル図

第 1~3 ステート:　命令フェッチ･サイクル (次の命令コードを先取りします)
命令キューバッファに 3 バイト以上の命令コードが入ると、
このサイクルはダミーサイクルになります。

第 4~5 ステート:　マイクロ DMA リード･サイクル

第 6 ステート:　ダミーサイクル (アドレスバスは第 5 ステート状態のままです)

第 7~8 ステート:　マイクロ DMA ライトサイクル

注 1)　ソースアドレスエリアが 8 ビットバスの場合、+2 ステートされます。
また、ソースアドレスエリアが 16 ビットバスで奇数アドレスから始まる場合も、+2 ステートされます。

注 2)　デスティネーションアドレスエリアが 8 ビットバスの場合､+2 ステートされます。
また､デスティネーションアドレスエリアが 16 ビットバスで奇数アドレスから始まる場合も、+2 ステートされます。

(2) ソフトスタート機能

割り込み要因によるマイクロ DMA の起動以外に、DMAR レジスタへの書き込みサイクルが発生したことによりマイクロ DMA を起動する “マイクロ DMA ソフトスタート機能” があります。

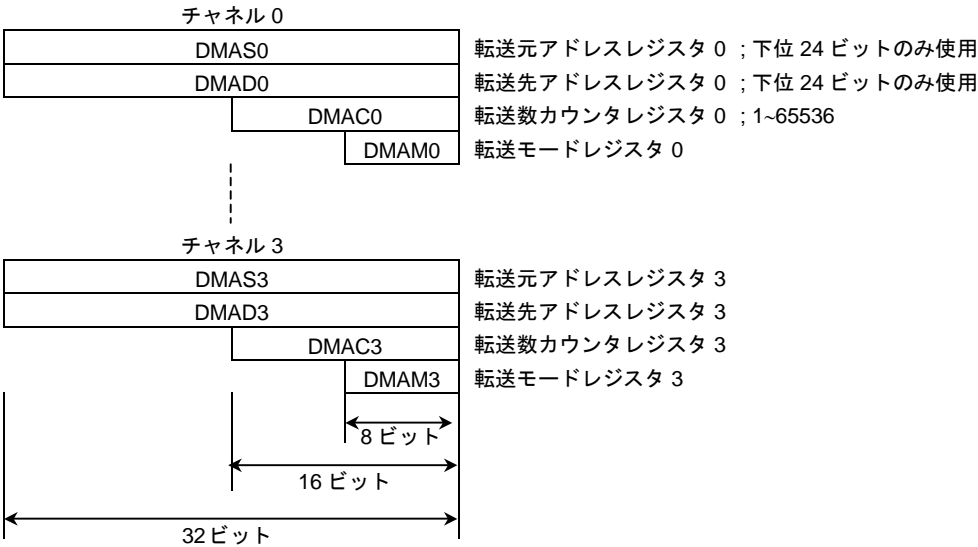
DMAR レジスタの各ビットに “1” を書き込むことにより、マイクロ DMA を一回起動することができます。転送が終了すると、終了したチャネルに対応する DMAR レジスタのビットが、自動的に “0” クリアされます。なお、仕様書の制限として一度に 1 チャネルしか起動できません。(複数のビットに “1” を書き込まないでください)

また、再度 DMAR レジスタに “1” を書き込む場合は、そのビットが “0” であることを確認してから行ってください。

DMAB レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが “0” になるまで、連続的にデータ転送されます。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA request register	89H					DMA 要求			
							DMAR3	DMAR2	DMAR1	DMAR0
							R/W			
							0	0	0	0

(3) 転送制御レジスタ

転送元アドレス, 転送先アドレスは、下記の CPU 内レジスタで設定します。これらのレジスタは「LDC cr, r」命令を使用して、データの設定を行います。

(4) 転送モードレジスタ: DMAM0~DMAM3

(DMAM0~DMAM3)

0	0	0	モード				

注) このレジスタに値を設定するとき、
上位 3 ビットは "0" にしてください。

ZZ: 0 = バイト転送、1 = ワード転送、2 = 4 バイト転送、3 = Reserved

モード	内容	実行時間
0 0 0 Z Z	転送先アドレス INC モード......................................I/O to メモリ用 (DMADn+) ← (DMASn) DMACn ← DMACn − 1 if DMACn = 0 then INTTC 発生	8 ステート(1000 ns) @バイト/ワード転送 12 ステート(1500 ns) @4 バイト転送
0 0 1 Z Z	転送先アドレス DEC モード ....I/O to メモリ用 (DMADn–) ← (DMASn) DMACn ← DMACn − 1 if DMACn = 0 then INTTC 発生	8 ステート(1000 ns) @バイト/ワード転送 12 ステート(1500 ns) @4 バイト転送
0 1 0 Z Z	転送元アドレス INC モード.....................................メモリ to I/O 用 (DMADn) ← (DMASn+) DMACn ← DMACn − 1 if DMACn = 0 then INTTC 発生	8 ステート(1000 ns) @バイト/ワード転送 12 ステート(1500 ns) @4 バイト転送
0 1 1 Z Z	転送元アドレス DEC モード ....メモリ to I/O 用 (DMADn) ← (DMASn–) DMACn ← DMACn − 1 if DMACn = 0 then INTTC 発生	8 ステート(1000 ns) @バイト/ワード転送 12 ステート(1500 ns) @4 バイト転送
1 0 0 Z Z	アドレス固定モード... I/O to I/O 用 (DMADn) ← (DMASn) DMACn ← DMACn − 1 if DMACn = 0 then INTTC 発生	8 ステート(1000 ns) @バイト/ワード転送 12 ステート(1500 ns) @4 バイト転送
1 0 1 0 0	カウンタ・モード................................ 割り込み発生回数カウント用 DMASn ← DMASn + 1 DMACn ← DMACn − 1 if DMACn = 0 then INTTC 発生	5 ステート (625 ns)

注 1) n: 対応するマイクロ DMA チャネル 0~3
DMADn+/DMASn+: ポストインクリメント (転送後レジスタの値をインクリメント)
DMADn–/DMASn–: ポストデクリメント (転送後レジスタの値をデクリメント)
表中の I/O とは固定されたアドレス、メモリとは INC, DEC されるアドレスを意味します。

注 2) 実行時間: 転送元/転送先アドレス空間が 16 ビットバス幅、0 ウェイトに設定されている場合を示します。
クロック条件は fc = 16 MHz、高速クロックギア: 1 倍 (fc) です。

注 3) 転送モードレジスタへは上記以外のコードを設定しないでください。

3.4.3 割り込みコントローラの制御

図 3.4.3に割り込み回路のブロック図を示します。この図の左半分は割り込みコントローラを示し、右半分は CPU の割り込み要求信号回路と、ホルト解除回路を示しています。

割り込みコントローラは各割り込みチャネルごと (合計 36 チャネル) に、割り込み要求フラグ, 割り込みレベルレジスタ, マイクロ DMA 起動ベクタ設定レジスタを持っています。割り込み要求フラグは、周辺からの割り込み要求をラッチするためのものです。

このフラグは以下の場合にクリアされます。

- リセット動作
- CPU が割り込みを受け付け、その割り込みのベクタをリード
- 割り込みをクリアする命令の実行 (INTCLR レジスタに DMA 起動ベクタをライト)
- CPU がその割り込みでのマイクロ DMA を受け付けたとき
- その割り込みでのマイクロ DMA バースト転送が終了したとき

割り込みの優先順位は、各割り込み要因ごとに準備されている割り込みレベルレジスタ (INTE0AD, INTE12 … など) にそれぞれのレベルを設定できます。設定できる割り込みレベルは、1 から 6 までの 6 レベルです。レベルを “0” (または “7”) にすることにより、該当する割り込み要求は禁止されます。なお、ノンマスカブル割り込み (ウォッチドッグタイマ) のレベルは “7” に固定されています。また、同時に同一レベルの割り込み要求が発生した場合はデフォルトプライオリティに従い、割り込みを受け付けます。なお、割り込みレベルレジスタのビット 3, ビット 7 を読むと、割り込み要求フラグの状態が読み出され、各チャネルの割り込み要求の有無がわかります。

割り込みコントローラは同時に発生した割り込みの中で、最も優先順位の高い割り込みレベルと、そのベクタアドレスを CPU へ送ります。CPU は、ステータスレジスタ (SR) に割り付けられている割り込みマスクレジスタ<IFF2:0>と割り込みレベルを比較し、割り込みのレベルが高ければ、この割り込みを受け付けます。そして、SR<IFF2:0>に受け付けた割り込みレベル+1 の値をセットし、この値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。割り込み処理の終了 (RETI 命令の実行) により、SR<IFF2:0>には、スタックに退避されていた、割り込み発生以前の割り込みマスクレジスタの値が、リストアされます。

割り込みコントローラには、マイクロ DMA の起動ベクタを格納するレジスタ (4 チャネル) が用意されています。このレジスタに起動ベクタ (表 3.4.1参照) を書き込むことにより、該当する割り込み要求が発生することによって、マイクロ DMA が起動されます。なお、このマイクロ DMA 処理の前に、マイクロ DMA パラメータ用レジスタ (DMAS, DMAD など) に値を設定しておく必要があります。

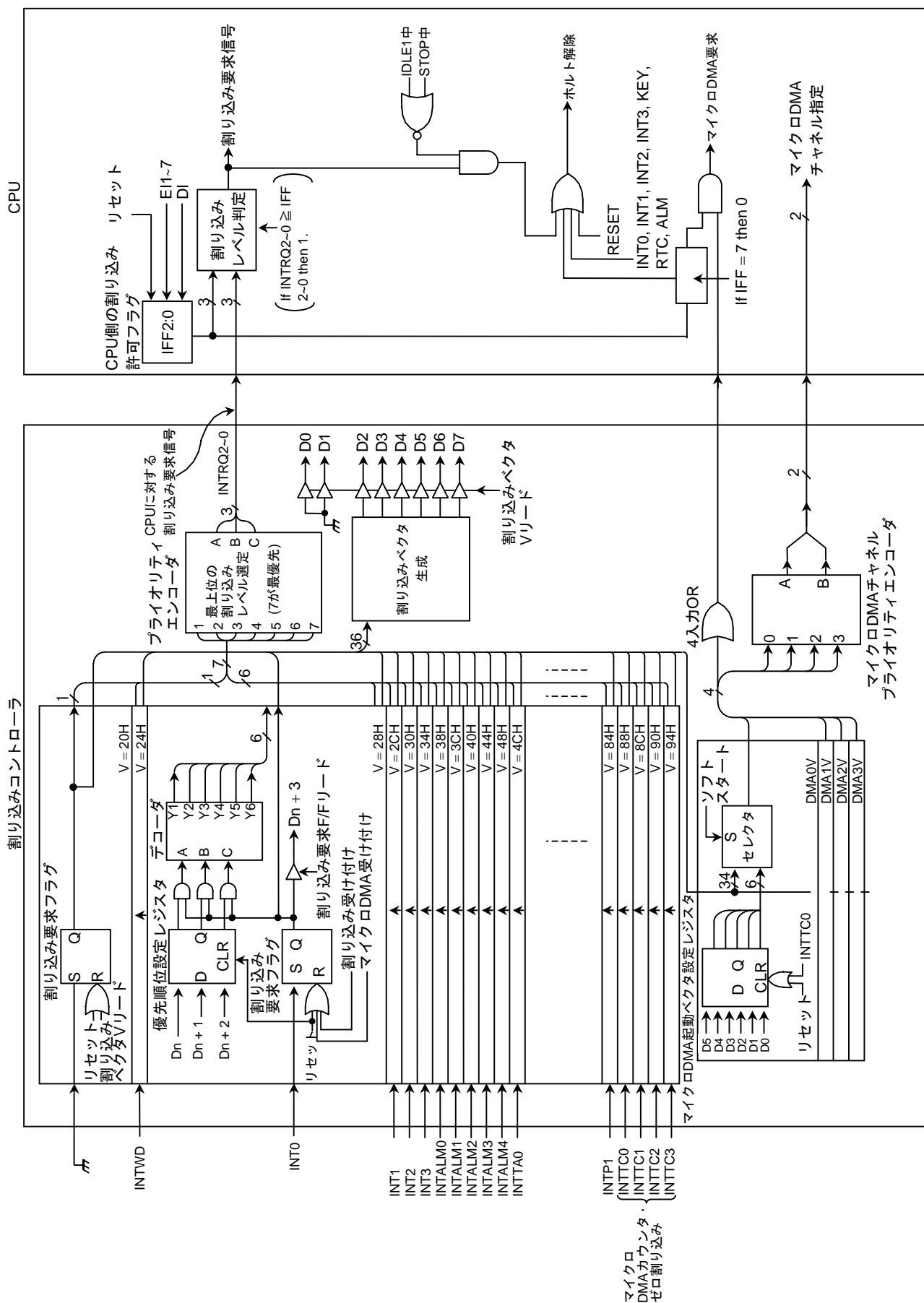



図 3.4.3 割り込みコントローラブロック図

(1) 割り込みレベル設定レジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	INT0 & INTAD enable	90H	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE12	INT1 & INT2 enable	91H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE3ALM4	INT3& INTALM4 enable	92H	INTALM4				INT3			
			IA4C	IA4M2	IA4M1	IA4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEALM01	INTALM0 & INTALM1 enable	93H	INTALM1				INTALM0			
			IA1C	IA1M2	IA1M1	IA1M0	IA0C	IA0M2	IA0M1	IA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEALM23	INTALM2 & INTALM3 enable	94H	INTALM3				INTALM2			
			IA3C	IA3M2	IA3M1	IA3M0	IA2C	IA2M2	IA2M1	IA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETA01	INTTA0 & INTTA1 enable	95H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETA23	INTTA2 & INTTA3 enable	96H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTERTCKEY	INTRTC & INTKEY enable	97H	INTKEY				INTRTC			
			IKC	IKM2	IKM1	IKM0	IRC	IRM2	IRM1	IRM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

割り込み要求フラグ

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを “1” に設定
0	1	0	割り込みレベルを “2” に設定
0	1	1	割り込みレベルを “3” に設定
1	0	0	割り込みレベルを “4” に設定
1	0	1	割り込みレベルを “5” に設定
1	1	0	割り込みレベルを “6” に設定
1	1	1	割り込み要求を禁止に設定

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTES0	Interrupt enabel serial 0	98H	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES1	INTRX1 & INTTX1 enable	99H	INTTX1				INTRX1			
			ITXT1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTLCD	INTLCD enable	9AH	INTLCD				–			
			ILCD1C	ILCDM2	ILCDM1	ILCDM0	–	–	–	–
			R	R/W			–	–		
			0	0	0	0	–	–	–	–
INTETC01	INTTC0 & INTTC1 enable	9BH	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23	INTTC2 & INTTC3 enable	9CH	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEP01	INTP0 & INTP1 enable	9DH	INTP1				INTP0			
			IP1C	IP1M2	IP1M1	IP1M0	IP0C	IP0M2	IP0M1	IP0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

割り込み要求フラグ

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを “1” に設定
0	1	0	割り込みレベルを “2” に設定
0	1	1	割り込みレベルを “3” に設定
1	0	0	割り込みレベルを “4” に設定
1	0	1	割り込みレベルを “5” に設定
1	1	0	割り込みレベルを “6” に設定
1	1	1	割り込み要求を禁止に設定

(2) 外部割り込みの制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
IIMC	Interrupt input mode control	8CH (RMW 禁)	–	–	I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	–
			W							
			0	0	0	0	0	0	0	0
			"0" をライトしてください。	"0" をライトしてください。	INT3 エッジ 0: 立ち上がり 1: 立ち下がり	INT2 エッジ 0: 立ち上がり 1: 立ち下がり	INT1 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 0: エッジ 1: レベル	"0" をライトしてください。

INT0 level enable

0	edge detect INT
1	"H" level INT

(3) 割り込み要求フラグクリアレジスタ

割り込み要求フラグのクリアは、INTCLR レジスタにマイクロ DMA 起動ベクタを書くことで行います。

例えば INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR ← 0AH: INT0 割り込み要求フラグのクリア

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTCLR	Interrupt clear control	88H (RMW 禁)			CLRV5	CLRV4	CLRV3	CLRV2	CLRV1	CLRV0
					W					
					0	0	0	0	0	0
					割り込みベクタ					

(4) マイクロ DMA 起動ベクタレジスタ

マイクロ DMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致する、マイクロ DMA 起動ベクタを持つ割り込み要因をマイクロ DMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタが "0" になると、割り込みコントローラにそのチャネルに相当するマイクロ DMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA 起動ベクタレジスタはクリアされ、そのチャネルのマイクロ DMA 起動要因がクリアされますので、引き続きマイクロ DMA 処理をさせたい場合は、マイクロ DMA 転送終了割り込み処理の中で、再度このマイクロ DMA 起動ベクタレジスタをセットする必要があります。

また、複数チャネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャネル番号の小さい方が優先されます。

従って、2 チャネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャネル番号の小さいチャネルがマイクロ DMA 転送終了になるまで実行され、そのチャネルのマイクロDMA起動ベクタを再度設定しなければ、その後のマイクロDMA起動はチャネル番号の大きいチャネルに移行します。(マイクロ DMA のチェーン)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 start vector	80H			DMA0 開始ベクタ					
					DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
DMA1V	DMA1 start vector	81H			DMA1 開始ベクタ					
					DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
DMA2V	DMA2 start vector	82H			DMA2 開始ベクタ					
					DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
DMA3V	DMA3 start vector	83H			DMA3 開始ベクタ					
					DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0

(5) マイクロ DMA のバースト指定

マイクロ DMA 処理はバースト指定を行うことにより、1 回のマイクロ DMA 起動で転送カウンタ･レジスタがゼロになるまで連続転送を行うことが可能です。DMAB レジスタのマイクロ DMA チャネルに対応するビットを “1” にすることで､バースト指定できます。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA software request register	89H					DMAR3	DMAR2	DMAR1	DMAR0
							R/W	R/W	R/W	R/W
							0	0	0	0
							1: DMA のソフト要求			
DMAB	DMA burst register	8AH					DMAB3	DMAB2	DMAB1	DMAB0
							R/W			
							0	0	0	0
							1: DMA のバースト要求			

(6) 注意事項

CPU は、命令実行ユニットとバスインタフェースユニットが分かれています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPU が割り込みを受け付けて割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令 (注)を実行するということがあり得ます。この場合、CPU は要因消滅ベクタ “0008H” を読み込み、アドレス FFFF08H の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI 命令の後にクリアする命令を書き込むようにしてください。クリアする命令を実行した後、再び EI 命令で割り込みをイネーブルにするときは、クリア命令後必ず 1 命令以上間をおいてから EI 命令を実行してください。クリア命令後すぐに EI 命令を実行すると、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、POP SR 命令により割り込みマスクレベル (ステータスレジスタ SR の<IFF2:0>) を書き替えるときは、必ず DI 命令により割り込みを禁止した後に POP SR 命令を実行してください。

その他、以下の 2 点は例外の回路になっていますので注意が必要です。

<table>
<tr><td rowspan="2">INT0 のレベルモード</td><td>エッジタイプの割り込みではないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップの S 入力を素通りし、Q 出力になります。モード変更 (エッジ → レベル) を行った場合、以前の割り込み要求フラグは自動的にクリアされます。</td></tr>
<tr><td>INT0 を “0” から “1” にすることによって CPU が割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまで INT0 を “1” のままにしておく必要があります。また、INT0 のレベルモードをホルトの解除に使用する場合も、一度 “0” から “1” にして、ホルトが解除されるまで必ず “1” を保持しておく必要があります (ノイズによって途中で “0” が入ることがないようにしてください)。
レベルモードからエッジモードへ切り替えたとき、レベルモード時に受け付けた割り込み要求フラグはクリアされません。そのため、割り込み要求フラグを以下のシーケンスでクリアしてください。
DI
LD (IIMC), 00H; レベルからエッジへ切り替える
LD (INTCLR), 0AH; INT0 割り込み要求フラグをクリア
NOP; EI 実行待ち
EI</td></tr>
<tr><td>INTRX</td><td>割り込み要求用フリップフロップをクリアするには、リセット動作またはシリアルチャネルの受信バッファをリードする必要があります。命令によるクリアはできません。</td></tr>
</table>

注) 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

INT0: エッジモードで割り込み要求発生後のレベルモードへの切り替え命令
レベルモードでの割り込み要求発生後の端子入力変化 (“H” → “L”)

INTRX: 受信バッファをリードする命令

3.5 ポート機能

合計 38 ビットの入出力ポートがあります。

また、これらのポート端子は汎用入出力ポート機能だけでなく、内部の CPU や内蔵 I/O の入出力機能と兼用になっています。表 3.5.1に各ポート端子の機能を、表 3.5.2, 表 3.5.3に各端子の設定方法を示します。

表 3.5.1 ポート機能

(R: PU = プログラマブルプルアップ抵抗付き、U = プルアップ抵抗付き)

ポート名	ピン名称	ピン数	方向	R	方向設定単位	内蔵機能用ピン名称
ポート 1	P10~P17	8	入出力	–	ビット	D8~D15
ポート 2	P20~P27	8	出力	–	(固定)	A16~A23
ポート 5	P56	1	入出力	PU	ビット	$\overline{WAIT}$
ポート 6	P60	1	出力	–	(固定)	$\overline{CS0}$
	P61	1	出力	–	(固定)	$\overline{CS1}$
	P62	1	出力	–	(固定)	$\overline{CS2}$, $\overline{CS2A}$
	P63	1	出力	–	(固定)	$\overline{CS3}$
	P64	1	出力	–	(固定)	EA24, $\overline{CS2B}$, $\overline{SRLB}$
	P65	1	出力	–	(固定)	EA25, $\overline{CS2C}$, $\overline{SRUB}$
ポート 8	P80	1	入力	–	(固定)	AN0
	P81	1	入力	–	(固定)	AN1
	P82	1	入力	–	(固定)	AN2, MX
	P83	1	入力	–	(固定)	AN3, $\overline{ADTRG}$, MY
ポート 9	P90~P97	8	入力	U	(固定)	KI0~KI7
ポート A	PA0	1	出力	–	(固定)	KO0, $\overline{ALARM}$, $\overline{MLDALM}$
	PA1	1	出力	–	(固定)	KO1, TA1OUT
	PA2	1	出力	–	(固定)	KO2, TA3OUT
	PA3	1	出力	–	(固定)	KO3, SCOUT
ポート B	PB3	1	入出力	–	ビット	INT0, $\overline{PS}$
	PB4	1	入出力	–	ビット	INT1, TA0IN
	PB5	1	入力	–	(固定)	INT2, PX
	PB6	1	入力	–	(固定)	INT3, PY
ポート C	PC0	1	入出力	–	ビット	TXD0
	PC1	1	入出力	–	ビット	RXD0
	PC2	1	入出力	PU	ビット	SCLK0, $\overline{CTS0}$
	PC3	1	入出力	–	ビット	TXD1
	PC4	1	入出力	–	ビット	RXD1
	PC5	1	入出力	PU	ビット	SCLK1, $\overline{CTS1}$
ポート D	PD0	1	出力	–	(固定)	D1BSCP
	PD1	1	出力	–	(固定)	D2BLP
	PD2	1	出力	–	(固定)	D3BFR
	PD3	1	出力	–	(固定)	DLEBCD
	PD4	1	出力	–	(固定)	DOFFB
	PD7	1	出力	–	(固定)	MLDALM
ポート Z	PZ2	1	入出力	PU	ビット	$\overline{HWR}$
	PZ3	1	入出力	PU	ビット	R/ $\overline{W}$, $\overline{SRWR}$

表 3.5.2　I/O ポート設定一覧表

ポート	端子名	仕様	I/O レジスタ設定値			
			Pn	PnCR	PnFC	PnFC2
ポート 1 注 1)	P10~P17	入力ポート	X	0	なし	なし
		出力ポート	X	1		
		D8~D15 バス	X	X		
ポート 2	P20~P27	出力ポート	X	なし	0	
		A16~A23 出力	X		1	
ポート 5	P56	$\overline{\text{WAIT}}$ 入力 (プルアップなし)	0	0	なし	
		$\overline{\text{WAIT}}$ 入力 (プルアップあり)	1	0		
ポート 6	P60~P65	出力ポート	X	なし	0	0
	P60	$\overline{\text{CS0}}$ 出力	X		1	なし
	P61	$\overline{\text{CS1}}$ 出力	X		1	
	P62	$\overline{\text{CS2}}$ 出力	X		1	0
		$\overline{\text{CS2A}}$ 出力	X		X	1
	P63	$\overline{\text{CS3}}$ 出力	X		1	なし
	P64	EA24 出力	X		0	1
		$\overline{\text{CS2B}}$ 出力	X		1	1
		$\overline{\text{SRLB}}$ 出力	X		1	0
	P65	EA25 出力	X		0	1
		$\overline{\text{CS2C}}$ 出力	X		1	1
		$\overline{\text{SRUB}}$ 出力	X		1	0
ポート 8	P80~P83	入力ポート	X	なし		なし
		AN0~AN3 入力　注 2)	X			
	P82	MX 入力	X			
	P83	$\overline{\text{ADTRG}}$ 入力　注 3)	X			
		MY 入力	X			
ポート 9	P90~P97	入力ポート	X	なし	0	
		KI0~KI7 入力	X		1	
ポート A	PA0~PA3	出力ポート	X	なし	0	0
		KO0~KO3 出力 (CMOS)	X		0	0
		KO0~KO3 出力 (オープンドレイン)	X		1	0
	PA0	$\overline{\text{ALARM}}$ 出力	1		0	1
		$\overline{\text{MLDALM}}$ 出力	0		0	1
	PA1	TA1OUT 出力	X		0	1
	PA2	TA3OUT 出力	X		0	1
	PA3	SCOUT 出力	X		0	1
ポート B	PB3~PB4	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
	PB3	INT0 入力	X	0	1	
		$\overline{\text{PS}}$ 入力	X	0	X	
	PB4	INT1 入力	X	0	1	
		TA0IN 入力	X	0	X	
	PB5	INT2 入力	X	0	1	
		PX 出力	X	なし	0	
	PB6	INT3 入力	X	0	1	
		PY 出力	X	なし	0	

X: Don’t care

表 3.5.3　I/O ポート設定一覧表

ポート	端子名	仕様	I/O レジスタ設定値			
			Pn	PnCR	PnFC	PnFC2
ポート C	PC0~PC5	入力ポート	X	0	0	
		出力ポート	X	1	0	
	PC0	TXD0 出力　注 4)	1	1	1	
	PC1	RXD0 入力　注 4)	1	0	なし	
	PC2	SCLK0 入力　注 4)	1	0	0	
		SCLK0 出力　注 4)	1	1	1	
		$\overline{CTS0}$ 入力　注 4)	1	0	0	
	PC3	TXD1 出力　注 4)	1	1	1	
	PC4	RXD1 入力　注 4)	1	0	なし	
	PC5	SCLK1 入力　注 4)	1	0	0	
		SCLK1 出力　注 4)	1	1	1	
		$\overline{CTS1}$ 入力　注 4)	1	0	0	
ポート D	PD0~PD7	出力ポート	X		0	なし
	PD0	D1BSCP 出力	X		1	
	PD1	D2BLP 出力	X		1	
	PD2	D3BFR 出力	X	なし	1	
	PD3	DLEBCD 出力	X		1	
	PD4	DOFFB 出力	X		1	
	PD7	MLDALM 出力	X		1	
ポート Z	PZ2~PZ3	入力ポート	X	0	0	
		出力ポート	X	1	0	
	PZ2	$\overline{HWR}$ 出力	X	1	1	
	PZ3	R/ $\overline{W}$ 出力	X	0	1	
		$\overline{SRWR}$ 出力	X	1	1	

X: Don’t care

注 1)　ポート 1 は AM1, AM0 端子の設定により、ポート, データバスどちらかのみしか使用できません。

注 2)　P80~P83 を AD コンバータの入力チャネルとして使用する場合のチャネル選択は、ADMOD1<ADCH2:0>で設定します。

注 3)　P83 を $\overline{ADTRG}$ 入力として使用する場合は、ADMOD1<ADTRGE>にて外部トリガ許可の設定をします。

注 4)　SIO0, SIO1 の入出力端子: TXD0, RXD0, SCLK0, $\overline{CTS0}$, TXD1, RXD1, SCLK1, $\overline{CTS1}$ は、出力データまたは入力データの論理選択を各ポートの出力ラッチレジスタ Pn で設定できます。

3.5.1 ポート 1 (P10~P17)

ポート 1 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P1CR によって行います。リセット動作により、P1CR の全ビットは “0” にリセットされ、ポート 1 は、入力モードになります。

汎用入出力ポート機能以外に、データバス (D8~D15) 機能があります。

なお、AM1 端子が “0”、AM0 端子が “1” の場合 (外部 16 ビットデータバス)、P1CR の設定値に関係なく、常にデータバス (D8~D15) として機能します。

表 3.5.4　AM0/AM1 設定機能

AM1	AM0	リセット後の機能設定
0	0	入力ポート
0	1	データバス (D8~D15)
1	0	設定禁止
1	1	設定禁止

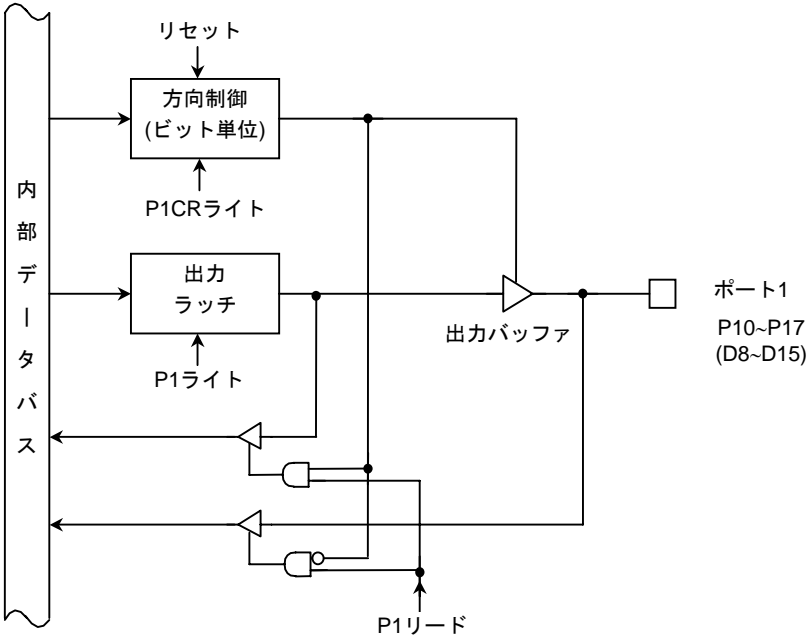



図 3.5.1　ポート 1

3.5.2 ポート 2 (P20~P27)

ポート 2 は、8 ビットの出力ポートです。

出力ポート機能以外に、アドレスバス (A16~A23) 機能があります。この指定は P2FC レジスタによって行います。ビット単位で出力ポートとアドレスバス出力の選択が可能です。

リセット動作により P2FC の全ビットは "1" にセットされ、アドレスバス (A16~A23) として機能します。

図 3.5.2　ポート 2

ポート 1 レジスタ

P1 (0001H)

	7	6	5	4	3	2	1	0
Bit symbol	P17	P16	P15	P14	P13	P12	P11	P10
Read/Write	R/W							
リセット後	外部端子データ (出力ラッチレジスタは “0” にクリアされます。)							

ポート 1 コントロールレジスタ

P1CR (0004H)

	7	6	5	4	3	2	1	0
Bit symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	0: 入力　1: 出力							

ポート 1 の入力/出力設定

0	入力
1	出力

ポート 2 レジスタ

P2 (0006H)

	7	6	5	4	3	2	1	0
Bit symbol	P27	P26	P25	P24	P23	P22	P21	P20
Read/Write	R/W							
リセット後	1							

ポート 2 ファンクションレジスタ

P2FC (0009H)

	7	6	5	4	3	2	1	0
Bit symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
Read/Write	W							
リセット後	1	1	1	1	1	1	1	1
機　能	0: ポート　1: アドレスバス (A23~A16)							

注)　P1CR, P2FC はリードモディファイライトできません。

図 3.5.3　ポート 1, 2 関係のレジスタ

3.5.3 ポート Z (PZ2~PZ3)

ポート Z は、ビット単位で入出力の設定ができる 2 ビットの汎用入出力ポートです。

入出力の指定は、PZCR と PZFC によって行います。リセット動作により出力ラッチ PZ の全ビットは “1” にセットされ、PZCR と PZFC の全ビットは “0” にリセットされ、PZ2~PZ3 はプルアップ抵抗付きの入力モードになります。

汎用入出力ポート以外には、CPU のコントロール/ステータス信号の入出力機能があります。

図 3.5.4 ポート Z2

リセット
方向制御
(ビット単位)
PZCRライト
機能制御
(ビット単位)
PZFCライト
内部データバス
S
出力
ラッチ
PZライト
A
B
C
S
セレクタ
R/ W
SRWR
出力バッファ
P-ch (プログラマブルプルアップ)
PZ3 (R/ W , SRWR)
PZリード

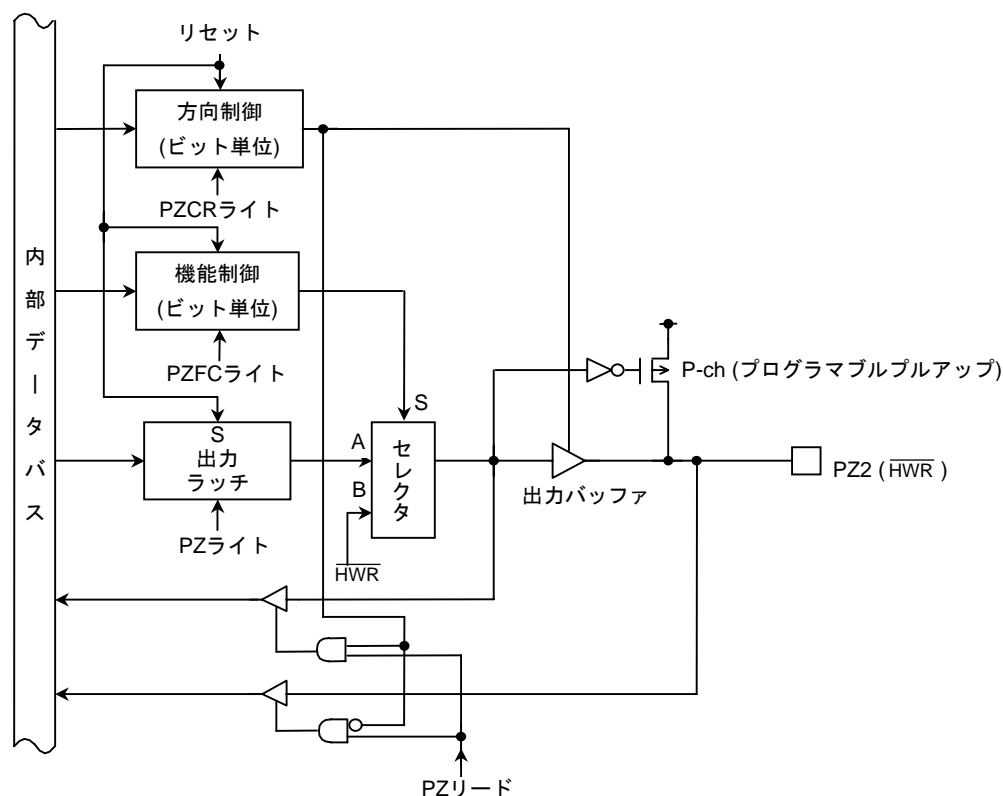
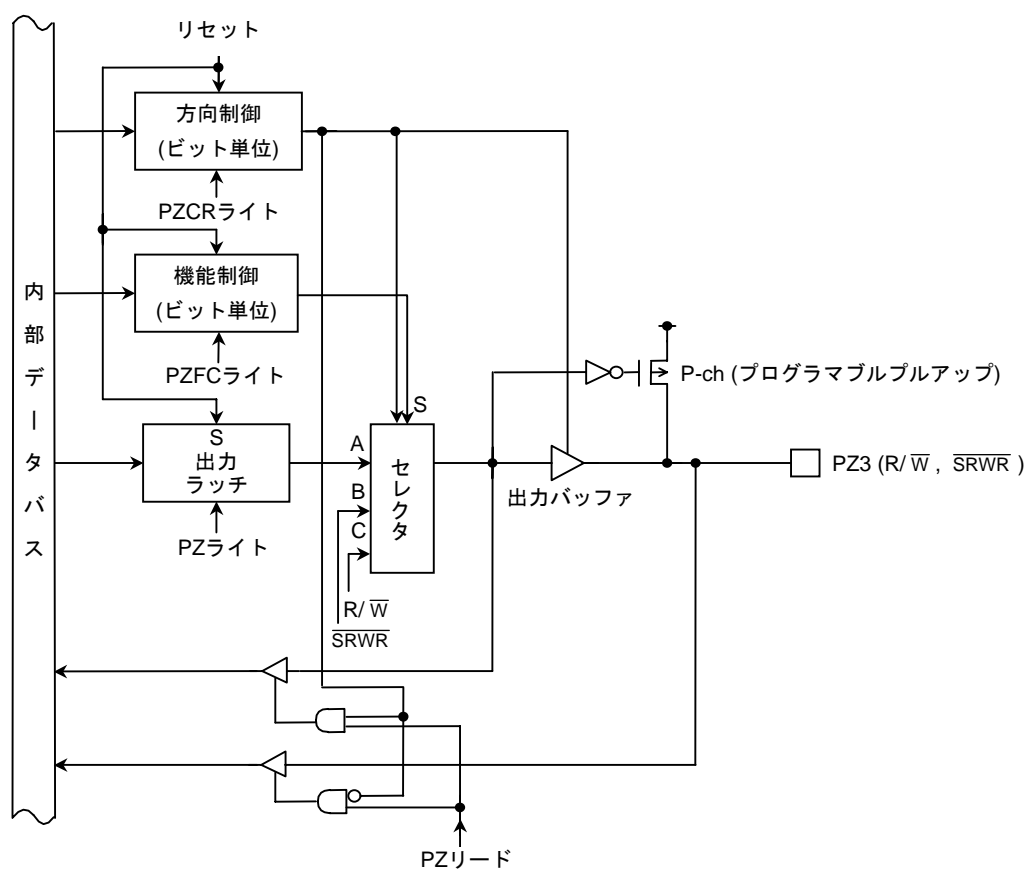



図 3.5.5　ポート Z3

ポート Z レジスタ

PZ (007DH)

	7	6	5	4	3	2	1	0
Bit symbol					PZ3	PZ2		
Read/Write					R/W			
リセット後					外部端子データ　注 1)			
機　能					0: プルアップ抵抗 OFF 1: プルアップ抵抗 ON			

注 1)　出力ラッチレジスタは “1” にセットされます。

ポート Z コントロールレジスタ

PZCR (007EH)

	7	6	5	4	3	2	1	0
Bit symbol					PZ3C	PZ2C		
Read/Write					W			
リセット後					0	0		
機　能					0: 入力　1: 出力			

ポート Z ファンクションレジスタ

PZFC (007FH)

	7	6	5	4	3	2	1	0
Bit Symbol					PZ3F	PZ2F		
Read/Write					W			
リセット後					0	0		
機　能					0: ポート 1: R/$\overline{W}$, $\overline{SRWR}$	0: ポート 1: $\overline{HWR}$		

R/$\overline{W}$, $\overline{SRWR}$ 設定

<PZ3F> \ <PZ3C>	0	1
0	入力	出力
1	R/$\overline{W}$	$\overline{SRWR}$

注 2) PZCR, PZFC はリードモディファイライトできません。

注 3) ポート Z を入力モードで使用する場合、内蔵プルアップ抵抗は PZ レジスタにて制御します。入力モードあるいは入出力モードを混在させて使用する場合 (1 ビットでも入出力端子が存在するとき) には、リードモディファイ命令を行わないでください。入力端子の状態により内蔵プルアップ抵抗の設定が変わる場合があります。

図 3.5.6　ポート Z 関係のレジスタ

3.5.4 ポート 5 (P56)

ポート 5 は、ビット単位で入出力の設定ができる 1 ビットの汎用入出力ポートです。

入出力の指定は P5CR と P5FC によって行います。リセット動作により出力ラッチ P5 の全ビットは “1” にセットされ、P5CR と P5FC の全ビットは “0” にリセットされ、P56 はプルアップ抵抗付きの入力モードになります。

汎用入出力ポート以外には、CPU のコントロール/ステータス信号の入出力機能があります。

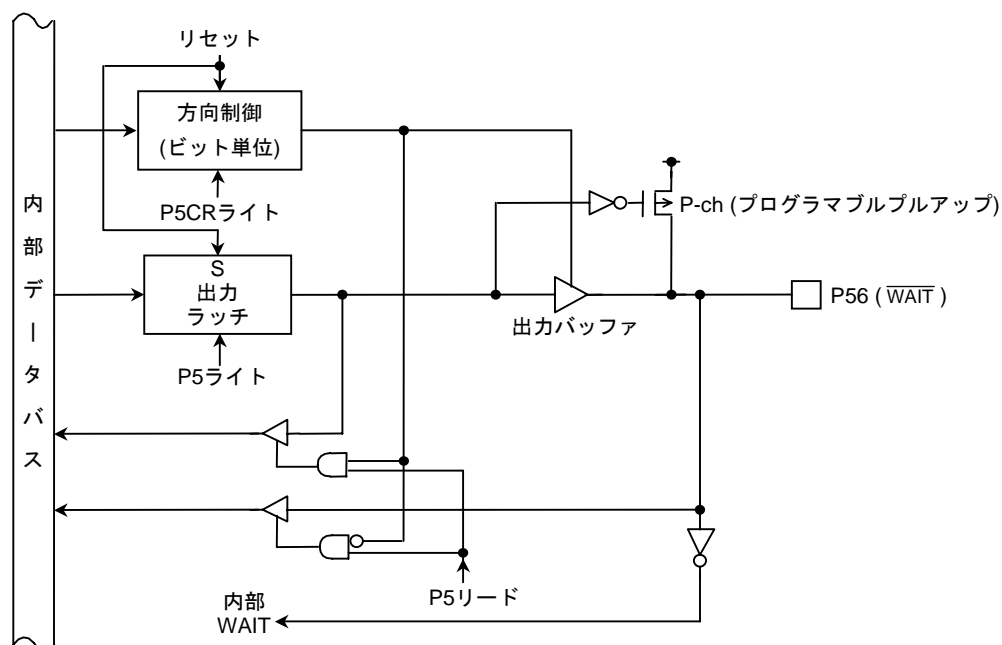



図 3.5.7 ポート 56

ポート 5 レジスタ

P5 (000DH)

	7	6	5	4	3	2	1	0
Bit symbol		P56						
Read/Write		R/W						
リセット後		外部端子データ（出力ラッチレジスタは“1”にセットされます。）						
機　能		0: プルアップ抵抗 OFF 1: プルアップ抵抗 ON						

ポート 5 コントロールレジスタ

P5CR (0010H)

	7	6	5	4	3	2	1	0
Bit symbol		P56C						
Read/Write		W						
リセット後		0						
機　能		0: 入力 1: 出力						

注 1)　P5CR はリードモディファイライトできません。

注 2)　P56 端子を $\overline{\text{WAIT}}$ 端子として使用する場合は、P5CR<P56C>を “0” に、チップセレクト/ウェイトコントロールレジスタのビット 3, 2<BnW2:0> を “010” に設定する必要があります。

図 3.5.8　ポート 5 関係のレジスタ

3.5.5 ポート 6 (P60~P65)

ポート 6 は、6 ビットの出力ポートです。リセット動作により P62 ラッチは “0” にクリアされ、P60~P61, P63~P65 の出力ラッチは “1” にセットされます。

出力ポート機能以外に、標準チップセレクト信号出力機能 ($\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$), 拡張アドレス出力機能 (EA24, EA25), 拡張チップセレクト信号出力機能 ($\overline{\text{CS2A}}$, $\overline{\text{CS2B}}$, $\overline{\text{CS2C}}$) があります。これらの設定は P6FC, P6FC2 によって行います。リセットにより P6FC, P6FC2 の全ビットは “0” にクリアされ、出力ポートモードになります。

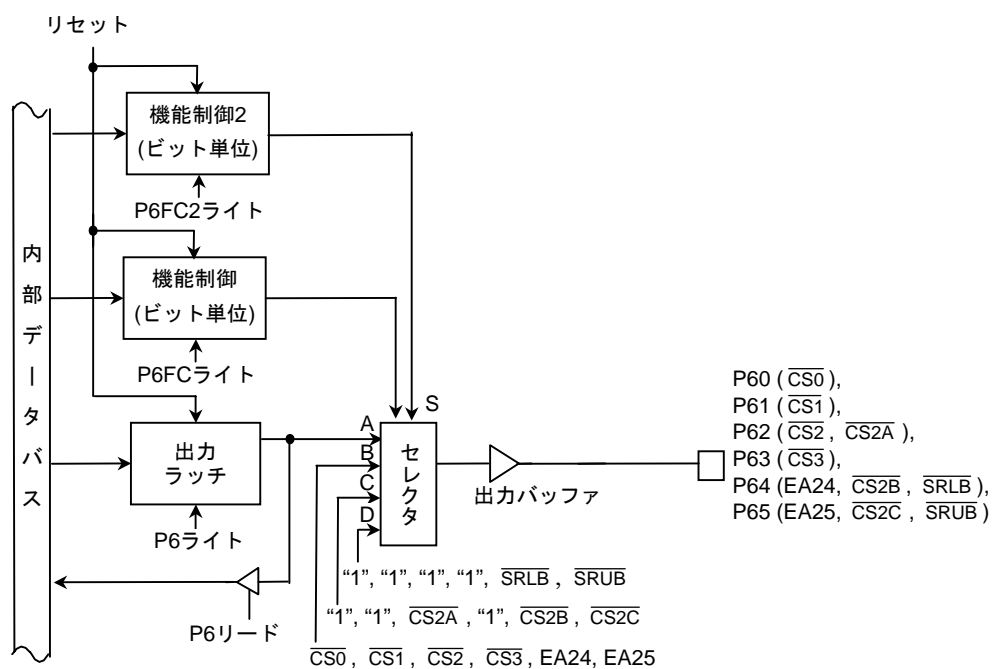



図 3.5.9 ポート 6

ポート 6 レジスタ

P6 (0012H)		7	6	5	4	3	2	1	0
	Bit symbol			P65	P64	P63	P62	P61	P60
	Read/Write			R/W					
	リセット後			1	1	1	0	1	1

ポート 6 ファンクションレジスタ

P6FC (0015H)		7	6	5	4	3	2	1	0
	Bit symbol			P65F	P64F	P63F	P62F	P61F	P60F
	Read/Write			W					
	リセット後			0					
	機　能			0: ポート 1: EA25	0: ポート 1: EA24	0: ポート 1: $\overline{\text{CS3}}$	0: ポート 1: $\overline{\text{CS2}}$	0: ポート 1: $\overline{\text{CS1}}$	0: ポート 1: $\overline{\text{CS0}}$

ポート 6 ファンクションレジスタ 2

P6FC2 (001BH)		7	6	5	4	3	2	1	0
	Bit symbol			P65F2	P64F2	–	P62F2	–	–
	Read/Write			W		W	W	W	W
	リセット後			0		0	0	0	0
	機　能			0: <P65F> 1: $\overline{\text{CS2C}}$	0: <P64F> 1: $\overline{\text{CS2B}}$	“0”をライトしてください。	0: <P62F> 1: $\overline{\text{CS2A}}$	“0” をライトしてください。	

$\overline{\text{SRUB}}$, $\overline{\text{CS2C}}$, EA25 設定

<P65F2> \ <P65F>	0	1
0	P65	EA25
1	$\overline{\text{SRUB}}$	$\overline{\text{CS2C}}$

$\overline{\text{SRLB}}$, $\overline{\text{CS2B}}$, EA24 設定

<P64F2> \ <P64F>	0	1
0	P64	EA24
1	$\overline{\text{SRLB}}$	$\overline{\text{CS2B}}$

注)　P6FC, P6FC2 はリードモディファイライトできません。

図 3.5.10　ポート 6 関係のレジスタ

3.5.6 ポート 8 (P80~P83)

ポート 8 は 8 ビットの入力専用ポートで、AD コンバータのアナログ入力端子と兼用になっています。また、P83 は AD コンバータの AD トリガ入力端子と兼用になっています。

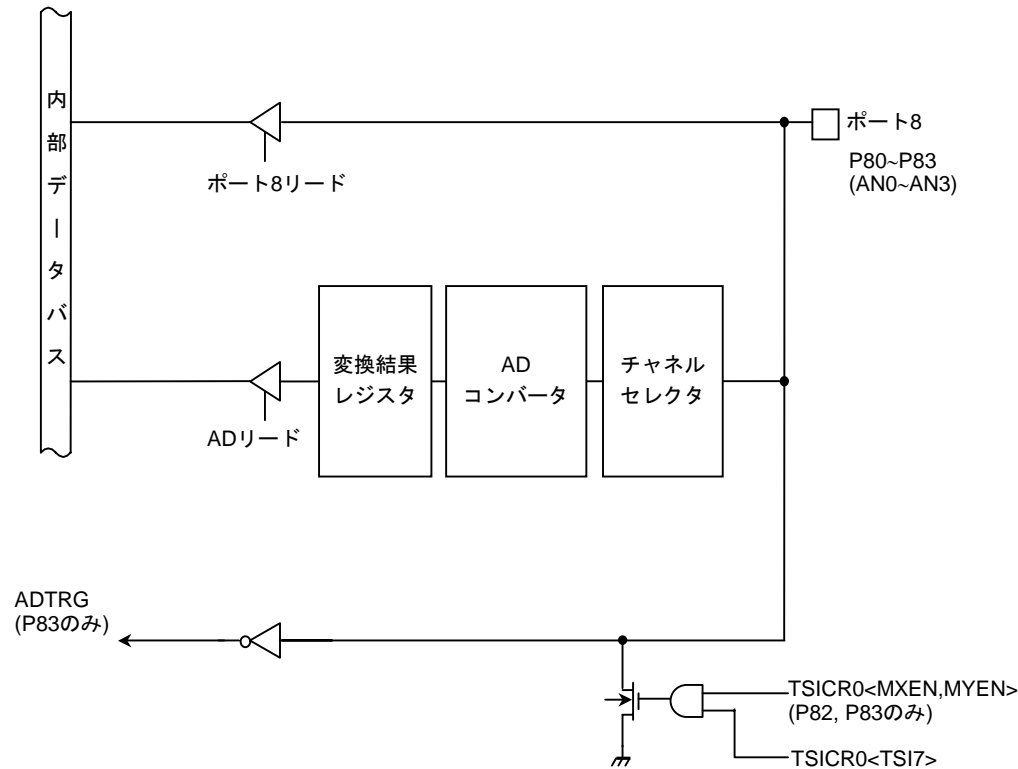



図 3.5.11 ポート 8

ポート 8 レジスタ

		7	6	5	4	3	2	1	0
P8 (0018H)	Bit symbol					P83	P82	P81	P80
	Read/Write					R			
	リセット後					外部端子データ			

図 3.5.12 ポート 8 関係のレジスタ

注) AD コンバータの入力チャネル選択, P83 の AD トリガ入力許可の設定は､AD コンバータモードレジスタ ADMOD1 にて設定します。
AD コンバータの入力チャネル選択、P82, P83 のタッチスクリーン入力許可の設定は、タッチスクリーン制御レジスタ TSICR にて設定します。

3.5.7 ポート 9 (P90~P97)

ポート 90~97 は、8 ビットのプルアップ抵抗付き入力ポートです。

入力ポート以外にキーボードインタフェース端子としてキーオンウェイクアップ機能があります。この機能は P9FC の該当ビットへ “1” を書き込むことにより可能となります。

リセット動作により、P9FC の値は “0” にリセットされ、全ビットが入力ポートとなります。

図 3.5.13 ポート 9

P9FC = “1” のときに、KI0~KI7 端子のいずれかの端子の状態が立ち下がると、そのエッジを検出して INTKEY 割り込みを発生します。INTKEY 割り込みは、すべての HALT モード状態も解除可能です。

ポート 9 レジスタ

P9 (0019H)

	7	6	5	4	3	2	1	0
Bit symbol	P97	P96	P95	P94	P93	P92	P91	P90
Read/Write	R							
リセット後	外部端子データ							

ポート 9 ファンクションレジスタ

P9FC (001DH)

	7	6	5	4	3	2	1	0
Bit symbol	P97F	P96F	P95F	P94F	P93F	P92F	P91F	P90F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	0: Key-IN 禁止　1: Key-IN 許可							

ポート 9 の Key-IN

0	禁止
1	許可

注) P9FC はリードモディファイライトできません。

図 3.5.14 ポート 9 関係のレジスタ

3.5.8 ポート A (PA0~PA3)

ポート A0~A3 は 4 ビットの出力ポートです。

また、キーボードインタフェース端子 KO0~KO3 として、オープンドレインタイプの出力バッファに設定できます。オープンドレインの設定は PAFC レジスタの該当ビットに “1” をライトします。

出力ポート機能以外に、内部クロック信号出力機能 (SCOUT)、時計アラーム信号出力機能 ($\overline{\text{ALARM}}$)、メロディ・アラーム生成信号出力機能 (MLDALM, $\overline{\text{MLDALM}}$) があります。これらの設定は PAFC2 によって行います。リセット動作により、PA の値は “1” にセット、PAFC は “0” にリセットされるため、全ビットが “1” を出力します。

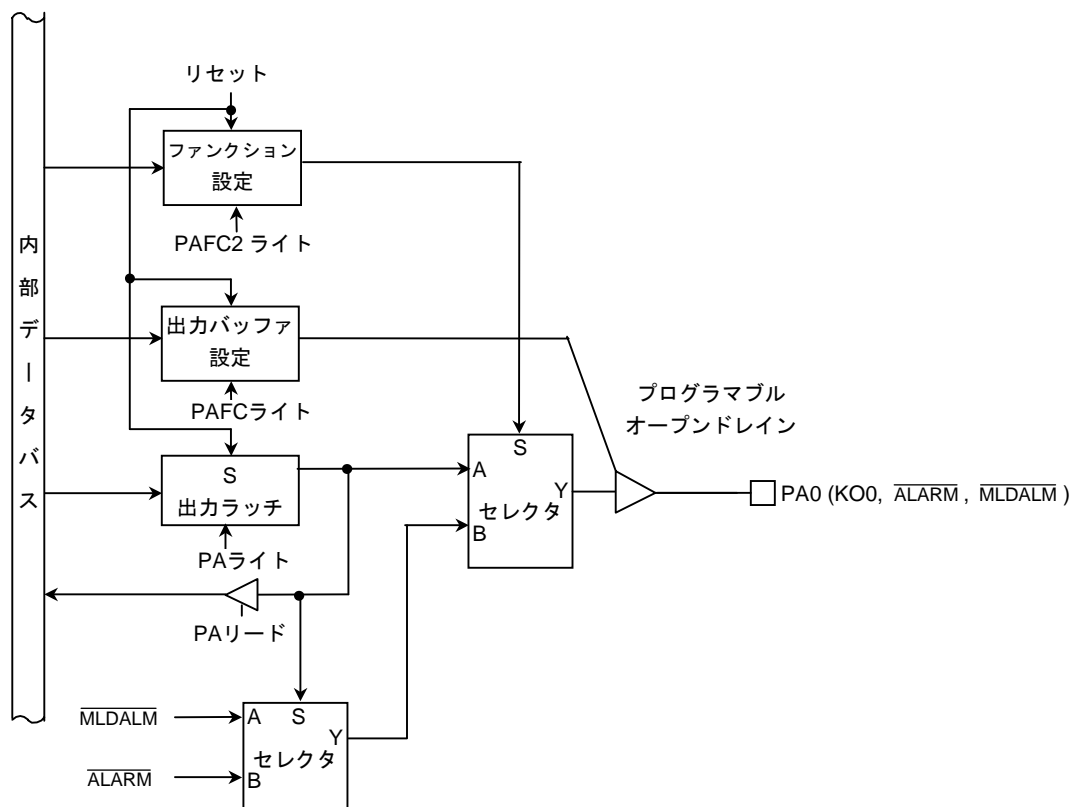



図 3.5.15 ポート A0

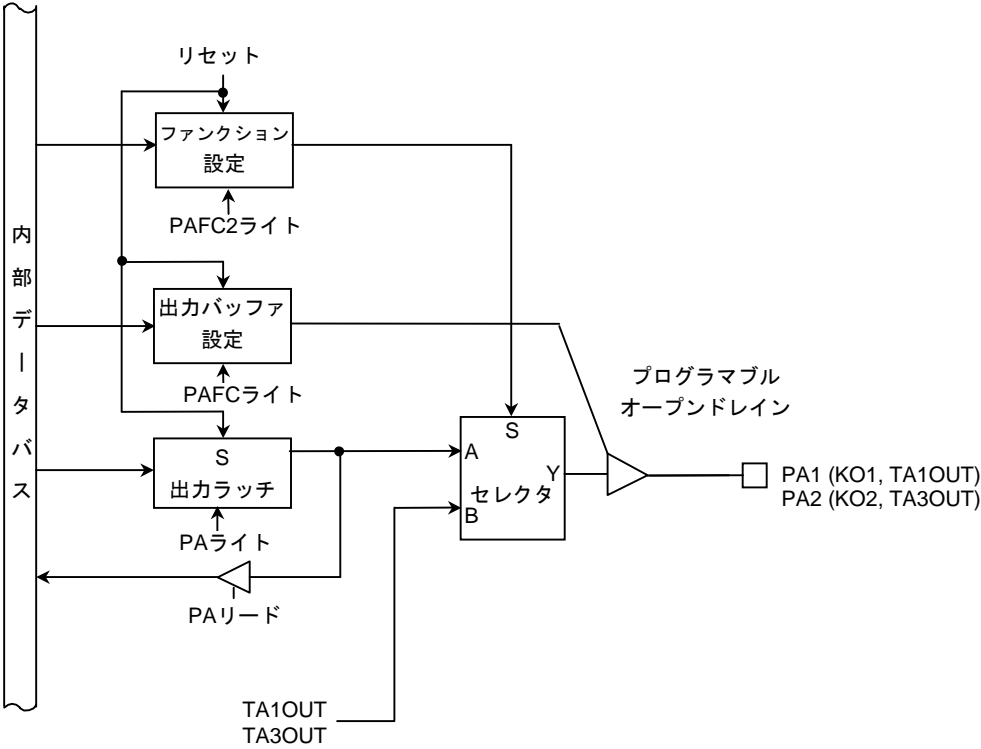



図 3.5.16　ポート A1, A2

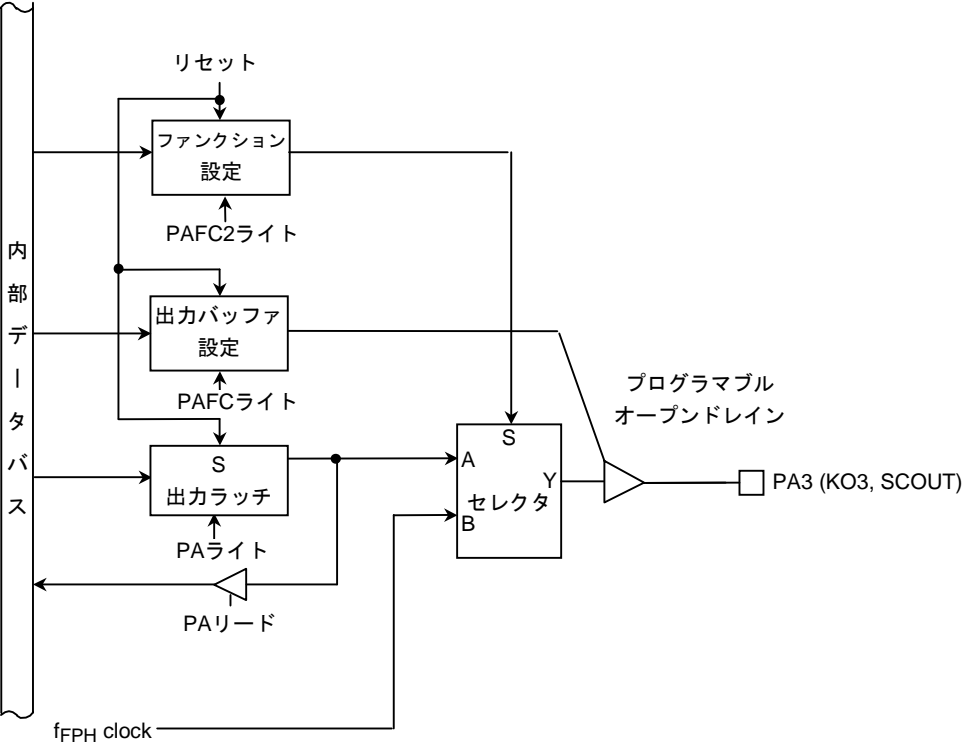



図 3.5.17　ポート A3

ポート A レジスタ

PA (001EH)		7	6	5	4	3	2	1	0
	Bit symbol					PA3	PA2	PA1	PA0
	Read/Write					R/W			
	リセット後					1			

ポート A ファンクションレジスタ

PAFC (0021H)		7	6	5	4	3	2	1	0
	Bit symbol					PA3F	PA2F	PA1F	PA0F
	Read/Write					W			
	リセット後					0	0	0	0
	機　能					0: CMOS 出力　1: オープンドレイン			

ポート A ファンクションレジスタ 2

PAFC2 (0020H)		7	6	5	4	3	2	1	0
	Bit symbol					PA3F2	PA2F2	PA1F2	PA0F2
	Read/Write					W			
	リセット後					0	0	0	0
	機　能					0: ポート 1: SCOUT	0: ポート 1: TA3OUT	0: ポート 1: TA1OUT	0: ポート 1: $\overline{\text{ALARM}}$ @<PA0> ＝1 1: $\overline{\text{MLDALM}}$ @<PA0> ＝0

注)　PAFC, PAFC2 はリードモディファイライトできません。

図 3.5.18　ポート A 関係のレジスタ

3.5.9 ポート B (PB3~PB6)

ポート B3~B6 はビット単位で入出力指定ができる 4 ビットの汎用入出力ポートで、リセット動作により入力ポートとなります。入出力ポート機能以外にポート B3 は $\overline{\text{PS}}$ 信号入力端子、B4 は 8 ビットタイマ 0 のクロック入力端子 TA0IN、ポート B5, B6 はそれぞれタッチスクリーン用の PX, PY 端子の機能を持っています。また、ポート B3~B6 はそれぞれ INT0~INT3 の外部割り込み入力機能があります。外部割り込みのエッジ選択は割り込みコントローラ部にある IIMC レジスタにて設定します。

タイマ出力機能、外部割り込みは PBFC の該当ビットへ “1” を書き込むことにより可能となります。リセット動作により、PBCR, PBFC の値は “0” にリセットされ、全ビットが入力ポートとなります。

(1) PB3 (INT0)

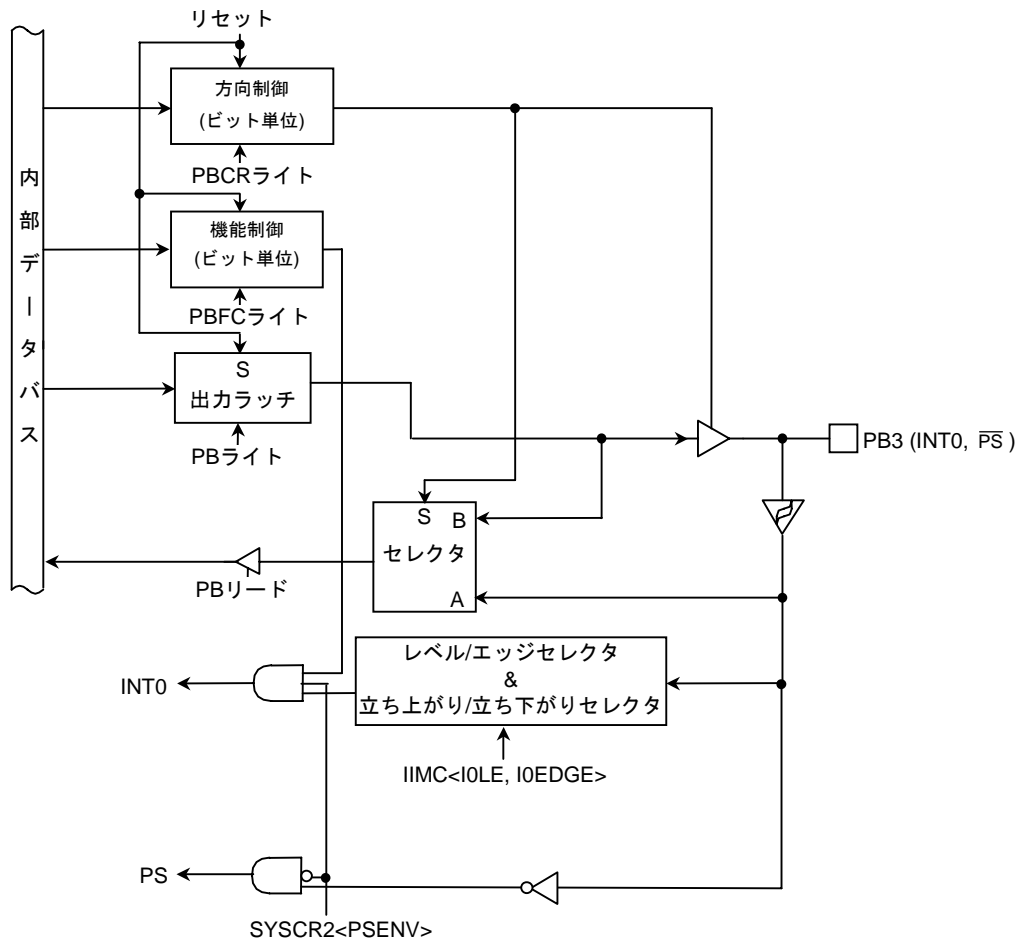



図 3.5.19 ポート B3

注) リセット後は $\overline{\text{PS}}$ 入力となりますので、PB3 端子へは “1” を入力してください。

(2) PB4 (INT1)

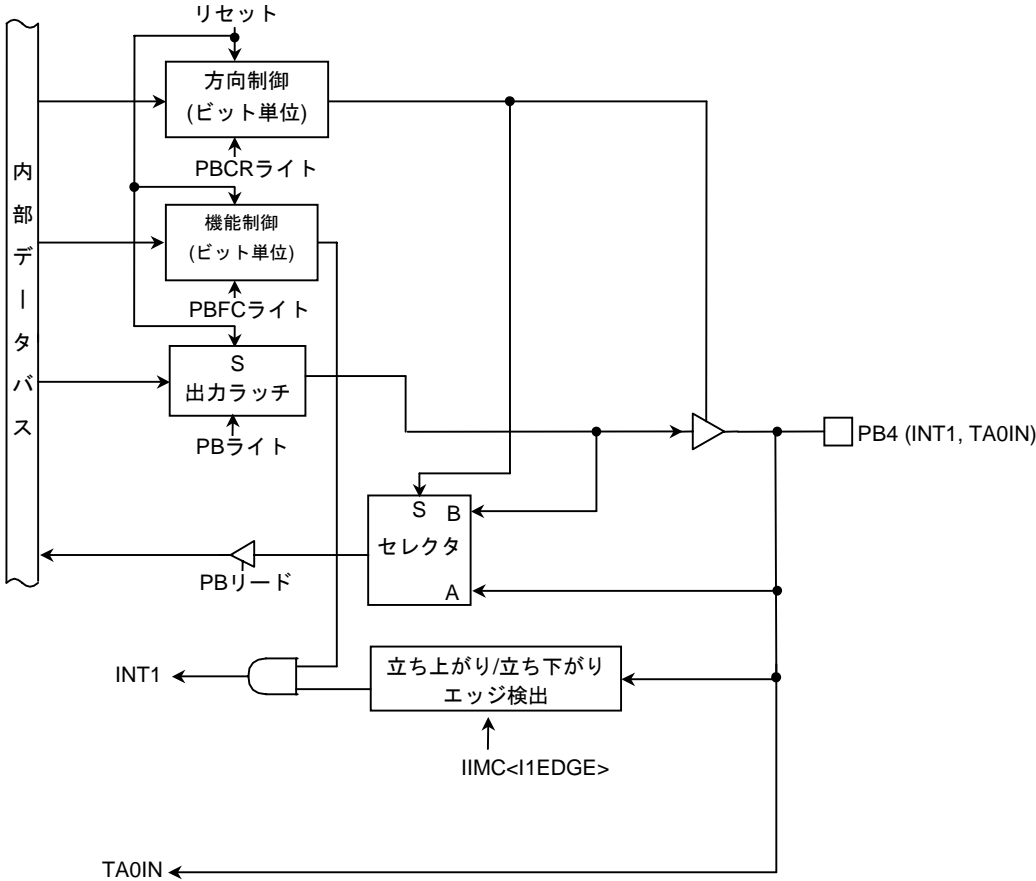



図 3.5.20　ポート B4

(3) PB5 (INT2), PB6 (INT3)

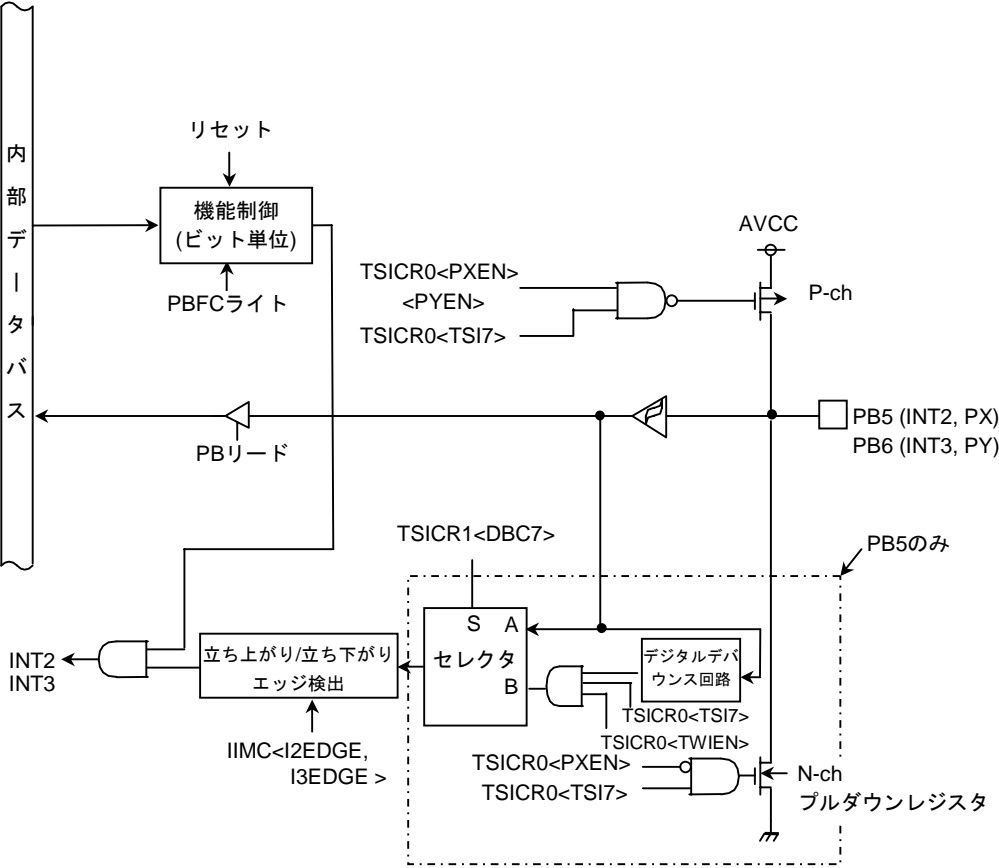



図 3.5.21 ポート B5, B6

ポートBレジスタ

PB (0022H)

	7	6	5	4	3	2	1	0
Bit symbol		PB6	PB5	PB4	PB3			
Read/Write		R/W						
リセット後		外部端子データ　注1)						

注1)　出力ラッチレジスタは "1" にセットされます。

ポートBコントロールレジスタ

PBCR (0024H)

	7	6	5	4	3	2	1	0
Bit symbol				PB4C	PB3C			
Read/Write				W				
リセット後				0				
機　能				0: 入力　1: 出力				

ポートBファンクションレジスタ

PBFC (0025H)

	7	6	5	4	3	2	1	0
Bit Symbol		PB5F	PB5F	PB4F	PB3F			
Read/Write		W						
リセット後		0	0	0	1			
機　能		0: ポート 1: INT3	0: ポート 1: INT2	0: ポート 1: INT1	0: ポート 1: INT0			

注2)　PBCR, PBFCはリードモディファイライトできません。

注3)　PB4/TA0IN端子には、ポート/ファンクションの切り替えレジスタがありませんので、例えば入力ポートとして使用する場合でもタイマ入力0として8ビットタイマ0へ入力されます。

図3.5.22　ポートB関係のレジスタ

3.5.10 ポート C (PC0~PC5)

ポート C0~C5 はビット単位で入出力の指定ができる 6 ビットの汎用入出力ポートで、リセット動作により入力ポートとなります。

また、出力ラッチレジスタの全ビットは “1” へセットされます。

入出力ポート以外にシリアルチャネル 0, 1 の入出力機能があります。この機能は PCFC の該当ビットへ “1” を書き込むことにより、各ファンクションが可能となります。リセット動作により PCCR, PCFC の値は “0” にリセットされ、全ビットが入力ポートとなります。

(1) ポート C0, C3 (TXD0/TXD1)

ポート C0, C3 は、入出力ポート以外にシリアルチャネルの TXD 出力端子としての機能を持ちます。TXD0/TXD1 端子として使用する際には PC<PC0, 3>レジスタの設定により論理反転出力可能です。

また、出力バッファはプログラマブルオープンドレイン機能を持っており、PCODE<ODEPC0, 3>レジスタにより設定します。

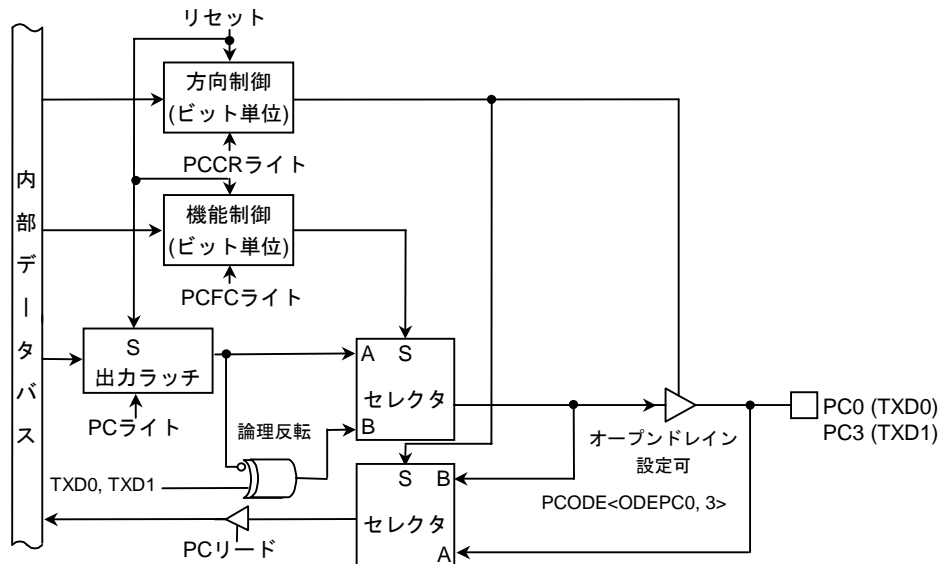



図 3.5.23 ポート C0, C3

(2) ポート C1, C4 (RXD0, RXD1)

ポート C1, C4 は入出力ポート以外に、シリアルチャネルの RXD 入力端子としての機能を持っています。RXD0/RXD1 端子として使用する際には、PC<PC1, 4>レジスタの設定により論理反転入力可能です。

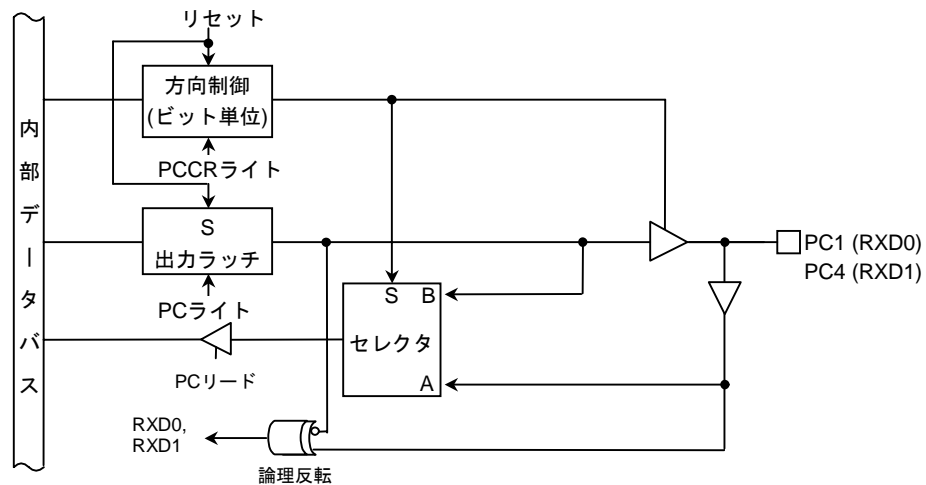



図 3.5.24 ポート C1, C4

(3) ポート C2 ($\overline{\text{CTS0}}$, SCLK0), C5 ($\overline{\text{CTS1}}$, SCLK1)

ポート C2, C5 は入出力ポート以外に、シリアルチャネルの $\overline{\text{CTS}}$ 入力端子または SCLK 入出力端子としての機能を持っています。シリアルチャネル用端子として使用する際には、PC<PC2, 5>レジスタの設定により論理反転入出力可能です。

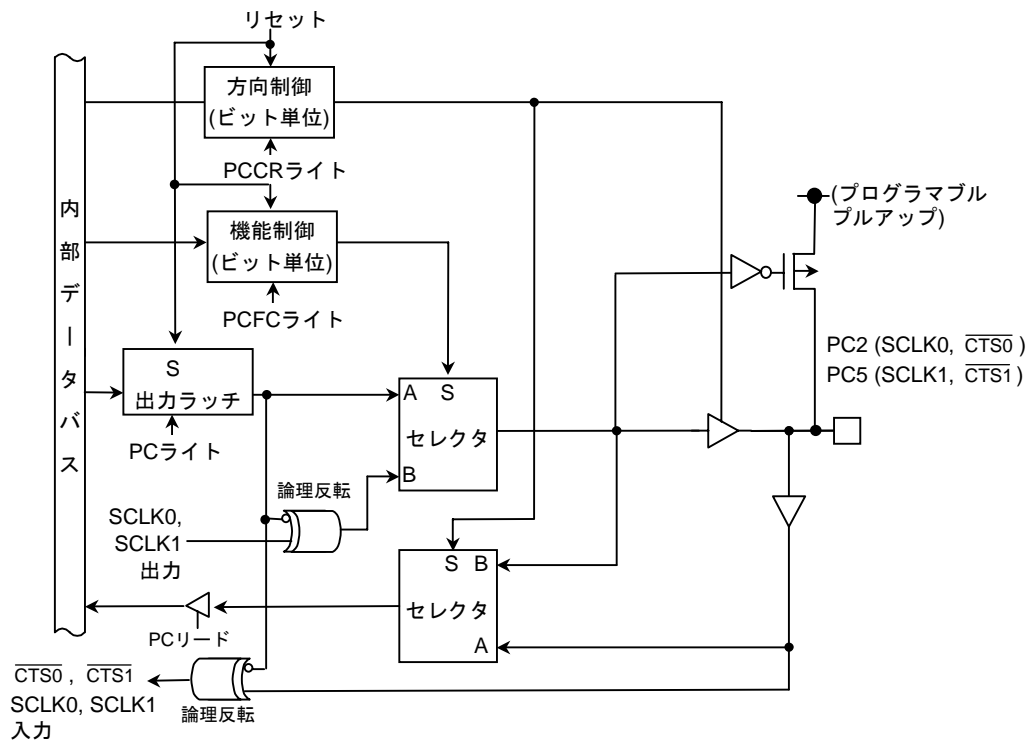



図 3.5.25 ポート C2, C5

ポート C レジスタ

PC (0023H)		7	6	5	4	3	2	1	0
	Bit symbol			PC5	PC4	PC3	PC2	PC1	PC0
	Read/Write			R/W					
	リセット後			外部端子データ (出力ラッチレジスタは “1” にセットされます。)					

ポート C コントロールレジスタ

PCCR (0026H)		7	6	5	4	3	2	1	0
	Bit symbol			PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
	Read/Write			W					
	リセット後			0	0	0	0	0	0
	機　能			0: 入力　1: 出力					

ポート C ファンクションレジスタ

PCFC (0027H)		7	6	5	4	3	2	1	0
	Bit symbol			PC5F		PC3F	PC2F		PC0F
	Read/Write			W		W	W		W
	リセット後			0		0	0		0
	機　能			0: ポート 1: SCLK1 出力		0: ポート 1: TXD1	0: ポート 1: SCLK0 出力		0: ポート 1: TXD0

ポート C ODE レジスタ

PCODE (0028H)		7	6	5	4	3	2	1	0
	Bit symbol					ODEPC3			ODEPC0
	Read/Write					W			W
	リセット後					0			0
	機　能					TXD1 0: CMOS 1: オープンドレイン			TXD0 0: CMOS 1: オープンドレイン

注 1)　PCCR, PCFC, PCODE はリードモディファイライトできません。
注 2)　PC1/RXD0, PC4/RXD1 端子には、ポート/ファンクションの切り替えレジスタがありませんので、例えば入力ポートとして使用する場合でもシリアル受信データとして SIO へ入力されます。

図 3.5.26　ポート C 関係のレジスタ

3.5.11 ポート D (PD0~PD4, PD7)

ポート D は 6 ビットの出力ポートです。リセット動作により PD ラッチは “1” にセットされ、PD0~PD4, PD7 端子は “1” を出力します。

出力ポート機能以外に、LCD コントローラ用出力端子: D1BSCP, D2BLP, D3BFR, DLEBCD, DOFFB、内部クロック出力端子: SCOUT, RTC、アラーム出力端子: $\overline{\text{ALARM}}$, MLD 出力端子: MLDALM, $\overline{\text{MLDALM}}$ (MLDALM の論理反転信号) があります。

これらの設定は PDFC によって行います。

リセットにより PDFC の全ビットは “0” にクリアされ、出力ポートモードになります。

図 3.5.27 ポート D

ポート D レジスタ

PD (0029H)		7	6	5	4	3	2	1	0
	Bit symbol	PD7			PD4	PD3	PD2	PD1	PD0
	Read/Write	R/W			R/W	R/W	R/W	R/W	R/W
	リセット後	1			1	1	1	1	1

ポート D ファンクションレジスタ

PDFC (002AH)		7	6	5	4	3	2	1	0
	Bit symbol	PD7F			PD4F	PD3F	PD2F	PD1F	PD0F
	Read/Write	W			W	W	W	W	W
	リセット後	0			0	0	0	0	0
	機　能	0: ポート 1: MLDALM			0: ポート 1: DOFFB	0: ポート 1: DLEBCD	0: ポート 1: D3BFR	0: ポート 1: D2BLP	0: ポート 1: D1BSCP

注) PDFC はリードモディファイライトできません。

図 3.5.28 ポート D 関係のレジスタ

3.6 チップセレクト/ウェイトコントローラ

任意の 4 ブロックのアドレス空間 (CS0~CS3 空間) を設定し､各アドレス空間 (CS0~CS3 空間と、それ以外のアドレス空間) に対して、データバス幅およびウェイト数を指定することができます。

$\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$ (P60~P63 と兼用) は、CS0~CS3 空間に対応した出力端子です。この端子は CPU 動作により CS0~CS3 空間を選択するアドレスが指定されると、各空間に対してチップセレクト信号 (ROM/SRAM 用) を出力します。ただし、チップセレクト信号を出力するためには、ポート 6 ファンクションレジスタ P6FC による設定が必要です。

$\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$ 以外の $\overline{\text{CS}}$ 端子: $\overline{\text{CS2A}}$ ~ $\overline{\text{CS2C}}$ は、MMU 部が作成します。これらの端子は CS/WAIT コントローラの設定に関係なく空間、BANK 値が固定の $\overline{\text{CS}}$ 端子です。

CS0~CS3 空間の指定は、メモリスタートアドレスレジスタ MSAR0~MSAR3 と、メモリアドレスマスクレジスタ MAMR0~MAMR3 の組み合わせにより行います。

各アドレス空間に対するマスタイネーブル, データバス幅, ウェイト数は、チップセレクト/ウェイトコントロールレジスタ B0CS~B3CS, BEXCS で指定します。

また、これらの状態を制御する入力端子として、バスウェイト要求端子 ($\overline{\text{WAIT}}$) があります。

3.6.1 アドレス空間指定

CS0~CS3 空間の指定は、スタートアドレスレジスタ MSAR0~MSAR3 と、メモリアドレスマスクレジスタ MAMR0~MAMR3 により行います。

バスサイクルごとに、バス上のアドレスを CS0~CS3 空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定された CS 空間がアクセスされたと判断して $\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$ 端子からチップセレクト信号を出力し、チップセレクト/ウェイトコントロールレジスタ B0CS~B3CS で設定した動作を実行します (3.6.2「チップセレクト/ウェイトコントロールレジスタ」を参照してください)。

(1) メモリスタートアドレスレジスタ

図 3.6.1にメモリスタートアドレスレジスタを示します。メモリスタートアドレスレジスタ MSAR0~MSAR3 は、CS0~CS3 空間のスタートアドレスを設定するレジスタです。<S23:16>には、スタートアドレスの上位 8 ビット (A23~A16) を設定します。スタートアドレスの下位 16 ビット (A15~A0) には、常に “0” が設定されていますので、スタートアドレスは、000000H から 64 K バイトごとの値になります。図 3.6.2に、スタートアドレスとスタートアドレスレジスタ値の関係を示します。

メモリスタートアドレスレジスタ (CS0~CS3 空間)

MSAR0 (00C8H) / MSAR1 (00CAH)
MSAR2 (00CCH) / MSAR3 (00CEH)

	7	6	5	4	3	2	1	0
Bit symbol	S23	S22	S21	S20	S19	S18	S17	S16
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機　能	スタートアドレス A23~A16 設定							

→ CS0~CS3 空間のスタートアドレス設定

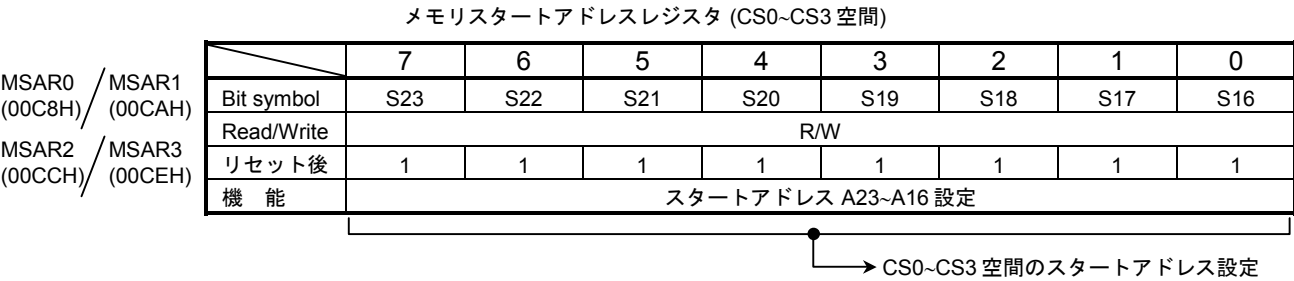



図 3.6.1　メモリスタートアドレスレジスタ

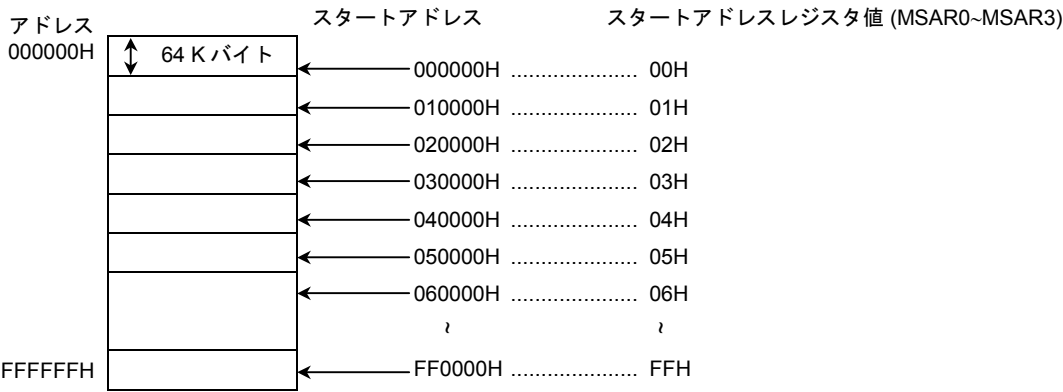



図 3.6.2　スタートアドレスとスタートアドレスレジスタ値の関係

(2) メモリアドレスマスクレジスタ

図 3.6.3に、メモリアドレスマスクレジスタを示します。メモリアドレスマスクレジスタ MAMR0~MAMR3 は、メモリスタートアドレスレジスタ MSAR0~MSAR3 で設定したスタートアドレスの各ビットに対してマスク指定を行うことで、CS0~CS3 空間サイズを設定しています。“0” をライトしたビットに対応するバス上のアドレスが、CS0~CS3 空間の領域かどうかの比較対照となります。

また、CS0~CS3 空間は、それぞれ MAMR0~MAMR3 によってマスクできるアドレスビットが異なります。従って、設定できる空間サイズも異なります。

メモリアドレスマスクレジスタ (CS0 空間)

MAMR0 (00C9H)

	7	6	5	4	3	2	1	0
Bit symbol	V20	V19	V18	V17	V16	V15	V14~V9	V8
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機　能	CS0 空間サイズ設定　0: アドレス比較対照							

CS0 空間は、最小 256 バイトエリアから、最大 2 M バイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS1 空間)

MAMR1 (00CBH)

	7	6	5	4	3	2	1	0
Bit symbol	V21	V20	V19	V18	V17	V16	V15~V9	V8
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機　能	CS1 空間サイズ設定　0: アドレス比較対照							

CS1 空間は、最小 256 バイトエリアから、最大 4 M バイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS2, CS3 空間)

MAMR2 (00CDH) / MAMR3 (00CFH)

	7	6	5	4	3	2	1	0
Bit symbol	V22	V21	V20	V19	V18	V17	V16	V15
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機　能	CS2、CS3 空間サイズ設定　0: アドレス比較対照							

CS2 および CS3 空間は、最小 32 K バイトから最大 8 M バイトエリアを設定できます。

図 3.6.3　メモリアドレスマスクレジスタ

(3) メモリスタートアドレス、アドレス空間の設定方法

図 3.6.4に、CS0 空間を用いて 010000H から始まる 64 K バイトの空間を指定する場合を例として説明します。

メモリスタートアドレスレジスタ MSAR0<S23:16>に、スタートアドレスの上位 8 ビットに相当する “01H” を設定します。次に、終了アドレス (01FFFFH) とスタートアドレスとの差を計算により求めます。この結果のビット 20~8 は、CS0 空間を指定する際のマスク値に相当します。この値をメモリアドレスマスクレジスタ MAMR0<V20:8>に設定することで、空間サイズを設定できます。

この例では MAMR0 に “07H” を設定し、64 K バイト空間を指定しています。

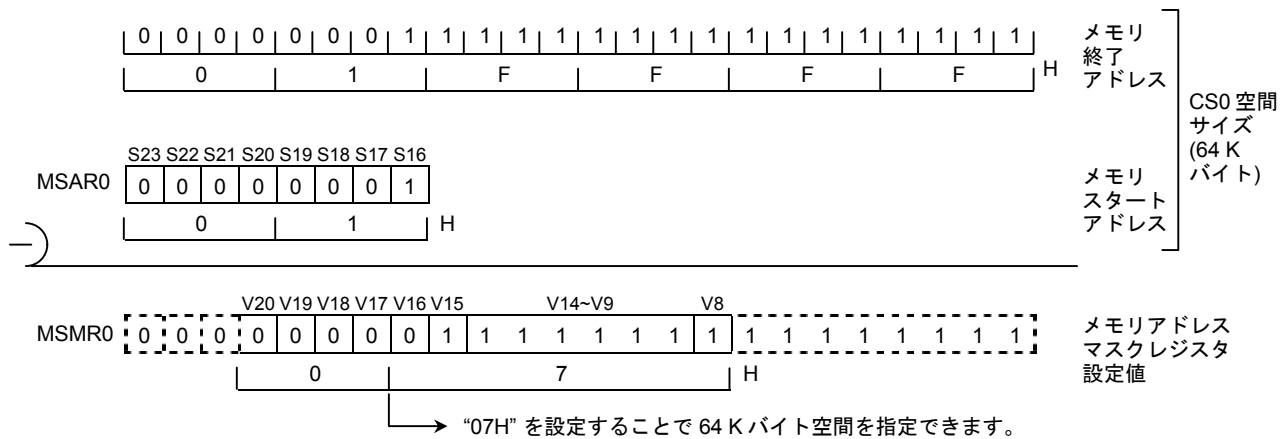



図 3.6.4 CS0 空間の設定例

なお、リセット後、MSAR0~MSAR3 および MAMR0~MAMR3 は、“FFH”にセットされます。一方、B0CS<B0E>, B1CS<B1E>, B3CS<B3E>は “0” にリセットされるため、CS0, CS1, CS3 空間はディセーブルになります。ただし、B2CS<B2M>は “0”にリセットされ、B2CS<B2E>は “1” にセットされるため、CS2 空間は、TMP91C025 では 000FE0H~000FFFH, 001000H~FFFFFFH の空間でイネーブルになります。また、指定された CS0~CS3 空間以外のアドレスでは、BEXCS で指定されたバス幅およびウェイトにより動作します (3.6.2「チップセレクト/ウェイトコントロールレジスタ」を参照してください)。

(4) アドレス空間サイズ指定

表 3.6.1に、CS 空間と空間サイズの関係を示します。“Δ” は、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより、設定できない場合があることを意味します。“Δ”で示す組み合わせを用いて空間サイズを設定する場合は、000000H から希望のサイズステップで、スタートアドレスを設定してください。

なお、CS2 空間を 16 M バイト空間に設定、または、2 つ以上のアドレス空間を重ねて設定した場合には、CS 空間番号の小さい方が優先的に選択されます。

(例) CS0 空間を 128 K バイトエリアに設定する場合

a. 設定できるスタートアドレス

b. 設定できないスタートアドレス

表 3.6.1 CS 空間と空間サイズ

サイズ (バイト) / CS 空間	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS0	○	○	○	○	Δ	Δ	Δ	Δ	Δ		
CS1	○	○		○	Δ	Δ	Δ	Δ	Δ	Δ	
CS2			○	○	Δ	Δ	Δ	Δ	Δ	Δ	Δ
CS3			○	○	Δ	Δ	Δ	Δ	Δ	Δ	Δ

注) “Δ” は、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより、設定できない場合があることを示しています。

3.6.2 チップセレクト/ウェイトコントロールレジスタ

図 3.6.5に、チップセレクト/ウェイトコントロールレジスタを示します。各アドレス空間 (CS0~CS3 空間と、それ以外のアドレス空間) は、それぞれのチップセレクト/ウェイトコントロールレジスタ B0CS~B3CS、BEXCS により、マスタイネーブル/ディセーブル、チップセレクト出力波形選択、データバス幅選択、ウェイト数設定を行うことができます。

チップセレクト/ウェイトコントロールレジスタ

		7	6	5	4	3	2	1	0
B0CS (00C0H)	Bit symbol	B0E		B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0
	Read/Write	W		W					
	リセット後	0		0	0	0	0	0	0
リードモディファイライトはできません。	機　能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: Don't care 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト　100: (0 + N) ウェイト 001: 1 ウェイト　101: 3 ウェイト 010: (1 + N) ウェイト 110: 4 ウェイト 011: 0 ウェイト　111: 8 ウェイト		
B1CS (00C1H)	Bit symbol	B1E		B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0
	Read/Write	W		W					
	リセット後	0		0	0	0	0	0	0
リードモディファイライトはできません。	機　能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: Don't care 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト　100: (0 + N) ウェイト 001: 1 ウェイト　101: 3 ウェイト 010: (1 + N) ウェイト 110: 4 ウェイト 011: 0 ウェイト　111: 8 ウェイト		
B2CS (00C2H)	Bit symbol	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0
	Read/Write	W							
	リセット後	1	0	0	0	0	0	0	0
リードモディファイライトはできません。	機　能	0: 禁止 1: 許可	CS2 空間選択 0: 16M バイト空間 1: CS 空間	チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: Don't care 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト　100: (0 + N) ウェイト 001: 1 ウェイト　101: 3 ウェイト 010: (1 + N) ウェイト 110: 4 ウェイト 011: 0 ウェイト　111: 8 ウェイト		
B3CS (00C3H)	Bit symbol	B3E		B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0
	Read/Write	W		W					
	リセット後	0		0	0	0	0	0	0
リードモディファイライトはできません。	機　能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: 10: Don't care 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト　100: (0 + N) ウェイト 001: 1 ウェイト　101: 3 ウェイト 010: (1 + N) ウェイト 110: 4 ウェイト 011: 0 ウェイト　111: 8 ウェイト		
BEXCS (00C7H)	Bit symbol					BEXBUS	BEXW2	BEXW1	BEXW0
	Read/Write					W			
	リセット後					0	0	0	0
リードモディファイライトはできません。	機　能					データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト　100: (0 + N) ウェイト 001: 1 ウェイト　101: 3 ウェイト 010: (1 + N) ウェイト 110: 4 ウェイト 011: 0 ウェイト　111: 8 ウェイト		

マスタイネーブルビット

0	ディゼーブル
1	イネーブル

CS2 空間選択

0	16 M バイト空間
1	アドレス指定空間

チップセレクト出力波形選択

00	ROM/SRAM 用
01	Don't care
10	
11	

アドレス空間ウェイト数設定

(3.6.2 (3)「ウェイトコントロール」参照)

データバス幅選択

0	16 ビットデータバス
1	8 ビットデータバス

図 3.6.5　チップセレクト/ウェイトコントロールレジスタ

(1) マスタイネーブルビット

チップセレクト/ウェイトコントロールレジスタのビット 7 (<B0E>, <B1E>, <B2E>, <B3E>) は、各アドレス空間に対する設定のイネーブル/ディセーブルを指定するマスタビットです。このビットに “1” を書き込むとイネーブルになります。リセットにより<B0E>, <B1E>, <B3E>はディセーブル “0”、<B2E>はイネーブル “1” になります (リセット動作により CS2 空間のみイネーブル)。

(2) データバス幅選択

チップセレクト/ウェイトコントロールレジスタのビット 3 (<B0BUS>, <B1BUS>, <B2BUS>, <B3BUS>, <BEXBUS>) は、データバス幅を指定するビットです。このビットを “0” にすると、16 ビットのデータバス幅でメモリをアクセスします。“1” にすると、8 ビットのデータバス幅でメモリをアクセスします。

このように、アクセスするアドレスに応じてデータバス幅を変えることを “ダイナミックバスサイジング” と呼びます。このバス動作の詳細を表 3.6.2に示します。

表 3.6.2 ダイナミックバスサイジング

オペランドデータバス幅	オペランドスタートアドレス	メモリ側データバス幅	CPUアドレス	CPUデータ		リードサイクル制御							ライトサイクル制御						
				D15~D8	D7~D0	R/W	$\overline{RD}$	$\overline{WR}$	$\overline{HWR}$	$\overline{SRLB}$	$\overline{SRUB}$	$\overline{SRWR}$	R/W	$\overline{RD}$	$\overline{WR}$	$\overline{HWR}$	$\overline{SRLB}$	$\overline{SRUB}$	$\overline{SRWR}$
8ビット	2n + 0 (偶数)	8ビット	2n + 0	XXXX	b7~b0	H	L	H	H	L	H	H	L	H	L	H	L	H	L
		16ビット	2n + 0	XXXX	b7~b0														
	2n + 1 (奇数)	8ビット	2n + 1	XXXX	b7~b0					L	H				L	H	L	H	
		16ビット	2n + 1	b7~b0	XXXX					H	L				H	L	H	L	
16ビット	2n + 0 (偶数)	8ビット	2n + 0 2n + 1	XXXX XXXX	b7~b0 b15~b8					L	H				L	H	L	H	
		16ビット	2n + 0	b15~b8	b7~b0					L	L				L	L	L	L	
	2n + 1 (奇数)	8ビット	2n + 1 2n + 2	XXXX XXXX	b7~b0 b15~b8					L	H				L	H	L	H	
		16ビット	2n + 1	b7~b0	XXXX					H	L				H	L	H	L	
			2n + 2	XXXX	b15~b8					L	H				L	H	L	H	
32ビット	2n + 0 (偶数)	8ビット	2n + 0 2n + 1 2n + 2 2n + 3	XXXX XXXX XXXX XXXX	b7~b0 b15~b8 b23~b16 b31~b24					L	H				L	H	L	H	
		16ビット	2n + 0 2n + 2	b15~b8 b31~b24	b7~b0 b23~b16					L	L				L	L	L	L	
	2n + 1 (奇数)	8ビット	2n + 1 2n + 2 2n + 3 2n + 4	XXXX XXXX XXXX XXXX	b7~b0 b15~b8 b23~b16 b31~b24					L	H				L	H	L	H	
		16ビット	2n + 1	b7~b0	XXXX					H	L				H	L	H	L	
			2n + 2	b23~b16	b15~b8					L	L				L	L	L	L	
			2n + 4	XXXX	b31~b24					L	H				L	H	L	H	

xxxxx: リード時は、そのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、ライトストローブ信号がノンアクティブのままであることを示します。

(3) ウェイトコントロール

チップセレクト/ウェイトコントロールレジスタのビット 2~0 (<B0W2:0>, <B1W2:0>, <B2W2:0>, <B3W2:0>, <BEXW2:0>)は、ウェイト数を指定するビットです。これらのビットの組み合わせにより、次のようなウェイト動作を実行します。ただし、下記の組み合わせ以外は設定しないでください。

表 3.6.3 ウェイト動作の設定

<BxW2:0>	ウェイト数	ウェイト動作
000	2 ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、2 ステート分のウェイトが挿入されます。
001	1 ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、1 ステート分のウェイトが挿入されます。
010	(1 + N) ウェイト	1 ステート分のウェイトを挿入した後、$\overline{\text{WAIT}}$ 端子の状態をサンプリングし、端子が “L” レベルならウェイトを挿入し続け、端子が “H” レベルになるまでそのバスサイクルを引き延ばします。
011	0 ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、ウェイトなしでそのバスサイクルを完了します。
100	(0 + N) ウェイト	1 ステート分のウェイトを挿入無しで、$\overline{\text{WAIT}}$ 端子の状態をサンプリングし、端子が “L” レベルならウェイトを挿入し続け、端子が “H” レベルになるまでそのバスサイクルを引き延ばします。
101	3 ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、3 ステート分のウェイトが挿入されます。
110	4 ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、4 ステート分のウェイトが挿入されます。
111	8 ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、8 ステート分のウェイトが挿入されます。

リセットにより、これらのビットは “000” (2 ウェイト) になります。

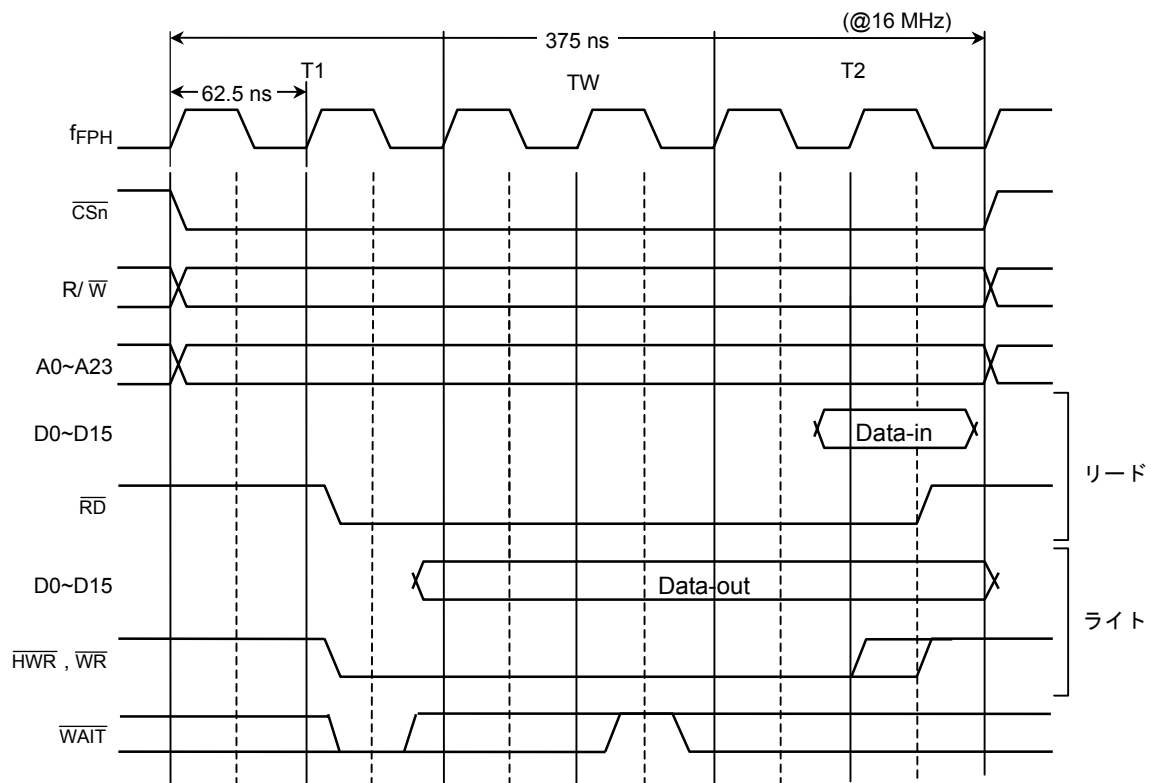



図 3.6.6 (0 + N) ウェイトリード/ライトサイクルタイミングチャート

(4) CS0~CS3 空間外バス幅ウェイトコントロール

チップセレクト/ウェイトコントロールレジスタ BEXCS は、任意の 4 ブロックアドレス空間 (CS0~CS3 空間) 外のアドレス空間がアクセスされたときの、データバス幅選択とウェイト数を設定するレジスタです。このレジスタの設定は、CS0~CS3 空間外のエリアに対して常にイネーブルです。

(5) 16 M バイト空間/アドレス設定空間選択

チップセレクト/ウェイトコントロールレジスタ B2CS<B2M>を "0" にすることにより、16 M バイト空間 (000FE0H~000FFFH, 003000H~FFFFFFH) で、CS2 空間が選択されます。B2CS<B2M>を "1" にすると、CS0, CS1, CS3 空間と同様にスタートアドレスレジスタ MSAR2 およびアドレスマスクレジスタ MAMR2 の設定エリアに従い、CS2 空間が選択されます。リセットによりこのビットは "0" にクリアされ、16 M バイト空間が選択されます。

(6) チップセレクト/ウェイトコントローラ設定手順

チップセレクト/ウェイトコントロール機能を使用する場合は、以下の手順でレジスタの設定を行ってください。

1. メモリスタートアドレスレジスタ MSAR0~MSAR3 の設定
   CS0~CS3 空間のスタートアドレスを設定します。
2. メモリアドレスマスクレジスタ MAMR0~MAMR3 の設定
   CS0~CS3 空間のサイズを設定します。
3. コントロールレジスタ B0CS~B3CS の設定
   CS0~CS3 空間のチップセレクト出力波形, データバス幅, ウェイト数, マスタイネーブル/ディセーブルを設定します。

$\overline{CS0}$ ~ $\overline{CS3}$ 端子は、P60~P63 端子と兼用になっています。チップセレクト信号をこれらの端子から出力するには、ポート 6 ファンクションレジスタ P6FC の該当するビットを "1" に設定する必要があります。

なお、CS0~CS3 空間として設定したアドレスが、内蔵の I/O, RAM エリアを指定した場合、$\overline{CS0}$ ~ $\overline{CS3}$ 端子はチップセレクト信号を出力せず、CPU は内部エリアをアクセスします。

(設定例)

CS0 空間を、010000H~01FFFFH (64 K バイト空間), 16 ビットデータバス, 0 ウェイトに設定する場合

MSAR0 = 01H............ スタートアドレス　010000H
MAMR0 = 07H .... アドレス空間　64 K バイト
B0CS = 83H............... ROM/SRAM16 ビットデータバス, 0 ウェイト,
CS0 空間設定イネーブル

3.6.3 使用例

図 3.6.7は、TMP91C025 による外部メモリの接続例です。この例では ROM を 16 ビット幅で接続し、RAM と I/O を 8 ビット幅で接続しています。

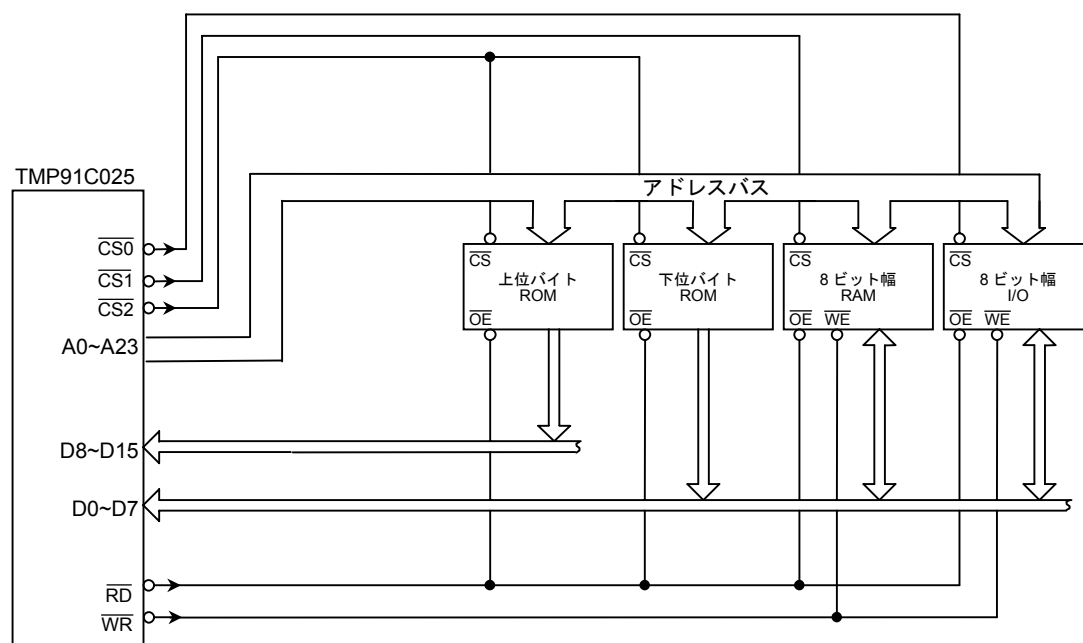



図 3.6.7 外部メモリ接続例 (ROM = 16 ビット幅, RAM & I/O = 8 ビット幅)

TMP91C025 ではリセット後、ポート 6 ファンクションレジスタ P6FC が “0” にクリアされているため、CS 信号出力はディセーブルとなっています。CS 信号を出力する場合、P6FC の必要なビットに “1” をセットしてください。

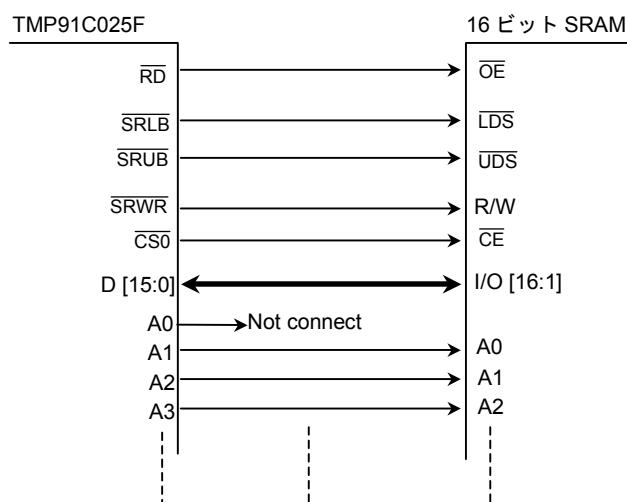



図 3.6.8　外部メモリ接続例 (SRAM = 16 ビット幅)

3.7 8 ビットタイマ (TMRA)

8 ビットタイマを 4 チャネル (TMRA0~TMRA3) 内蔵しています。

TMRA は 2 チャネルを 1 モジュールとし、2 モジュールで構成され、それぞれ TMRA01, TMRA23 と呼びます。各モジュールは次の 4 種類のモードを持っています。

- 8 ビットインタバルタイマモード
- 16 ビットインタバルタイマモード
- 8 ビットプログラマブル矩形波 (PPG: 可変周期で可変デューティ) 出力モード
- 8 ビット PWM (パルス幅変調: 固定周期で可変デューティ) 出力モード

図 3.7.1と図 3.7.2に TMRA01, TMRA23 のブロック図を示します。

各チャネルは主に 8 ビットアップカウンタ, 8 ビットコンパレータおよび 8 ビットタイマレジスタで構成され、2 チャネルに 1 つのプリスケーラ, タイマフリップフロップで構成されています。

タイマの動作モードやタイマフリップフロップは 5 バイトのレジスタ (SFR) で制御されます。

2 つの各モジュール (TMRA01, TMRA23) は、それぞれ独立に動作します。いずれのモジュールも表 3.7.1に示される仕様相違点を除いて同一の動作をしますので、TMRA01 の場合についてのみ説明します。

本章は下記のような構成になっています。

3.7.1 モジュール別のブロック図
3.7.2 回路別の動作説明
3.7.3 SFR 説明
3.7.4 モード別動作説明
(1) 8 ビットタイマモード
(2) 16 ビットタイマモード
(3) 8 ビット PPG (プログラマブル矩形波) 出力モード
(4) 8 ビット PWM 出力モード
(5) 動作モード設定一覧

表 3.7.1 TMRA のモジュール別仕様相違点

仕様 \ モジュール		TMRA01	TMRA23
外部端子	外部クロック入力端子	TA0IN (PB4 と兼用)	なし
	タイマフリップフロップ出力端子	TA1OUT (PA1 と兼用)	TA3OUT (PA2 と兼用)
SFR 名 (アドレス)	タイマ RUN レジスタ	TA01RUN (0100H)	TA23RUN (0108H)
	タイマレジスタ	TA0REG (0102H) TA1REG (0103H)	TA2REG (010AH) TA3REG (010BH)
	タイマモードレジスタ	TA01MOD (0104H)	TA23MOD (010CH)
	タイマフリップフロップコントロールレジスタ	TA1FFCR (0105H)	TA3FFCR (010DH)

3.7.1　モジュール別のブロック図

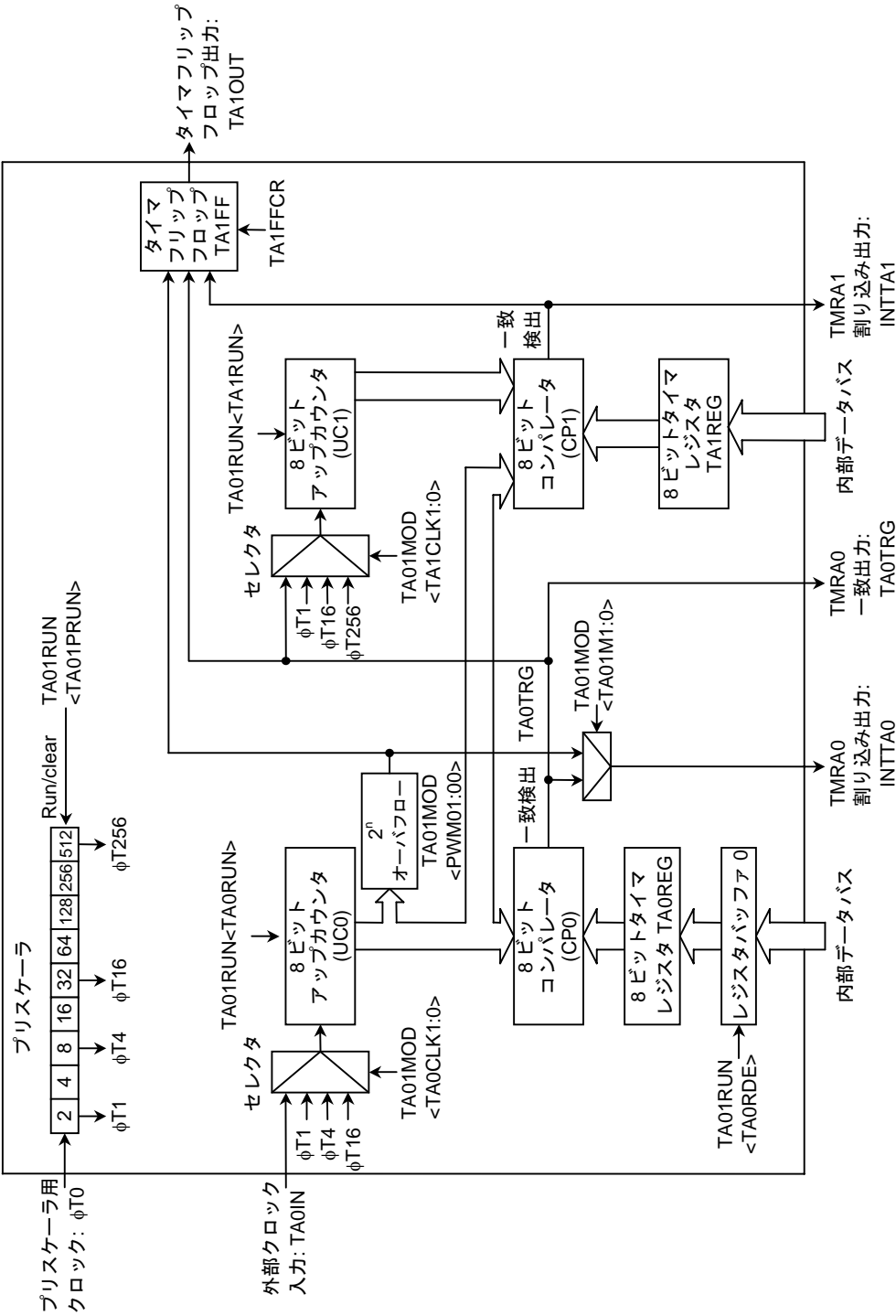



図 3.7.1　TMRA01 ブロック図

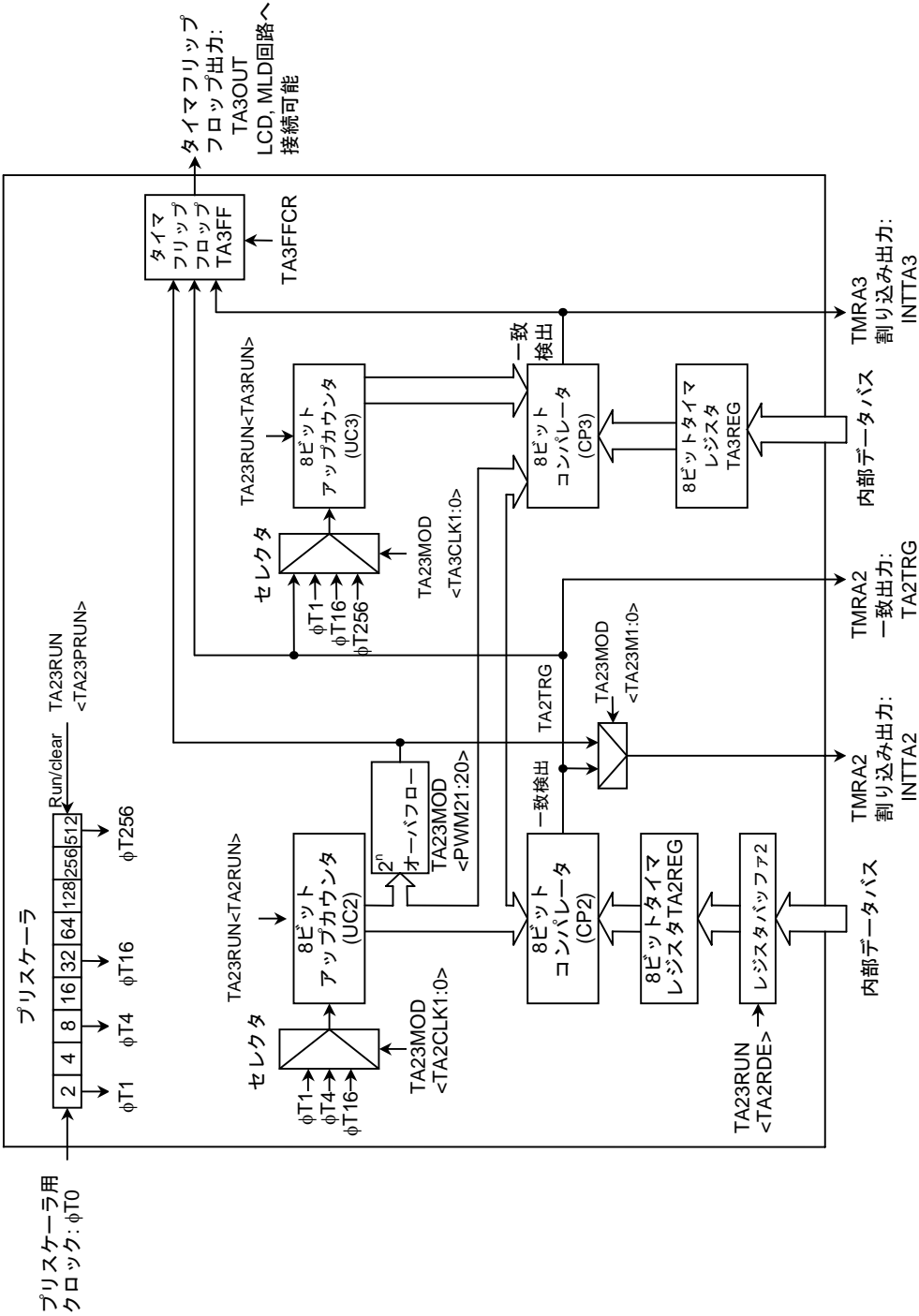



図 3.7.2　TMRA23 ブロック図

3.7.2 回路別の動作説明

(1) プリスケーラ

TMRA01 のクロックソースを得るため 9 ビットプリスケーラがあります。プリスケーラの入力クロックφT0 は、クロックギア部の SYSCR0<PRCK1:0> にて選択したクロックを 4 分周したクロックです。

プリスケーラは TA01RUN<TA0PRUN> により動作/停止の設定をします。“1” を書き込むとカウントを開始し、“0” を書き込むとクリアされ停止します。プリスケーラ出力クロックの分解能を表 3.7.2に示します。

表 3.7.2 プリスケーラ出力クロック分解能

@fc = 16 MHz, fs = 32.768 kHz

システムクロック選択 <SYSCK>	プリスケーラ用クロック選択 <PRCK1:0>	クロックギア値 <GEAR2:0>	プリスケーラ出力クロック分解能			
			φT1	φT4	φT16	φT256
1 (fs)	00 (f_{FPH})	XXX	$fs/2^{3}$ (244 μs)	$fs/2^{5}$ (977 μs)	$fs/2^{7}$ (3.9 ms)	$fs/2^{11}$ (62.5 ms)
0 (fc)		000 (fc)	$fc/2^{3}$ (0.5 μs)	$fc/2^{5}$ (2.0 μs)	$fc/2^{7}$ (8.0 μs)	$fc/2^{11}$ (128 μs)
		001 (fc/2)	$fc/2^{4}$ (1.0 μs)	$fc/2^{6}$ (4.0 μs)	$fc/2^{8}$ (16 μs)	$fc/2^{12}$ (256 μs)
		010 (fc/4)	$fc/2^{5}$ (2.0 μs)	$fc/2^{7}$ (8.0 μs)	$fc/2^{9}$ (32 μs)	$fc/2^{13}$ (512 μs)
		011 (fc/8)	$fc/2^{6}$ (4.0 μs)	$fc/2^{8}$ (16 μs)	$fc/2^{10}$ (64 μs)	$fc/2^{14}$ (1024 μs)
		100 (fc/16)	$fc/2^{7}$ (8.0 μs)	$fc/2^{9}$ (32 μs)	$fc/2^{11}$ (128 μs)	$fc/2^{15}$ (2048 μs)
	10 (fc/16 クロック)	XXX	$fc/2^{7}$ (8.0 μs)	$fc/2^{9}$ (32 μs)	$fc/2^{11}$ (128 μs)	$fc/2^{15}$ (2048 μs)

xxx: Don’t care

(2) アップカウンタ (UC0, UC1)

タイマモードレジスタ TA01MOD で指定された入力クロックによってカウントアップする 8 ビットのバイナリカウンタです。

UC0 の入力クロックは、TA0IN 端子からの外部クロックと、3 種類のプリスケーラ出力クロックφT1, φT4, φT16 から、TA01MOD<TA0CLK1:0>の設定値に応じて選択されます。

UC1 の入力クロックは動作モードによって異なります。16 ビットタイマモードに設定した場合は、アップカウンタ UC0 のオーバフロー出力が入力クロックとなり、16 ビットタイマモード以外の設定の場合は、TA01MOD<TA1CLK1:0>の設定によりプリスケーラ出力クロックφT1, φT16, φT256 と、TMRA0 のコンパレータ出力 (一致検出) の中から選択されます。

アップカウンタは、TA01RUN<TA0RUN>, <TA1RUN>によってカウント/停止&クリアを設定します。リセット時、アップカウンタはクリアされてタイマは停止しています。

(3) タイマレジスタ (TA0REG, TA1REG)

インタバル時間を設定する8ビットのレジスタです。このタイマレジスタへの設定値と、アップカウンタの値が一致すると、コンパレータの一致検出信号がアクティブになります。設定値を 00H にした場合は、アップカウンタのオーバフロー時に一致信号がアクティブになります。

TA0REG はダブルバッファ構成になっており、レジスタバッファとペアになっています。

ダブルバッファの制御は、TA01RUN<TA0RDE>の設定により行います。<TA0RDE> = "0" のときディセーブル、<TA0RDE> = "1" のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送タイミングは、PWM モードの 2^n オーバフローまたは PPG モードの周期のコンペア一致時です。従って、タイマモード時にダブルバッファを使用することはできません。

リセット時は<TA0RDE> = "0" に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときはタイマレジスタに設定値を書き込み、<TA0RDE> = "1" に設定した後、次の設定値を書き込んでください。

図 3.7.3に TA0REG の構成を示します。

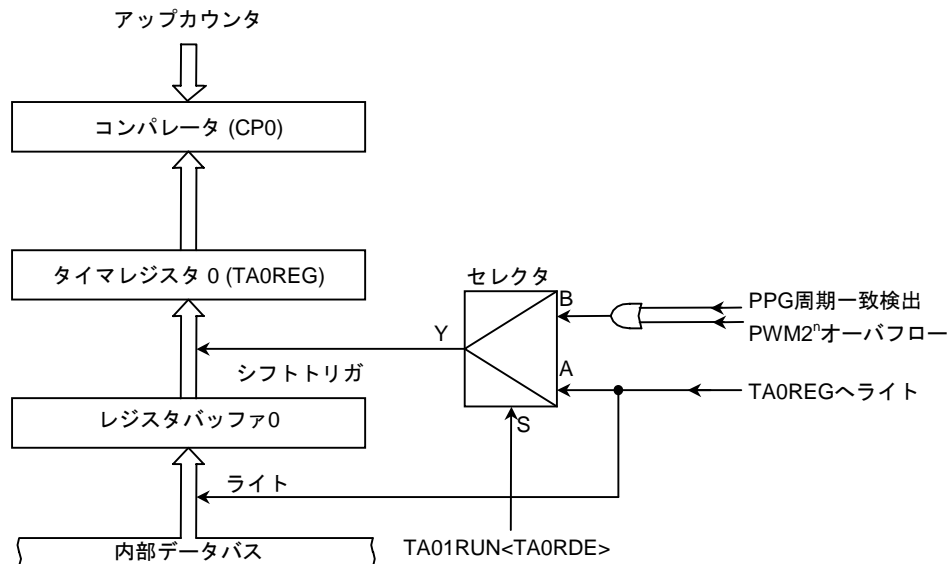



図 3.7.3 タイマレジスタ 0 (TA0REG) の構成

注) TA0REG にデータをライト時、タイマレジスタとレジスタバッファは同じアドレスに割り付けられています。
<TA0RDE> = "0" のときは、レジスタバッファとタイマレジスタの両方に同じ値が書き込まれ、<TA0RDE> = "1" のときはレジスタバッファにのみ書き込まれます。

各タイマレジスタのアドレスは次のとおりです。

TA0REG: 000102H　　TA1REG: 000103H

TA2REG: 00010AH　　TA3REG: 00010BH

各レジスタとも書き込み専用のレジスタで、リードはできません。

(4) コンパレータ (CP0)

アップカウンタの値とタイマレジスタの値とを比較し、一致すると、アップカウンタをゼロクリアするとともに、割り込み INTTA0, INTTA1 を発生します。また、タイマフリップフロップ反転イネーブルであれば、同時にタイマフリップフロップの値を反転させます。

(5) タイマフリップフロップ (TA1FF)

タイマフリップフロップ TA1FF は、コンパレータからの一致検出信号により反転するフリップフロップです。反転のディセーブル/イネーブルは、TA1FFCR<TA1FFIE>により設定できます。

リセットにより、TA1FF1 は “0” になります。TA1FFCR <TA1FFC1:0>に “01” または “10” を書き込むことで、TA1FF の値を “1” または “0” に設定することができます。また、このビットに “00” を書き込むことにより、TA1FF の値を反転させることができます (ソフト反転)。

TA1FF の値は、タイマフリップフロップ出力端子 TA1OUT (PA1 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート A 関連レジスタ PAFC2 により、設定を行う必要があります。

3.7.3 SFR 説明

TMRA01RUN レジスタ

TA01RUN (0100H)

	7	6	5	4	3	2	1	0
Bit symbol	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN
Read/Write	R/W				R/W			
リセット後	0				0	0	0	0
機　能	ダブル バッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	8 ビットタイマ動作/停止制御 0: 停止 & クリア 1: 動作 (カウントアップ)		

TA0REG ダブルバッファの制御

0	禁止
1	許可

カウント動作

0	停止&クリア
1	カウント

I2TA01: IDLE2 モード時の動作
TA01PRUN: プリスケーラの動作
TA1RUN: タイマ 1 の動作
TA0RUN: タイマ 0 の動作

注) TA01RUN のビット 4, 5, 6 は、リードすると不定値がリードされます。

TMRA23RUN レジスタ

TA23RUN (0108H)

	7	6	5	4	3	2	1	0
Bit symbol	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN
Read/Write	R/W				R/W			
リセット後	0				0	0	0	0
機　能	ダブル バッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	8 ビットタイマ動作/停止制御 0: 停止 & クリア 1: 動作 (カウントアップ)		

TA2REG ダブルバッファの制御

0	禁止
1	許可

カウント動作

0	停止&クリア
1	カウント

I2TA23: IDLE2 モード時の動作
TA23PRUN: プリスケーラの動作
TA3RUN: タイマ 3 の動作
TA2RUN: タイマ 2 の動作

注) TA23RUN のビット 4, 5, 6 は、リードすると不定値がリードされます。

図 3.7.4 TMRA 関係のレジスタ

TMRA01 モードレジスタ

TA01MOD (0104H)		7	6	5	4	3	2	1	0
	Bit symbol	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA1 ソースクロック 00: TA0TRG 01: ϕT1 10: ϕT16 11: ϕT256		TMRA0 ソースクロック 00: TA0IN 端子入力 01: ϕT1 10: ϕT4 11: ϕT16	

TMRA0 の入力クロック

00	外部入力 (TA0IN 端子入力)
01	ϕT1 (プリスケーラ)
10	ϕT4 (プリスケーラ)
11	ϕT16 (プリスケーラ)

TMRA1 の入力クロック

	TA01MOD<TA01M1:0>≠01	TA01MOD<TA01M1:0>=01
00	TMRA0 の一致出力	TMRA0 の オーバフロー出力 (16 ビット タイマモード)
01	ϕT1	
10	ϕT16	
11	ϕT256	

8 ビット PWM モード時の周期選択

00	Reserved
01	$(2^6) \times$ クロックソース
10	$(2^7) \times$ クロックソース
11	$(2^8) \times$ クロックソース

TMRA01 の動作モード選択

00	8 ビットタイマ 2 本
01	16 ビットタイマ
10	8 ビットプログラム矩形波出力
11	8 ビット PWM (TMRA0), 8 ビットタイマ (TMRA1)

図 3.7.5　TMRA 関係のレジスタ

TMRA23 モードレジスタ

TA23MOD (010CH)		7	6	5	4	3	2	1	0
	Bit symbol	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA3 ソースクロック 00: TA2TRG 01: ϕT1 10: ϕT16 11: ϕT256		TMRA2 ソースクロック 00: Reserved 01: ϕT1 10: ϕT4 11: ϕT16	

TMRA2 の入力クロック

00	設定しないでください
01	ϕT1　(プリスケーラ)
10	ϕT4　(プリスケーラ)
11	ϕT16　(プリスケーラ)

TMRA3 の入力クロック

	TA23MOD<TA23M1:0>≠01	TA23MOD<TA23M1:0>=01
00	TMRA2 の一致出力	TMRA2 の オーバフロー出力 (16 ビット タイマモード)
01	ϕT1	
10	ϕT16	
11	ϕT256	

8 ビット PWM モード時の周期選択

00	Reserved
01	(2^6) × クロックソース
10	(2^7) × クロックソース
11	(2^8) × クロックソース

TMRA23 の動作モード選択

00	8 ビットタイマ 2 本
01	16 ビットタイマ
10	8 ビットプログラム矩形波出力
11	8 ビット PWM (TMRA2), 8 ビットタイマ (TMRA3)

図 3.7.6　TMRA 関係のレジスタ

TMRA1 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA1FFCR (0105H)	Bit symbol					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
	Read/Write					R/W		R/W	
	リセット後					1	1	0	0
リードモディファイライトはできません。	機　能					00: TA1FF 反転 01: TA1FF セット 10: TA1FF クリア 11: Don't care		TA1FF 反転制御 0: 禁止 1: 許可	TA1FF 反転信号セレクト 0: TMRA0 1: TMRA1

タイマフリップフロップ 1 (TA1FF) の反転信号セレクト
(8 ビットタイマモード以外は Don't care)

0	TMRA0 による反転
1	TMRA1 による反転

TA1FF の反転制御

0	反転禁止
1	反転許可

TA1FF の制御

00	TA1FF の値を反転 (ソフト反転)
01	TA1FF を "1" にセット
10	TA1FF を "0" にクリア
11	Don't care

図 3.7.7　TMRA 関係のレジスタ

TMRA3 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA3FFCR (010DH)	Bit symbol					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
	Read/Write					R/W		R/W	
	リセット後					1	1	0	0
リードモディファイライトはできません。	機　能					00: TA3FF 反転 01: TA3FF セット 10: TA3FF クリア 11: Don't care		TA3FF 反転制御 0: 禁止 1: 許可	TA3FF 反転信号セレクト 0: TMRA2 1: TMRA3

タイマフリップフロップ 3 (TA3FF) の反転信号セレクト
(8 ビットタイマモード以外は Don't care)

0	TMRA2 による反転
1	TMRA3 による反転

TA3FF の反転制御

0	反転禁止
1	反転許可

TA3FF の制御

00	TA3FF の値を反転 (ソフト反転)
01	TA3FF を "1" にセット
10	TA3FF を "0" にクリア
11	Don't care

図 3.7.8　8 ビットタイマ関係のレジスタ

3.7.4 モード別動作説明

(1) 8 ビットタイマモード

TMRA0、TMRA1 は、それぞれ独立に 8 ビットインタバルタイマとして使用できます。機能およびカウントデータの設定を行う場合、TMRA0, TMRA1 を停止させた状態で行ってください。

a. 一定周期の割り込みを発生させる場合

ここでは TMRA1 を使用した例を示します。TMRA1 を用いて、一定周期ごとに TMRA1 割り込み INTTA1 を発生させる場合、まずタイマ 1 を停止させ、動作モード、入力クロック、周期をそれぞれ TA01MOD, TA1REG に設定します。次に割り込み INTTA1 をイネーブルにしてから、タイマ 1 をカウントさせます。

例: fc = 16 MHz で 20 μs ごとに INTTA1 割り込みを発生させたい場合、次の順序で各レジスタを設定します。

* クロック条件
  - システムクロック: 高速 (fc)
  - プリスケーラクロック: f_{FPH}

		7 (MSB)	6	5	4	3	2	1	0 (LSB)	
TA01RUN	←	–	X	X	X	–	–	0	–	TMRA1 を停止し、0 にクリアします。
TA01MOD	←	0	0	X	X	0	1	X	X	8 ビットタイマモードにし、入力クロックを φT1 (0.5 μs 分解能、@fc = 16 MHz) に設定します。
TA1REG	←	0	0	1	0	1	0	0	0	TA1REG に 20 μs ÷ φT1 = 40 (28H) を書き込みます。
INTETA01	←	X	1	0	1	–	–	–	–	INTTA1 をイネーブル、割り込みレベル 5 に設定します。
TA01RUN	←	–	X	X	X	–	1	1	–	TMRA1 をカウントします。

X: Don't Care、 –: No change

入力クロックの選択は表 3.7.2 を参考にしてください。

注) TMRA0 と TMRA1 の入力クロックは下記のように異ります。
TMRA0: TA0IN 端子入力、φT1, φT4, φT16
TMRA1: TMRA0 の一致検出信号、φT1, φT16, φT256

b. デューティ 50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ TA1FF の値を反転させ、この値をタイマフリップフロップ出力端子 TA1OUT へ出力します。

例: fc = 16 MHz で周期 3.0 μs の矩形波を TA1OUT 端子から出力させたい場合、次の順序で各レジスタを設定します。この場合、TMRA0 か TMRA1 を用いますが、ここでは TMRA1 を使用したときのレジスタ設定例を示します。

* クロック条件
- システムクロック: 高速 (fc)
- 高速クロックギア: 1 倍 (fc)
- プリスケーラクロック: f_{FPH}

		7	6	5	4	3	2	1	0	
TA01RUN	←	–	X	X	X	–	–	0	–	TMRA1 を停止し、0 にクリアします。
TA01MOD	←	0	0	X	X	0	1	–	–	8 ビットタイマモードにし、入力クロックを φT1 (0.5 μs @fc = 16 MHz) に設定します。
TA1REG	←	0	0	0	0	0	0	1	1	TA1REG に 3.0 μs ÷ φT1 ÷ 2 = 3 をセットします。
TA1FFCR	←	X	X	X	X	1	0	1	1	TA1FF を “0” にクリアし、TMRA1 からの一致検出信号で反転するように設定します。
PAFC2	←	X	X	X	X	–	–	1	–	PA1 を TA1OUT 出力端子に設定します。
TA01RUN	←	–	X	X	X	–	1	1	–	TMRA1 のカウントを開始します。

X: Don’t Care、 –: No change

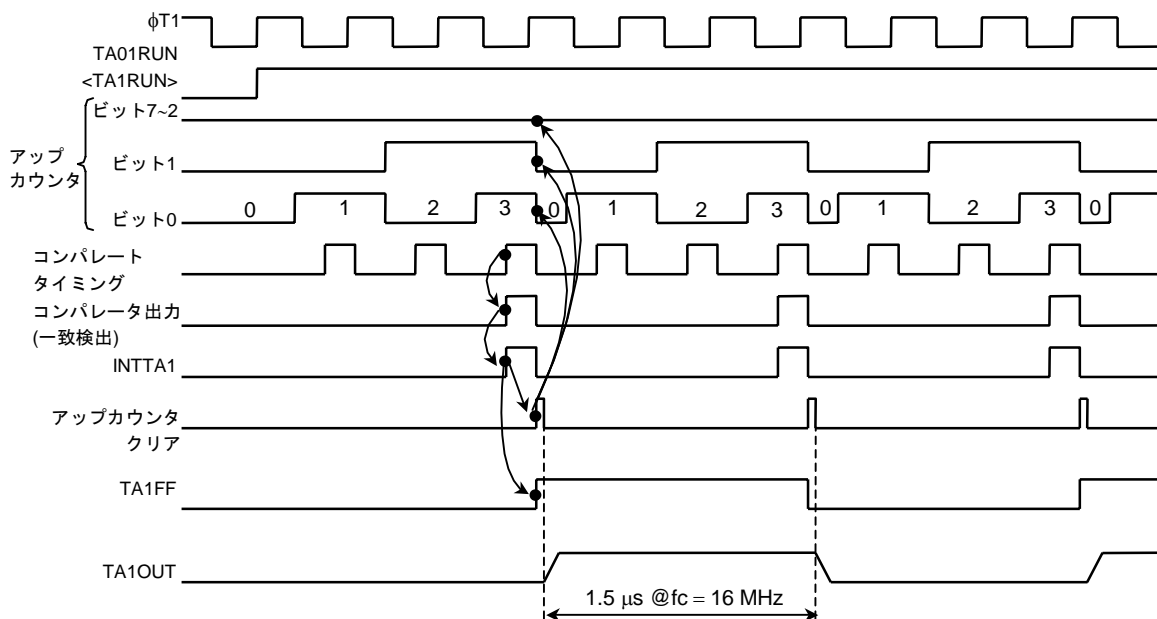



図 3.7.9 矩形波 (デューティ 50%) 出力のタイミングチャート

c. TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8 ビットタイマモードに設定し、TMRA1 の入力クロックを TMRA0 のコンパレータ出力に設定します。

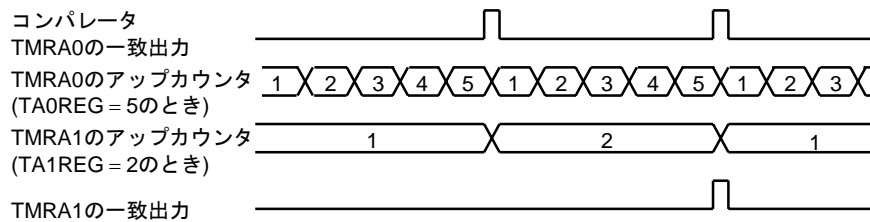



図 3.7.10 TMRA0 による TMRA1 のカウントアップ

(2) 16 ビットタイマモード

TMRA0 と TMRA1 をペアにして、16 ビットインタバルタイマとして使用できます。

TA01MOD<TA01M1:0>を "01" に設定することで 16 ビットタイマモードとなります。

16 ビットタイマモードに設定すると、TA01MOD<TA1CLK1:0> の設定値にかかわらず、TMRA1 の入力クロックは、TMRA0 のオーバフロー出力になります。TMRA0 の入力クロックの選択は表 3.7.2 を参考にしてください。

タイマ割り込み周期は、タイマレジスタ TA0REG に下位 8 ビットを、TA1REG に上位 8 ビットを設定します。この場合、必ず TA0REG から先に設定してください (TA0REG にデータを書き込むとコンペアが一時禁止され、TA1REG へのデータ書き込みでコンペアが開始されるためです)。

例: fc = 16 MHz で 0.5 秒ごとに割り込み INTTA1 を発生させる場合、タイマレジスタ TA0REG, TA1REG には次の値を設定します。

* クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	f_{FPH}

φT16 (= 8.0 μs @16 MHz) を入力クロックとしてカウントすると

0.5 s ÷ 8.0 μs = 62500 = F424H

従って TA1REG = F4H, TA0REG = 24H を設定します。

TMRA0 のコンパレータ出力は、アップカウンタ UC0 と TA0REG とが一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。また、このとき INTTA0 は発生しません。

TMRA1 のコンパレータは、アップカウンタ UC1 と TA1REG とが一致すると、コンパレートタイミング時、毎回一致検出信号が出力されます。TMRA0, TMRA1 両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ UC0, UC1 が 0 にクリアされ、割り込み INTTA1 が発生します。また反転イネーブルであれば、タイマフリップフロップ TA1FF の値は反転されます。

例: TA1REG = 04H, TA0REG = 80H の場合

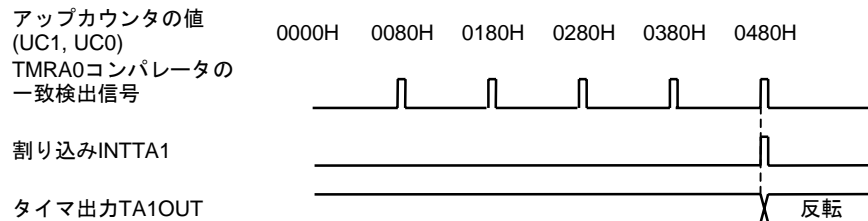



図 3.7.11　16 ビットタイマモードによるタイマ出力

(3) 8 ビット PPG (プログラマブル矩形波) 出力モード

TMRA0 を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスは Low アクティブ、High アクティブどちらの設定も可能です。

このモードに設定した場合 TMRA1 は使用できません。

矩形波は TA1OUT へ出力されます。

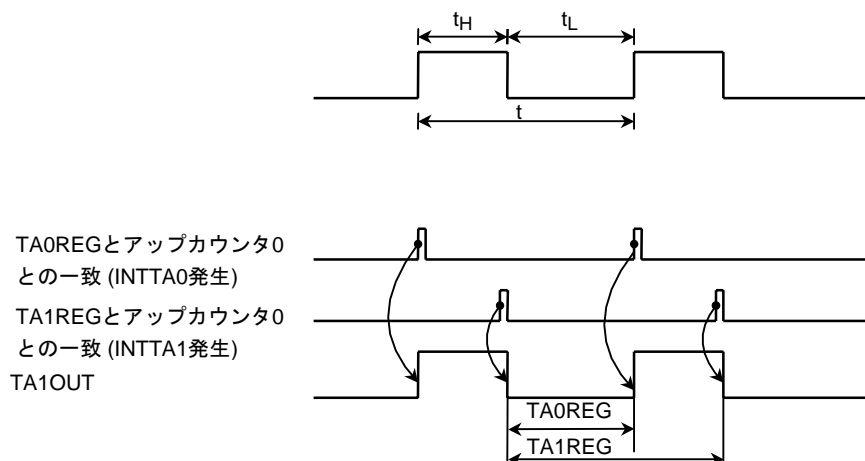



図 3.7.12　8 ビット PPG 出力波形

このモードは、8 ビットアップカウンタ UC0 が、タイマレジスタ TA0REG および TA1REG と一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件件を満たす必要があります。

なお、このモードでは TMRA1 のアップカウンタ UC1 は使用できませんが、TA01RUN <TA1RUN> = 1 に設定して、TMRA1 をカウント状態にしてください。

このモードをブロック図で示すと図 3.7.13のようになります。

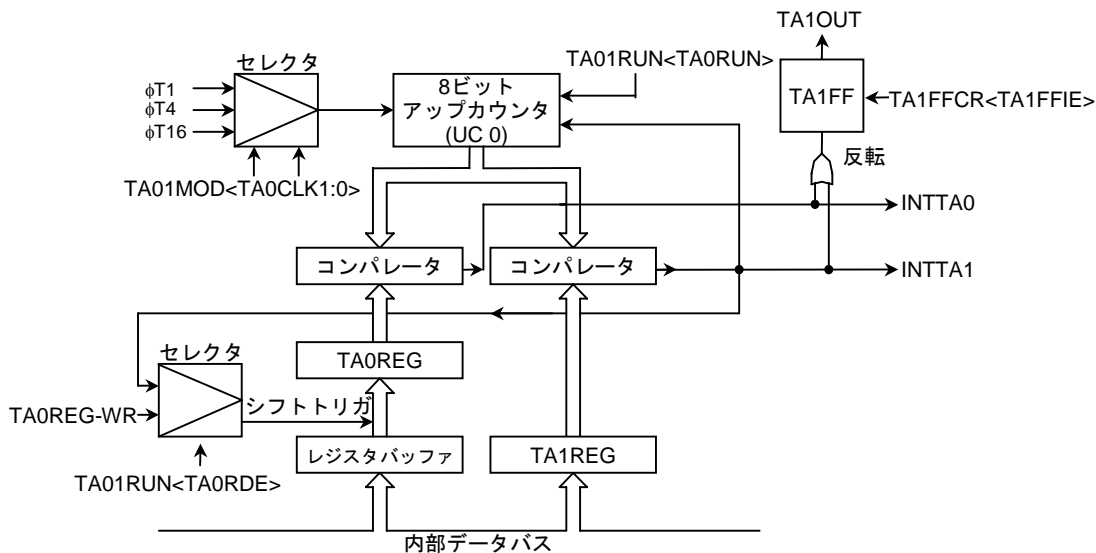



図 3.7.13　8 ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TA1REG と UC0 の一致時に TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。

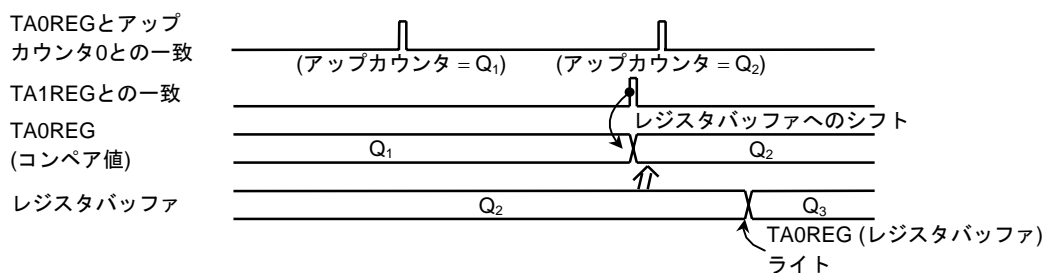
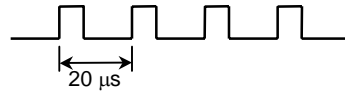



図 3.7.14　レジスタバッファの動作

例:　デューティ 1/4 の 50 kHz のパルスを出力する場合(fc = 16 MHz)

タイマレジスタへの設定値を求めます。
周波数を 50 kHz にするには、周期 t = 1/50 kHz = 20 μs の波形をつくります。
ϕT1 = 0.5 μs (@fc = 16 MHz) を用いると、
　20 μs ÷ 0.5 μs ＝ 40
従って TA1REG を、TA1REG = 40 = 28H
次にデューティを 1/4 にするには、t × 1/4 = 20 μs × 1/4 = 5 μs
　5 μs ÷ 0.5 μs = 10
従って TA0REG = 10 = 0AH に設定します。

		7	6	5	4	3	2	1	0	
TA01RUN	←	0	X	X	X	–	0	0	0	TMRA0, 1 を停止し、0 にクリアします。
TA01MOD	←	1	0	X	X	X	X	0	1	8 ビット PPG モードにし、入力クロックをϕT1 にします。
TA0REG	←	0	0	0	0	1	0	1	0	0AH を書き込みます。
TA1REG	←	0	0	1	0	1	0	0	0	28H を書き込みます。
TA1FFCR	←	X	X	X	X	0	1	1	X	TA1FF をセットし、反転イネーブルにします。 “10” にすると負論理の出力波形が得られます。
PAFC2	←	X	X	X	X	–	–	1	–	PA1 を TA1OUT 端子に設定します。
TA01RUN	←	1	X	X	X	–	1	1	1	TMRA0, TMRA1 のカウントを開始します。

X: Don’t care、　–: No change

(4) 8 ビット PWM 出力モード

TMRA0 にのみ可能なモードです。分解能 8 ビットまでの PWM を出力することができます。PWM 出力は TA1OUT 端子へ出力されます。

このモードでは、TMRA1 は 8 ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタ UC0 がタイマレジスタ TA0REG の設定値と一致したときと、2^n (n = 6, 7, 8 のいずれかを TA01MOD<PWM01:00>で指定) カウンタオーバフロー発生時に起こります。また、UC0 は 2^n カウンタのオーバフローによってクリアされます。

なお、この PWM モードを使用する場合、次の条件を満たさなければなりません。

(TA0REG の設定値) < (2^n カウンタのオーバフロー設定値)

(TA0REG の設定値) ≠ 0

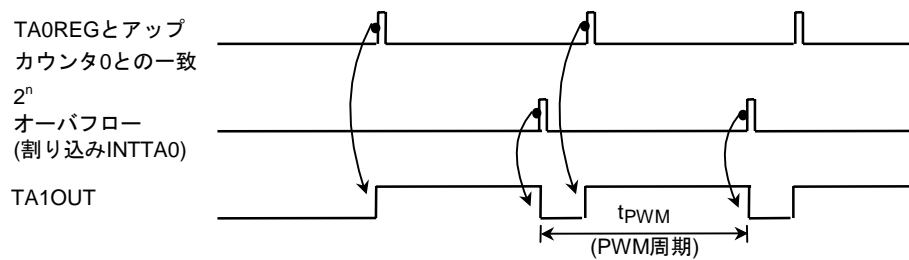



図 3.7.15 8 ビット PWM 出力波形

このモードをブロック図で示すと図 3.7.16のようになります。

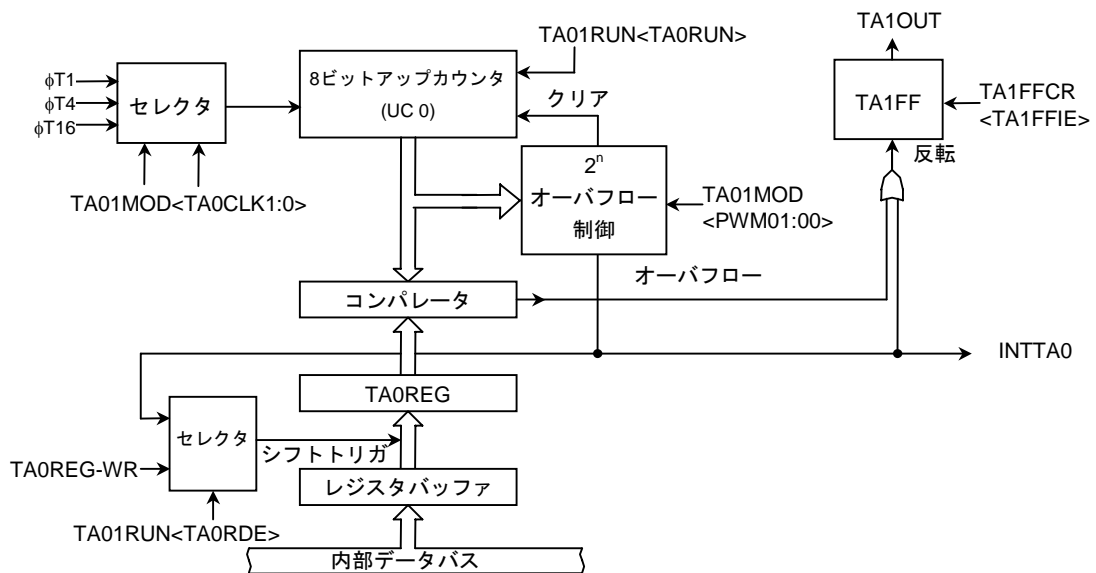



図 3.7.16 8 ビット PWM 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、2^n オーバフロー検出で、レジスタバッファの値が TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が、容易に行えます。

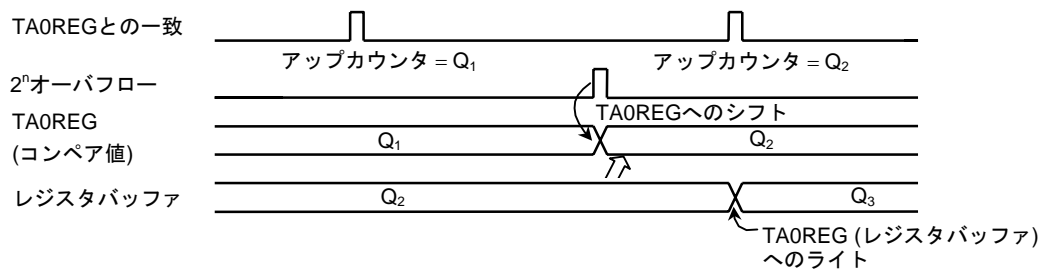
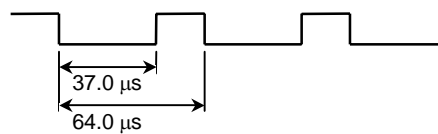



図 3.7.17　レジスタバッファの動作

例:　fc = 16 MHz 時、TMRA0 を使って下記の PWM 波形を TA1OUT 端子へ出力する場合

＊ クロック条件

システムクロック:	高速 (fc)
高速クロックギア:	1 倍 (fc)
プリスケーラクロック:	f_{FPH}

PWM 周期 64.0 μs をϕT1 = 0.5 μs (@fc = 16 MHz) で実現する場合

　$64.0\ \mu s \div 0.5\ \mu s = 128 = 2^n$

従って n = 7 に設定します。

"L" レベルの期間は 37.0 μs ですからϕT1 = 0.5 μs では、

　$37.0\ \mu s \div 0.5\ \mu s = 74 = 4AH$

を TA0REG に設定します。

		MSB 7	6	5	4	3	2	1	LSB 0	
TA01RUN	←	–	X	X	X	–	–	–	0	TMRA0 を停止し、0 にクリアします。
TA01MOD	←	1	1	1	0	–	–	0	1	8 ビット PWM モード (周期 = 2^7)にし、入力クロックをϕT1 にします。
TA0REG	←	0	1	0	0	1	0	1	0	4AH を書き込みます。
TA1FFCR	←	X	X	X	X	1	0	1	X	TA1FF をクリアし、反転イネーブルします。
PAFC2	←	X	X	X	X	–	–	1	–	PA1 を TA1OUT 端子に設定します。
TA01RUN	←	1	X	X	X	–	1	–	1	TMRA0 のカウントを開始します。

X: Don't Care、　–: No change

表 3.7.3　PWM 周期

@fc = 16 MHz, fs = 32.768 kHz

システムクロック選択 <SYSCK>	プリスケーラ用クロック選択 <PRCK1:0>	クロックギア値 <GEAR2~0>	PWM 周期								
			2^6			2^7			2^8		
			φT1	φT4	φT16	φT1	φT4	φT16	φT1	φT4	φT16
1 (fs)	00 (f_{FPH})	XXX	15.6 ms	62.5 ms	250 ms	31.3 ms	125 ms	500 ms	62.5 ms	250 ms	1000 ms
0 (fc)		000 (fc)	32.0 μs	128 μs	512 μs	64.0 μs	256 μs	1024 μs	128 μs	512 μs	2048 μs
		001 (fc/2)	64.0 μs	256 μs	1024 μs	128 μs	512 μs	2048 μs	256 μs	1024 μs	4096 μs
		010 (fc/4)	128 μs	512 μs	2048 μs	256 μs	1024 μs	4096 μs	512 μs	2048 μs	8192 μs
		011 (fc/8)	256 μs	1024 μs	4096 μs	512 μs	2048 μs	8192 μs	1024 μs	4096 μs	16.384 ms
		100 (fc/16)	512 μs	2048 μs	8192 μs	1024 μs	4096 μs	16.384 ms	2048 μs	8192 μs	32.768 ms
	10 (fc/16 クロック)	XXX	512 μs	2048 μs	8192 μs	1024 μs	4096 μs	16.384 ms	2048 μs	8192 μs	32.768 ms

XXX: Don’t care

(5) 動作モード設定一覧

TMRA01 の各モードをまとめると表 3.7.4のような設定になります。

表 3.7.4　各タイマモードの設定レジスタ

レジスタ名	TA01MOD				TA1FFCR
<レジスタ中の機能名>	<TA01M1:0>	<PWM01:00>	<TA1CLK1:0>	<TA0CLK1:0>	TA1FFIS
機能	タイマモード	PWM 周期	上位タイマ入力クロック	下位タイマ入力クロック	タイマ F/F 反転信号セレクト
8 ビットタイマ × 2ch	00	–	下位タイマ一致 φT1, φT16, φT256 (00, 01, 10, 11)	外部, φT1, φT4, φT16 (00, 01, 10, 11)	0:下位タイマ出力 1:上位タイマ出力
16 ビットタイマモード	01	–	–	外部, φT1, φT4, φT16 (00, 01, 10, 11)	–
8 ビット PPG × 1ch	10	–	–	外部, φT1, φT4, φT16 (00, 01, 10, 11)	–
8 ビット PWM × 1ch	11	2^6, 2^7, 2^8 (01, 10, 11)	–	外部, φT1, φT4, φT16 (00, 01, 10, 11)	–
8 ビット PWM × 1ch	11	–	φT1, φT16, φT256 (01, 10, 11)	–	出力不可

–: Don’t care

(6) LCD コントローラおよびメロディ･アラーム回路接続モード

TMRA3 にのみ可能なモードです。TMRA3 にて生成された TA3 クロック (PPG モード, PWM モードなど) を LCD コントローラおよび、メロディー･アラーム回路のソースクロックとして使用することができます。ただし、本モードは低周波クロックを使用せずに、LCDC や MLD を使用するためのモードですので、ソースクロックは 32 kHz, デューティ 1/2 にて使用し、これ以外のクロックでは動作させないでください。また、本モードを使用した場合、以下の順序を必ず守ってください。

動作時

a. タイマにてクロックを生成

b. クロックを接続 (EMCCR0<TA3LCDE> = “1” または<TA3MLDE> = “1”)

c. セットアップ時間ウェイト

d. 各回路駆動開始

停止時

e. 各回路駆動停止

f. クロックを切断 (EMCCR0<TA3LCDE = “0”>または<TA3MLDE = “0”>)

設定レジスタ

EMCCR0 (00E3H)

	7	6	5	4	3	2	1	0
Bit symbol	PROTECT	TA3LCDE	AHOLD	TA3MLDE	–	EXTIN	DRVOSCH	DRVOSCL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	1	1
機　能	プロテクト フラグ 0: OFF 1: ON	LCDC ソースクロック選択 0: 32 kHz 1: TA3OUT	アドレス ホールド 0: OFF 1: ON	MLD ソース クロック 選択 0: 32 kHz 1: TA3OUT	“0” をライトしてください。	1: fc 外部 クロック	fc 発振器 ドライブ 能力 1: Normal 0: Weak	fs 発振器 ドライブ 能力 1: Normal 0: Weak

3.8 外部メモリ拡張機能 (MMU)

プログラム/データエリアに 4 個のローカルエリアを持たせることにより、最大 104 M バイトまで拡張可能な MMU 機能です。

外部メモリへのアドレス情報の接続端子は、TLCS-900 ファミリー共通であるアドレスバス 24 端子 (A0~A23)、CS/WAIT コントローラより出力されるチップセレクト 4 端子 ($\overline{CS0}$ ~ $\overline{CS3}$) に加えて MMU が作成する拡張アドレスバス EA24, EA25 端子、および $\overline{CS2A}$ ~ $\overline{CS2C}$ の 5 端子が出力可能です。

下記に特長および 2 タイプの推奨設定方法を示します。なお、表中の AH は、アドレス 23~16 を 16 進数表示した値です。

<table>
<tr><th>用途</th><th>項目</th><th>(A) 標準拡張メモリ対応</th><th>(B) 多種類拡張メモリ対応</th></tr>
<tr><td rowspan="4">プログラム ROM</td><td>最大メモリサイズ</td><td colspan="2">2 M バイト: COMMON2 + 14 M バイト: BANK (16 M バイト × 1 pcs)</td></tr>
<tr><td>使用 LOCAL エリア, BANK 数</td><td colspan="2">LOCAL2 (AH = C0~DF: 2 M バイト × 7 BANK)</td></tr>
<tr><td>CS/WAIT 設定</td><td>AH = C0~FF を CS2 へ設定</td><td>AH = 80~FF を CS2 へ設定</td></tr>
<tr><td>使用 $\overline{CS}$ 端子</td><td>$\overline{CS2}$</td><td>$\overline{CS2A}$</td></tr>
<tr><td rowspan="4">データ ROM</td><td>最大メモリサイズ</td><td>64 M バイト (64 M バイト × 1 pcs)</td><td>32 M バイト (16 M バイト × 2 pcs)</td></tr>
<tr><td>使用 LOCAL エリア, BANK 数</td><td>LOCAL3 (AH = 80~BF: 4M バイト × 16 BANK)</td><td>LOCAL3 (AH = 80~BF:4 M バイト × 8 BANK)</td></tr>
<tr><td>CS/WAIT 設定</td><td>AH = 80~BF を CS3 へ設定</td><td>AH = 80~FF を CS2 へ設定</td></tr>
<tr><td>使用 $\overline{CS}$ 端子</td><td>$\overline{CS3}$, EA24, EA25</td><td>$\overline{CS2B}$, $\overline{CS2C}$</td></tr>
<tr><td rowspan="4">プログラム拡張 ROM</td><td>最大メモリサイズ</td><td colspan="2">2 M バイト: COMMON1 + 14 M バイト: BANK (16 M バイト × 1 pcs)</td></tr>
<tr><td>使用 LOCAL エリア, BANK 数</td><td colspan="2">LOCAL1 (AH = 40~5F: 2 M バイト × 7 BANK)</td></tr>
<tr><td>CS/WAIT 設定</td><td colspan="2">AH = 40~7F を CS1 へ設定</td></tr>
<tr><td>使用 $\overline{CS}$ 端子</td><td colspan="2">$\overline{CS1}$</td></tr>
<tr><td rowspan="4">データ RAM</td><td>最大メモリサイズ</td><td colspan="2">1 M バイト: COMMON0 + 7 M バイト: BANK (8 M バイト × 1 pcs)</td></tr>
<tr><td>使用 LOCAL エリア, BANK 数</td><td colspan="2">LOCAL0 (AH = 10~1F: 1 M バイト × 7 BANK)</td></tr>
<tr><td>CS/WAIT 設定</td><td>AH = 00~1F を CS0 へ設定</td><td>AH = 00~1F を CS3 へ設定</td></tr>
<tr><td>使用 $\overline{CS}$ 端子</td><td>$\overline{CS0}$</td><td>$\overline{CS3}$</td></tr>
<tr><td rowspan="4">拡張メモリ 1</td><td>最大メモリサイズ</td><td></td><td>2 M バイト (2 M バイト × 1 pcs)</td></tr>
<tr><td>使用 LOCAL エリア, BANK 数</td><td></td><td>なし</td></tr>
<tr><td>CS/WAIT 設定</td><td></td><td>AH = 20~2F を CS0 へ設定</td></tr>
<tr><td>使用 $\overline{CS}$ 端子</td><td></td><td>$\overline{CS0}$</td></tr>
<tr><td colspan="2">総メモリ容量</td><td>16 M + 64 M + 16 M + 8 M = 104 M バイト</td><td>16 M + 32 M + 16 M + 8 M + 2 M = 74 M バイト</td></tr>
</table>

3.8.1 推奨メモリマップ

多種類拡張メモリ対応時の推奨論理アドレスメモリマップを図 3.8.1に、物理アドレスマップを図 3.8.2に示します。

使用するメモリが 16 M バイト以内のシステムでメモリを拡張しない場合は特に制限はなく、使用方法は CS/WAIT コントローラの章を参照してください。MMU に内蔵するレジスタの設定は不要です。

アドレス 100000H~1FFFFFH などのバンク設定可能領域をローカルエリアと呼び、各ローカルエリアごとに割り当てられたエリアをコモンエリアと呼びます。ローカルエリアのアドレスは固定で、変更できません。

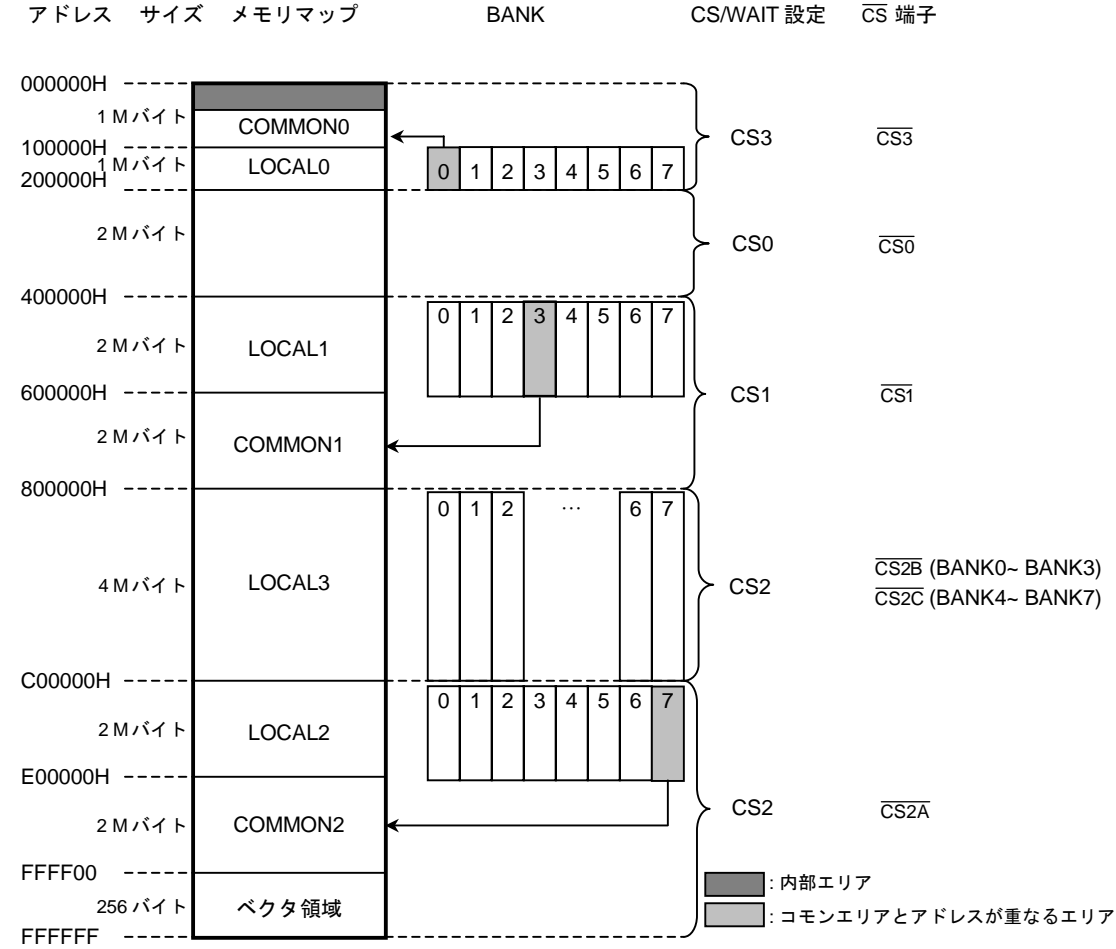



図 3.8.1　論理アドレスメモリマップ

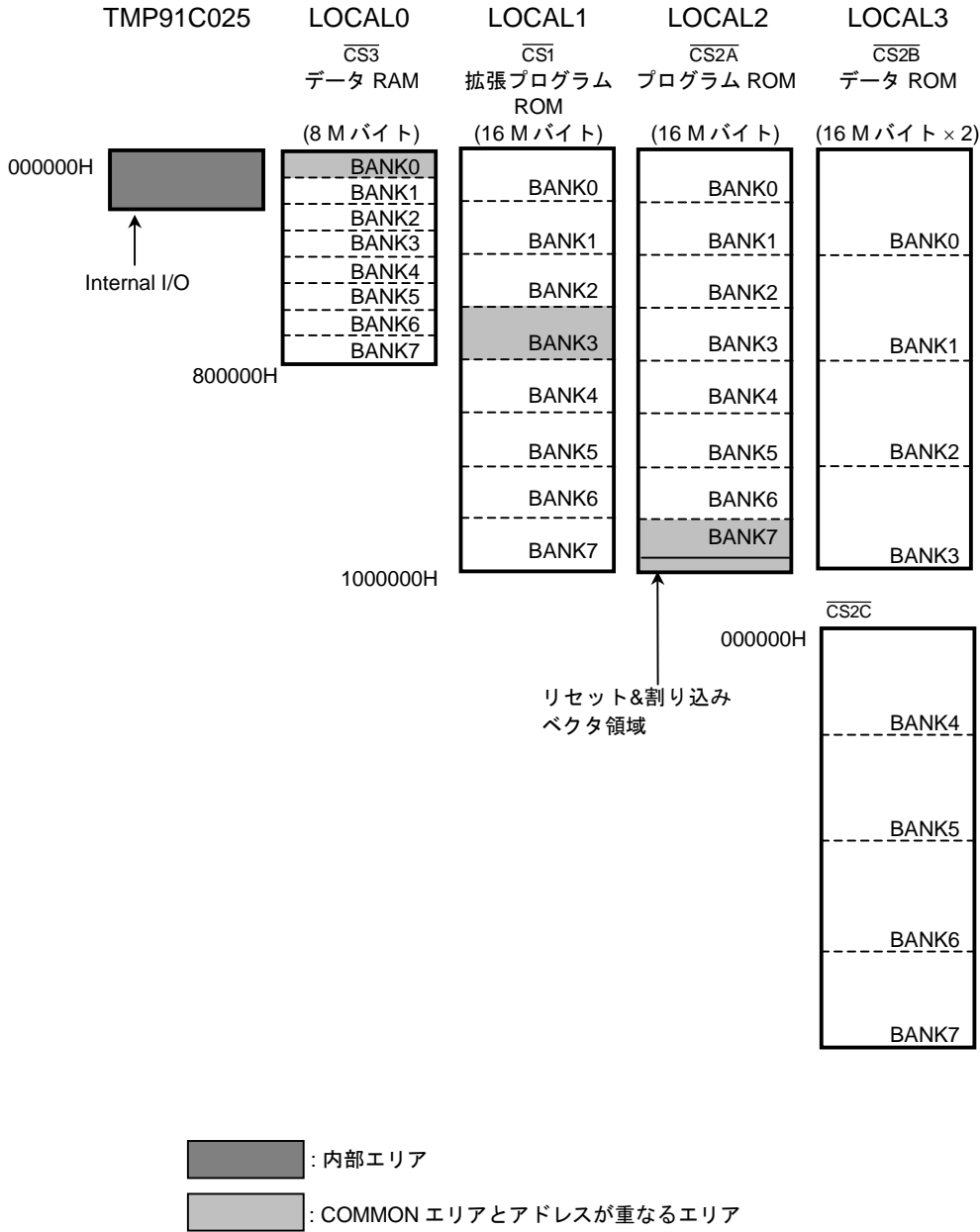



図 3.8.2　物理アドレスメモリマップ

3.8.2　ブロック図

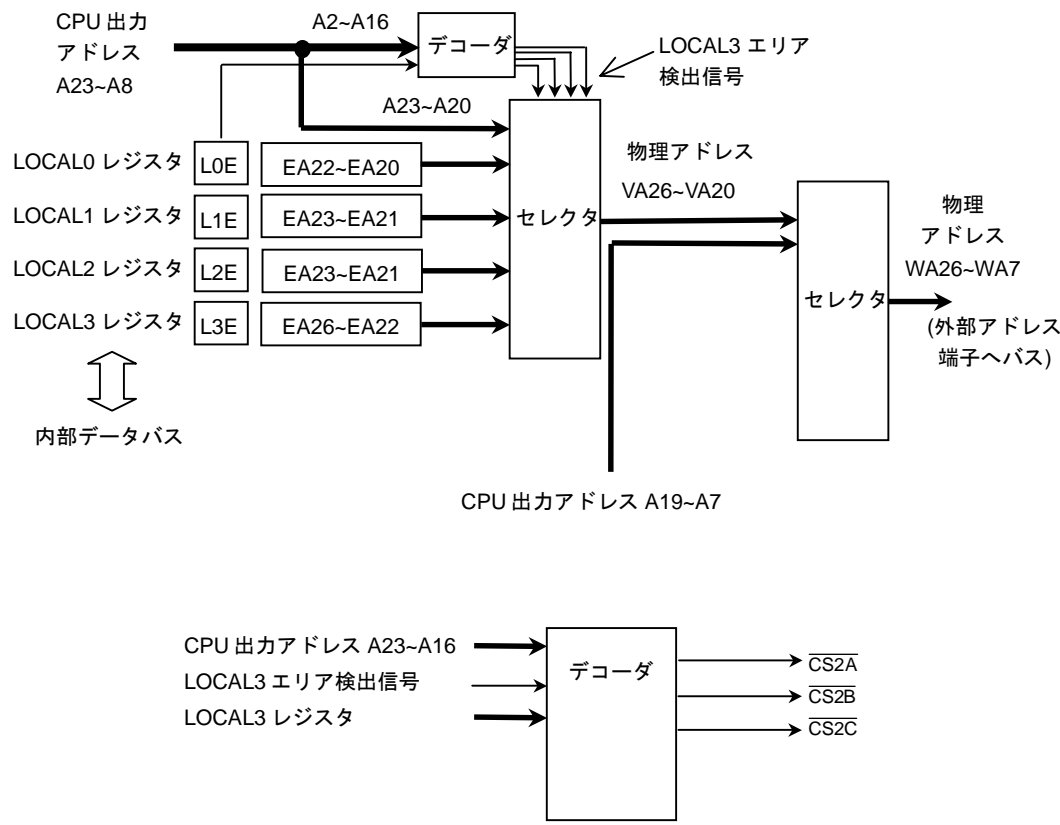



図 3.8.3　MMU ブロック図

3.8.3 MMU 制御レジスタ

あらかじめ、COMMON エリアにて LOCAL レジスタの LOCAL エリアの BANK 設定レジスタバンク値, BANK 許可を設定します。また、その際のピンの仕様（兼用ピンの設定）と、CS/WAIT コントローラでマッピングの設定をします。CPU がその LOCAL エリアの論理アドレスを出力すると、MMU は BANK 設定レジスタの値に従って外部アドレスバス端子へ物理アドレスとを出力します。これにより、外部メモリのアクセスが可能となります。

各 LOCAL エリアごとに設けられた COMMON エリアは、BANK 間の往来時に経由しなければいけないエリアです。例えば、LOCAL2 の BANK0 から BANK6 へプログラムが分岐する場合、BANK0 から一度 COMMON2 へ分岐し、そこから BANK6 へ分岐します。

この COMMON エリアは、物理マップ上 LOCAL エリアのバンクのいずれかに重なりますので、重なるメモリエリアは COMMON エリアとして使用し、BANK エリアとしては使用しないでください。

記号	7	6	5	4	3	2	1	0
LOCAL0 (0350H)	L0E					L0EA22	L0EA21	L0EA20
	R/W					R/W		
	0					0		
	0: 禁止 1: 許可					LOCAL0 エリア BANK 設定		
LOCAL1 (0351H)	L1E					L1EA23	L1EA22	L1EA21
	R/W					R/W		
	0					0		
	0: 禁止 1: 許可					LOCAL1 エリア BANK 設定		
LOCAL2 (0352H)	L2E					L2EA23	L2EA22	L2EA21
	R/W					R/W		
	0					0		
	0: 禁止 1: 許可					LOCAL2 エリア BANK 設定		
LOCAL3 (0353H)	L3E			−	L3EA25	L3EA24	L3EA23	L3EA22
	R/W			R/W	R/W			
	0			0	0			
	0: 禁止 1: 許可			“0” をライトしてください。	LOCAL3 エリア BANK 設定			

図 3.8.4 MMU 制御レジスタ

3.8.4 MMU 動作説明

バンクの使用方法として簡単な例を示します。

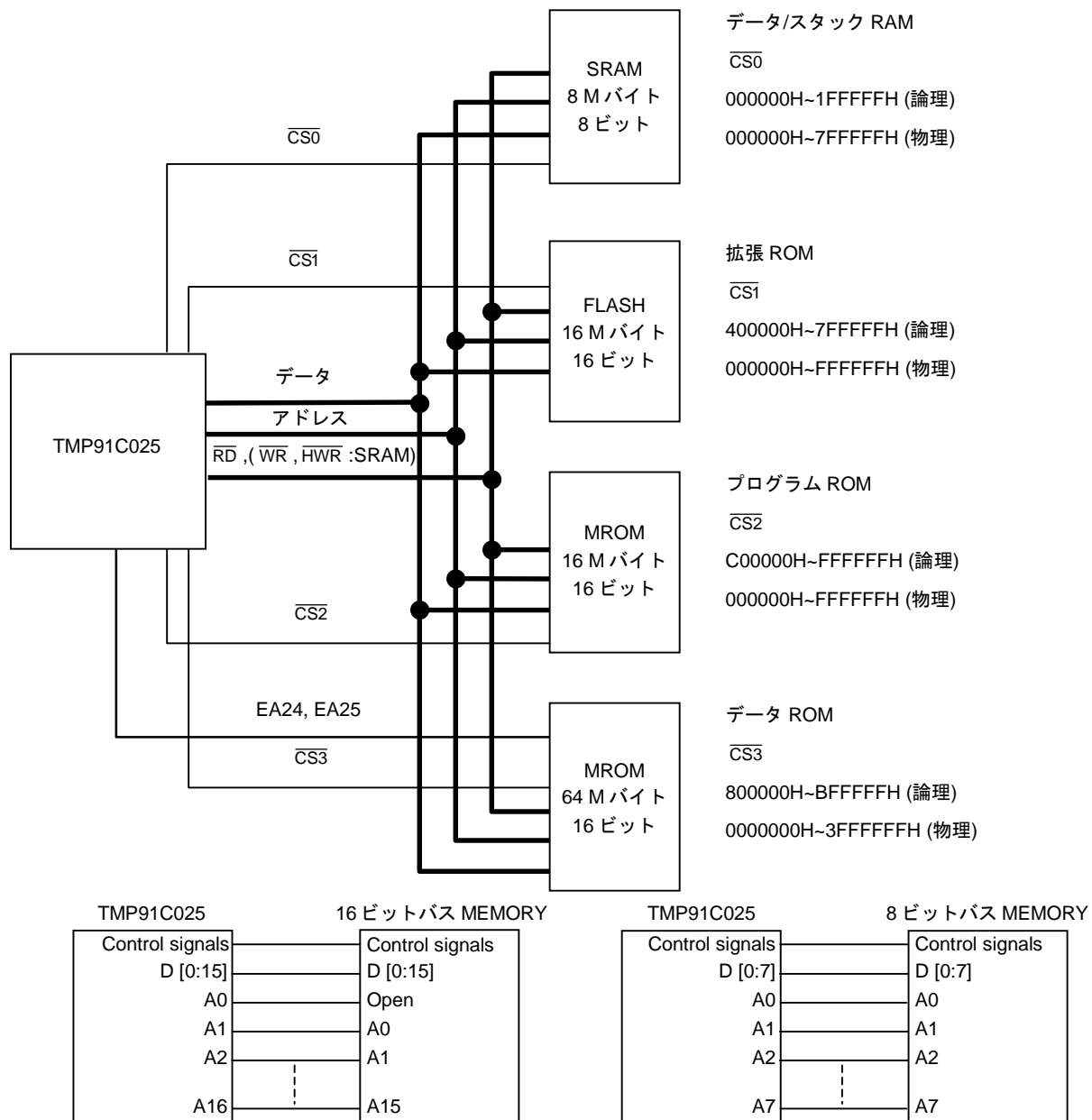



図 3.8.5　メモリとの接続 例

図 3.8.5に TMP91C025 にプログラム ROM (MROM: 16 M バイト) と、データ ROM (MROM: 64 M バイト) と、8 ビットバスのデータ RAM (SRAM: 8 M バイト) と、オプション ROM (Flash: 16 M バイト) を接続した場合の例を示します。

16 ビットバスのメモリには TMP91C025 から出力されるアドレスを一つずつずらして接続し、8 ビットバスのメモリにはそのまま接続します。

ソフトウエア上で管理する論理アドレスと、実際に出力される物理アドレスを示しています。それぞれ RAM を $\overline{\text{CS0}}$ 、FLASH_ROM を $\overline{\text{CS1}}$、プログラム MROM を $\overline{\text{CS2}}$、データ MROM を $\overline{\text{CS3}}$ に割り当てます。ここではデータ MROM を 64 M バイトにて使用するため、EA24 と EA25 を接続します。

リセット後の初期状態では $\overline{\text{CS2}}$ からアクセスされるため、プログラム ROM を $\overline{\text{CS2}}$ に割り当てるのが普通です。それ以外の割り当てはメモリサイズや用途に合わせて、自由に設定できます。

下記に初期設定の例を示します。

```
;初期設定
;CS0
        LD      (MSAR0),00H      ; 論理アドレス領域: 000000H~1FFFFFH
        LD      (MAMR0),FFH      ; 論理アドレス容量: 2 M バイト
        LD      (B0CS),89H       ; 条件: 8 ビット, 1 ウェイト (8 M バイト, SRAM)
;CS1
        LD      (MSAR1),40H      ; 論理アドレス領域: 400000H~7FFFFFH
        LD      (MAMR1),FFH      ; 論理アドレス容量: 4 M バイト
        LD      (B1CS),80H       ; 条件: 16 ビット, 2 ウェイト (16 M バイト, フラッシュ ROM)
;CS2
        LD      (MSAR2),C0H      ; 論理アドレス領域: C00000H~FFFFFFH
        LD      (MAMR2),7FH      ; 論理アドレス容量: 4 M バイト
        LD      (B2CS),C3H       ; 条件: 16 ビット, 0 ウェイト (16 M バイト, MROM)
;CS3
        LD      (MSAR3),80H      ; 論理アドレス領域: 800000H~BFFFFFH
        LD      (MAMR3),7FH      ; 論理アドレス容量: 4 M バイト
        LD      (B3CS),85H       ; 条件: 16 ビット, 3 ウェイト (64 M バイト, MROM)
;CSX
        LD      (BEXCS),00H      ; その他 : 16 ビット, 2 ウェイト (Don't care)
;Port
        LD      (P6FC),3FH       ; CS0 ~ CS3, EA24, EA25 : ポート 6 設定
~
```

BANK 動作 S/W 例 1

$\overline{\text{CS0}}$ には 8 ビットバス, 8 M バイトの RAM が接続されるため、CS/WAIT コントローラにて、8 ビットバス、1_WAIT に設定します。同様に $\overline{\text{CS1}}$ は 16 ビットバス、2_WAIT に、$\overline{\text{CS2}}$ は 16 ビットバス、0_WAIT に、$\overline{\text{CS3}}$ は 16 ビットバス、3_WAIT に設定します。

各チップセレクトに指定するメモリサイズの設定方法は接続するメモリの最大サイズを指定するのではなく、それぞれのローカルエリアおよびコモンエリアのサイズに合わせて、論理アドレスのサイズを設定します。物理アドレスは各エリアのバンクレジスタの設定によって制御します。

次にピンの設定を行います。ポート 60~65 をそれぞれ $\overline{\text{CS0}}$, $\overline{\text{CS1}}$, $\overline{\text{CS2}}$, $\overline{\text{CS3}}$, EA24, EA25 に設定します。

```
;バンク動作
;***** CS2 *****
ORG  000000H              ; プログラム ROM: LOCAL2 の BANK0 の開始アドレス
ORG  200000H              ; プログラム ROM: LOCAL2 の BANK1 の開始アドレス
ORG  400000H              ; プログラム ROM: LOCAL2 の BANK2 の開始アドレス
ORG  600000H              ; プログラム ROM: LOCAL2 の BANK3 の開始アドレス
ORG  800000H              ; プログラム ROM: LOCAL2 の BANK4 の開始アドレス
ORG  a00000H              ; プログラム ROM: LOCAL2 の BANK5 の開始アドレス
ORG  c00000H              ; プログラム ROM: LOCAL2 の BANK6 の開始アドレス

ORG  E00000H              ; プログラム ROM: LOCAL2 の BANK7 (= COMMON2) 開始アドレス
                          ; 論理アドレス E00000H~FFFFFFH
                          ; 物理アドレス 0E00000H~0FFFFFFH
     LD   (LOCAL3),85H    ; LOCAL3 BANK5 設定 14xxxxH
     LDW  HL,(800000H)    ; Load data (5555H) form BANK5 (140000H: 物理アドレス
                                                              of LOCAL3 (CS3))
     LD   (LOCAL3),88H    ; LOCAL3 BANK8 設定 20xxxxH
     LDW  BC,(800000H)    ; Load data (AAAAH) form BANK8 (200000H: 物理アドレス
                                                              of LOCAL3 (CS3))
~
ORG  FFFFFFH              ; プログラム ROM: LOCAL2 の BANK7 (= COMMON2) 終了アドレス
```

```
;***** CS3 *****
ORG  0000000H             ; データ ROM: LOCAL3 の BANK0 の開始アドレス
ORG  0400000H             ; データ ROM: LOCAL3 の BANK1 の開始アドレス
ORG  0800000H             ; データ ROM: LOCAL3 の BANK2 の開始アドレス
ORG  0C00000H             ; データ ROM: LOCAL3 の BANK3 の開始アドレス
ORG  1000000H             ; データ ROM: LOCAL3 の BANK4 の開始アドレス
ORG  1400000H             ; データ ROM: LOCAL3 の BANK5 の開始アドレス
     dw   5555H
~
ORG  1800000H             ; データ ROM: LOCAL3 の BANK6 の開始アドレス
ORG  1C00000H             ; データ ROM: LOCAL3 の BANK7 の開始アドレス
ORG  2000000H             ; データ ROM: LOCAL3 の BANK8 の開始アドレス
     dw   AAAAH
~
```

BANK 動作 S/W 例 2

ここでは、バンクをまたいでデータのやり取りを行う例を示します。上記にソフトウエアの例を載せます。点線で囲ったものがそれぞれのメモリであり、$\overline{\text{CS2}}$に割り当てたプログラム ROM と$\overline{\text{CS3}}$に割り当てたデータ ROM を示しています。プログラムはアドレス E00000H から動き始め、まず LOCAL3 エリアのバンクレジスタに、アクセスしたいアドレスの上位 5 ビットを書き込みます。

このとき、本例では最上位アドレスは EA25 のため、最上位ビットは無意味なビットになり、上位 5 ビット中、4 ビットが 16 個のバンクを意味します。バンク 5 を指定して、$\overline{\text{CS3}}$のローカルエリアである論理アドレス 800000H~BFFFFFH をアクセスすると、物理アドレスは 1400000H~1700000H となってデータ ROM をアクセスします。

```
;バンク動作
;***** CS2 *****
ORG  000000H                    ; プログラム ROM: LOCAL2 の BANK0 の開始アドレス
ORG  200000H                    ; プログラム ROM: LOCAL2 の BANK1 の開始アドレス
     NOP                        ;
~
     JP      E00100H            ; LOCAL2 BANK7 (= COMMON2) へ飛ぶ
ORG  400000H                    ; プログラム ROM: LOCAL2 の BANK2 の開始アドレス
ORG  600000H                    ; プログラム ROM: LOCAL2 の BANK3 の開始アドレス
     NOP                        ;
~
     JP      E00200H            ; LOCAL2 BANK7 (= COMMON2) へ飛ぶ
ORG  800000H                    ; プログラム ROM: LOCAL2 の BANK4 の開始アドレス
ORG  a00000H                    ; プログラム ROM: LOCAL2 の BANK5 の開始アドレス
ORG  c00000H                    ; プログラム ROM: LOCAL2 の BANK6 の開始アドレス

!!!! Program Start !!!!
ORG  E00000H                    ; プログラム ROM: LOCAL2 BANK7 (= COMMON2) 開始アドレス
                                ; 論理アドレス E00000H~FFFFFFH
                                ; 物理アドレス 0E00000H~0FFFFFFH
     LD      (LOCAL2),81H       ; LOCAL2 BANK1 設定 20xxxxH
     JP      C00000H            ; LOCAL2 BANK1 (200000H: 物理アドレス)へ飛ぶ
~
ORG  E00100H
     LD      (LOCAL2),83H       ; LOCAL2 BANK3 設定 60xxxxH
     JP      C00000H            ; LOCAL2 BANK3 (600000H: 物理アドレス) へ飛ぶ
~
ORG  E00200H
     LD      (LOCAL1),84H       ; LOCAL1 BANK4 設定 80xxxxH
     JP      400000H            ; LOCAL1 BANK4 (800000H: 物理アドレス)へ飛ぶ
ORG  FFFFFFH                    ; プログラム ROM: LOCAL2 BANK7 (= COMMON2) 終了アドレス
```

```
;***** CS1 *****
ORG  000000H                    ; プログラム ROM: LOCAL1 の BANK0 の開始アドレス
ORG  200000H                    ; プログラム ROM: LOCAL1 の BANK1 の開始アドレス
ORG  400000H                    ; プログラム ROM: LOCAL1 の BANK2 の開始アドレス
ORG  600000H                    ; プログラム ROM: LOCAL1 BANK3 (= COMMON1) 開始アドレス
     LD      (LOCAL1),87H       ; LOCAL1 BANK7 設定 E0xxxxH
     JP      400000H            ; LOCAL1 BANK7 (E00000H: 物理アドレス) へ飛ぶ
ORG  800000H                    ; プログラム ROM: LOCAL1 の BANK4 の開始アドレス
     NOP                        ;
~
     JP      600000H            ; LOCAL1 BANK3 (= COMMON1) へ飛ぶ
ORG  a00000H                    ; プログラム ROM: LOCAL1 の BANK5 の開始アドレス
ORG  c00000H                    ; プログラム ROM: LOCAL1 の BANK6 の開始アドレス
ORG  E00000H                    ; プログラム ROM: LOCAL1 の BANK7 の開始アドレス
     LD      (LOCAL1),80H       ; LOCAL1 BANK0 設定 00xxxxH
     JP      400000H            ; LOCAL1 BANK0 (000000H: 物理アドレス) へ飛ぶ
```

コモン領域以外でのバンク設定はできません。
プログラムが暴走する可能性があります。

```
ORG  FFFFFFH                    ; プログラム ROM: LOCAL1 の BANK7 の終了アドレス
```

BANK 動作 S/W 例 3

次に、プログラムがジャンプする場合の例を示します。

前例と同様に点線で囲ったものがそれぞれのメモリであり、それぞれ $\overline{CS2}$ に割り当てたプログラム ROM と $\overline{CS1}$ に割り当てたオプション ROM を示しています。プログラムはコモンエリアであるアドレス E00000H から動き始め、まず LOCAL2 エリアのバンクレジスタに、分岐したいアドレスの上位 3 ビットを書き込みます。

バンク 1 を指定して、$\overline{CS2}$ のローカルエリアである論理アドレス C00000H~DFFFFFH へジャンプすると、物理アドレスは 200000H~3FFFFFH となってジャンプします。元のコモンエリアへ戻る場合は、LOCAL2 エリアのバンクレジスタへの書き込みは不要で、直接コモンエリアのアドレス E00000H~FFFFFFH にジャンプすれば戻ることができます。

バンクレジスタの設定の仕方によっては、バンクアドレスとコモンアドレスが重なる設定も可能となってしまいます。コモンエリアを示す論理アドレスが 2 種類以上存在すると、バンクの管理が混乱する恐れがありますので、バンクアドレスとコモンアドレスが重なる場合のバンクは使用しないことをお勧めします。

$\overline{CS}$ をまたいでジャンプする際も同様に設定します。ジャンプしたい LOCAL1 エリアのバンクレジスタに、ジャンプ先アドレスの上位 3 ビットを書き込みます。

バンク 4 を指定して、$\overline{CS1}$ のローカルエリアである論理アドレス 400000H~5FFFFFH へジャンプすると、物理アドレスは 800000H~9FFFFFH となってジャンプします。

ここで注意する点ですが、バンクからバンクへ移動するときは必ずコモンエリアを経由することが必要です (バンクレジスタへのバンク書き込みはコモンエリアのみで行い、バンクエリア内では行わない)。バンクエリア内でバンク情報を書き替えると、書き替えた直後にバンクが切り替わろうとしてしまうため、プログラムは暴走してしまいます。

3.9 シリアルチャネル (SIO)

シリアル入出力を 2 チャネル内蔵しています。それぞれ SIO0, SIO1 と呼びます。各チャネルは、下記に示すように UART モード (非同期通信) および I/O インタフェースモード (同期通信) を選択できます。

- I/Oインタフェースモード ―― モード0: I/Oを拡張するためのI/Oデータの送受信とその同期信号 (SCLK) の送受信を行うモード
- UART (非同期通信) モード
  - モード1: 送受信データ長 7ビット
  - モード2: 送受信データ長 8ビット
  - モード3: 送受信データ長 9ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を持っています。

図 3.9.1, 図 3.9.2に、SIO0, SIO1 のブロック図を示します。

各チャネルは主にプリスケーラ, シリアルクロック生成回路, 受信バッファとその制御回路, 送信バッファとその制御回路で構成されています。

各チャネルは、それぞれ独立に動作します。いずれのチャネルも下記に示す表 3.9.1の仕様相違点を除いて同一の動作をしますので、SIO0 の場合についてのみ説明します。

表 3.9.1 SIO のチャネル別仕様相違点

	SIO0	SIO1
対応端子	TXD0 (PC0) RXD0 (PC1) $\overline{\text{CTS0}}$ /SCLK0 (PC2)	TXD1 (PC3) RXD1 (PC4) $\overline{\text{CTS1}}$ /SCLK1 (PC5)
IrDA モード	あり	なし

本章は下記のような構成になっています。

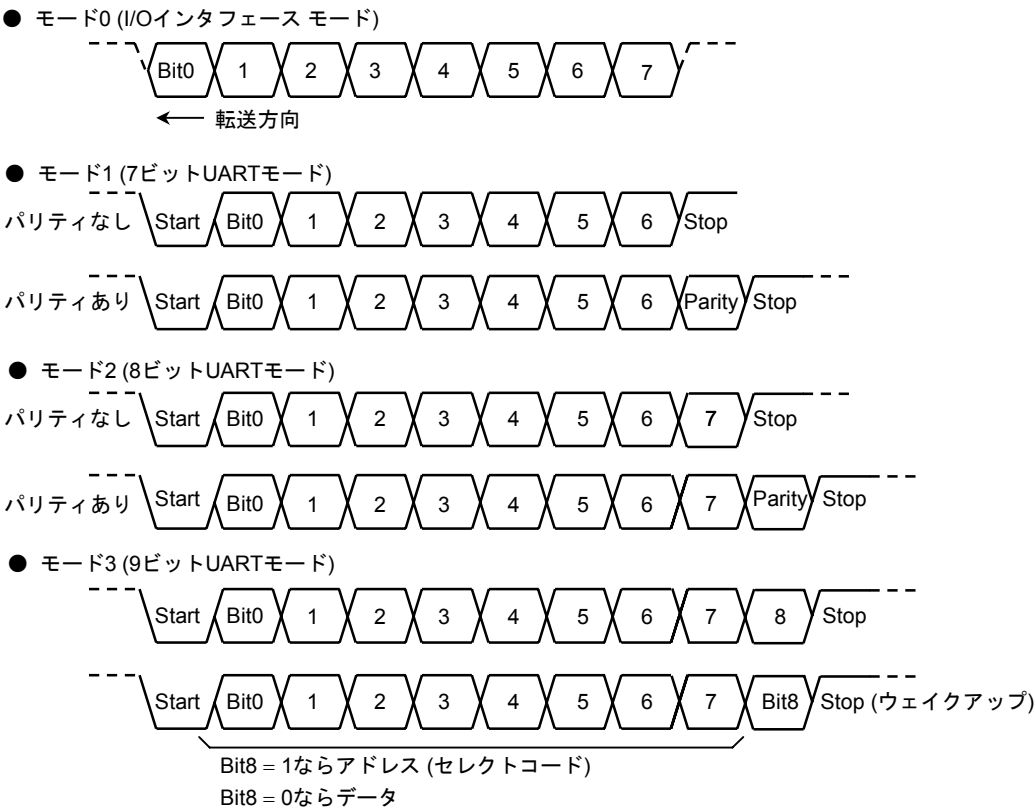



図 3.9.1　データフォーマット

3.9.1 チャネル別のブロック図

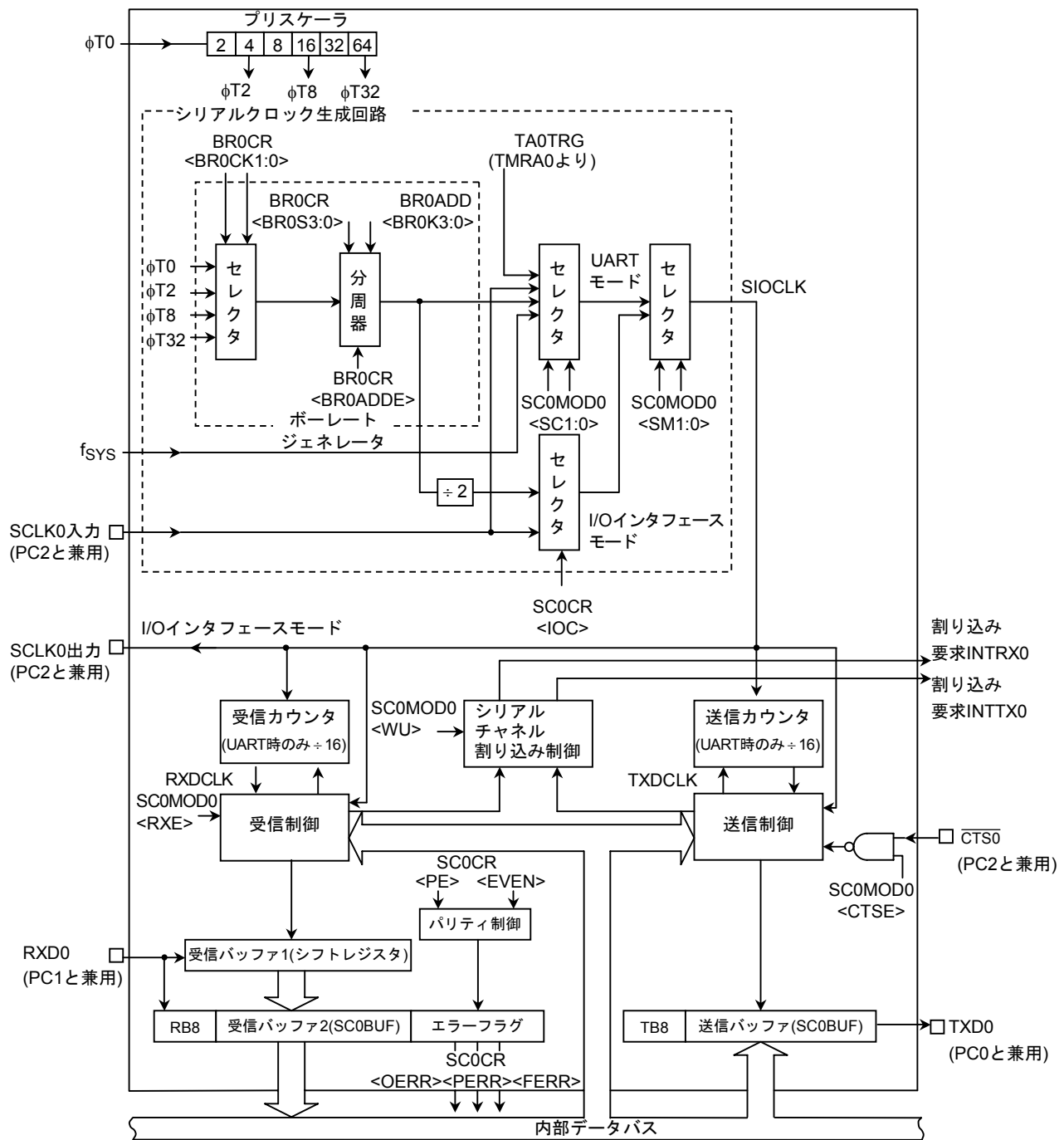



図 3.9.2 SIO0 ブロック図

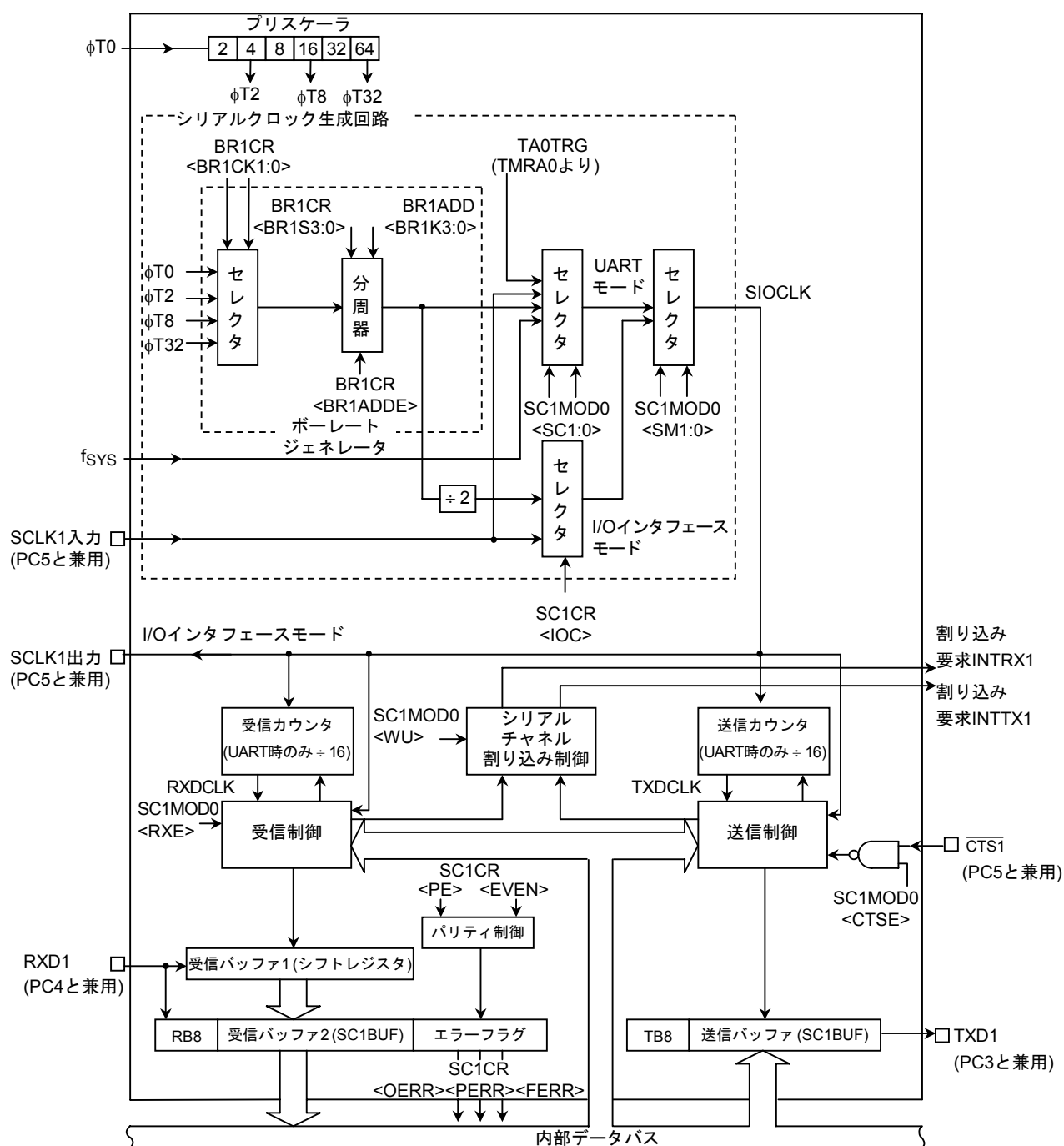



図 3.9.3 SIO1 ブロック図

3.9.2 回路別の動作説明

(1) プリスケーラ

SIO0 の動作クロックを生成するために、6 ビットプリスケーラがあります。プリスケーラの入力クロックφT0 は、クロックギア部の SYSCR<PRCK1:0> にて選択したクロックを 4 分周したクロックです。

プリスケーラは、シリアル転送クロックにボーレートジェネレータを選択した場合にのみ、動作します。プリスケーラ出力クロックの分解能を表 3.9.2に示します。

表 3.9.2 ボーレートジェネレータへの入力クロック分解能

システム クロック選択 <SYSCK>	プリスケーラ用 クロック選択 <PRCK1:0>	クロック ギア値 <GEAR2:0>	入力クロック分解能			
			φT0	φT2	φT8	φT32
1 (fs)	00 (f_{FPH})	XXX	$fs/2^{2}$	$fs/2^{4}$	$fs/2^{6}$	$fs/2^{8}$
0 (fc)		000 (fc)	$fc/2^{2}$	$fc/2^{4}$	$fc/2^{6}$	$fc/2^{8}$
		001 (fc/2)	$fc/2^{3}$	$fc/2^{5}$	$fc/2^{7}$	$fc/2^{9}$
		010 (fc/4)	$fc/2^{4}$	$fc/2^{6}$	$fc/2^{8}$	$fc/2^{10}$
		011 (fc/8)	$fc/2^{5}$	$fc/2^{7}$	$fc/2^{9}$	$fc/2^{11}$
		100 (fc/16)	$fc/2^{6}$	$fc/2^{8}$	$fc/2^{10}$	$fc/2^{12}$
	10 (fc/16 クロック)	XXX	–	$fc/2^{8}$	$fc/2^{10}$	$fc/2^{12}$

XXX: Don’t care、 –: 使用不可

シリアルインタフェースボーレートジェネレータには、プリスケーラ出力クロックより φT0, φT2, φT8, φT32 の 4 種類のクロックが用いられます。

(2) ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは、6 ビットプリスケーラより ϕT0, ϕT2, ϕT8, ϕT32 を用います。この入力クロックの選択は、ボーレートジェネレータコントロールレジスタ BR0CR<BR0CK1:0> で設定します。

ボーレートジェネレータは、1, N + (16 – K)/16, 16 分周が可能な分周器を内蔵しており、BR0CR<BR0ADDE><BR0S3:0>、BR0ADD<BR0K3:0>の設定に従って分周を行い、転送速度を決定します。

- UART モードの場合

(1) BR0CR<BR0ADDE> = 0 の場合

BR0ADD<BR0K3:0> の設定は無視され、BR0CR<BR0S3:0> に設定された値 “N” に従い、N 分周を行います。(N = 1, 2, 3 … 16)

(2) BR0CR<BR0ADDE> = 1 の場合

N + (16 – K)/16 分周機能がイネーブルになり、BR0CR<BR0S3:0> に設定された値 “N” (N = 2, 3 … 15)、BR0ADD<BR0K3:0> に設定された値 “K” (K = 1, 2, 3 … 15) に従い、N + (16 – K)/16 分周を行います。

注) N = 1 および 16 のときは N + (16 – K)/16 分周機能は禁止となりますので、必ず BR0CR<BR0ADDE> = “0” に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は、N + (16 – K)/16 分周機能は使用できません。必ず BR0CR<BR0ADDE> = “0” に設定して N 分周を行ってください。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

- UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

- I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

- 整数分周 (N 分周) の場合

  fc = 12.288 MHz で入力クロックϕT2、分周値 “N” (BR0CR<BR0S3:0>) = 5、BR0CR<BR0ADDE> = “0”の場合の UART モードのボーレートは、

  * クロック条件
  - システムクロック: 高速 (fc)
  - 高速クロックギア: 1 倍 (fc)
  - プリスケーラクロック: f_{FPH}

  $$\text{ボーレート} = \frac{fc/16}{5} \div 16$$

  $= 12.288 \times 10^6 \div 16 \div 5 \div 16 = 9600$ (bps) となります。

  注) + (16 – K)/16 分周機能は禁止に設定されるため、BR0ADD<BR0K3:0>の設定は無視されます。

- N + (16 – K)/16 分周 (UART モードのみ) の場合

  fc = 4.8 MHz で入力クロックϕT0、分周値 “N” (BR0CR<BR0S3:0>) = 7、“K” (BR0ADD<BR0K3:0>) = 3、BR0CR<BR0ADDE> = 1 の場合のボーレートは、

  * クロック条件
  - システムクロック: 高速 (fc)
  - 高速クロックギア: 1 倍 (fc)
  - プリスケーラクロック: f_{FPH}

  $$\text{ボーレート} = \frac{fc/4}{7 + \frac{(16-3)}{16}} \div 16$$

  $= 4.8 \times 10^6 \div 4 \div \left(7 + \frac{13}{16}\right) \div 16 = 9600$ (bps) となります。

  表 3.9.3~表 3.9.4に UART モードのボーレートの例を示します。

  また、外部クロック入力をシリアルクロックに使用することもできます (シリアルチャネル 0~1)。この場合のボーレートの算出方法を示します。

  - UART モード

    ボーレート = 外部クロック入力 ÷ 16

    ただし、(外部クロック入力周期) ≧ 4/fc を満たす必要があります。

  - I/O インタフェースモード

    ボーレート = 外部クロック入力

    ただし、(外部クロック入力周期) ≧ 16/fc を満たす必要があります。

表 3.9.3　UART ボーレートの選択
(ボーレートジェネレータ使用、BR0CR<BR0ADDE> = 0 の場合)

単位 (kbps)

fc [MHz]	入力クロック ＼ 分周値 N (BR0CR<BR0S3:0>に設定)	φT0	φT2	φT8	φT32
9.830400	2	76.800	19.200	4.800	1.200
↑	4	38.400	9.600	2.400	0.600
↑	8	19.200	4.800	1.200	0.300
↑	0	9.600	2.400	0.600	0.150
12.288000	5	38.400	9.600	2.400	0.600
↑	A	19.200	4.800	1.200	0.300
14.745600	2	115.200			
↑	3	76.800	19.200	4.800	1.200
↑	6	38.400	9.600	2.400	0.600
↑	C	19.200	4.800	1.200	0.300

注 1)　I/O インタフェースモード時の転送レートは、本表の値の 8 倍になります。

注 2)　本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケーラ用クロックとして f_{FPH} を選択した場合の値です。

表 3.9.4　UART ボーレートの選択
(タイマ TMRA0 のトリガ出力使用, タイマ TMRA0 の入力クロックがφT1 の場合)

単位 (kbps)

fc ＼ TA0REG0	12.288 MHz	12 MHz	9.8304 MHz	8 MHz	6.144 MHz
1H	96		76.8	62.5	48
2H	48		38.4	31.25	24
3H	32	31.25			16
4H	24		19.2		12
5H	19.2				9.6
8H	12		9.6		6
AH	9.6				4.8
10H	6		4.8		3
14H	4.8				2.4

ボーレートの算出方法 (タイマ TMRA0 を使用した場合)

$$\text{転送レート} = \frac{\text{SYSCR0<PRCK1:0>で選択されたクロック周波数}}{\text{TA0REG} \times \underline{8} \times 16}$$

↑ 8：(タイマ TMRA0 の入力クロックがφT1 の場合)

注 1)　I/O インタフェースモードでは、タイマ TMRA0 からのトリガ信号を転送クロックとして使用できません。

注 2)　本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケーラ用クロックとして f_{FPH} を選択した場合の値です。

(3) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インタフェースモードの場合

  SC0CR<IOC> = "0" の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

  SC0CR<IOC> = "1" の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

- UART モードの場合

  SC0MOD0<SC1:0> の設定により、前記ボーレートジェネレータからのクロックか、システムクロック f_{SYS} か、タイマ TMRA0 のトリガ出力信号か、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK をつくります。

(4) 受信カウンタ

受信カウンタは、UART モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 発用いられ 7, 8, 9 発目でデータをサンプリングします。

3 回のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9 発目のクロックで、データが 1, 0, 1 であれば受信データは "1" と判断され、0, 0, 1 であれば "0" と判断されます。

(5) 受信制御部

- I/O インタフェースモードの場合

  SC0CR<IOC> = "0" の SCLK 出力モードのときは、SCLK0 端子へ出力されるシフトクロックの立ち上がりで RXD0 端子をサンプリングします。

  SC0CR<IOC> = "1" の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

- UART モードの場合

  受信制御部は多数決論理によるスタートビット検出回路を持ち、3 回のサンプリング中 2 回以上 "0" であれば正常なスタートビットと判断し、受信動作を開始します。

  データ受信中も、多数決論理により受信データを判断しています。

(6) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1 (シフトレジスタ型) に受信データが 1 ビットずつ格納され、7 ビットまたは 8 ビットのデータがそろうと、もう一方の受信バッファ 2 (SC0BUF) へ移されるとともに割り込み INTRX0 が発生します。

CPU は受信バッファ 2 (SC0BUF) を読み出します。CPU が受信バッファ 2 (SC0BUF) を読み出す前でも、受信データは受信バッファ 1 へ格納することができます。

ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC0BUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SC0CR<RB8>の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは、SC0CR<RB8> に格納されます。

9 ビット UART の場合、SC0MOD0<WU>を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8> = “1” のときのみ、割り込み INTRX0 が発生します。

(7) 送信カウンタ

送信カウンタは UART モードで用いられる 4 ビットのバイナリカウンタです。受信カウンタ同様、SIOCLK でカウントされ、16 発ごとに送信クロック TXDCLK を生成します。

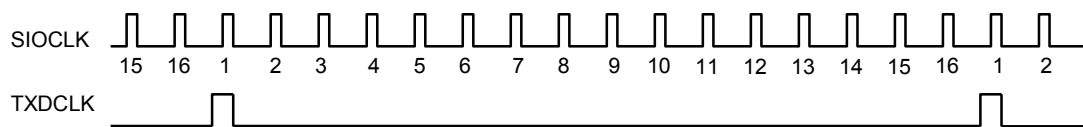



図 3.9.4　送信クロックの生成

(8) 送信制御部

- I/O インタフェースモードの場合

  SC0CR<IOC> = “0” の SCLK 出力モードのときは、SCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

  SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

- UART モード

  送信バッファに CPU から送信データが書き込まれると次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック TXDSFT をつくります。

ハンドシェイク機能

シリアルチャネル 0, 1 は $\overline{\text{CTS}}$ 端子を持っており､この端子を使用することにより 1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は SC0MOD<CTSE> によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS0}}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、$\overline{\text{CTS0}}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、$\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき (受信割り込みルーチン内) に $\overline{\text{RTS}}$ 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

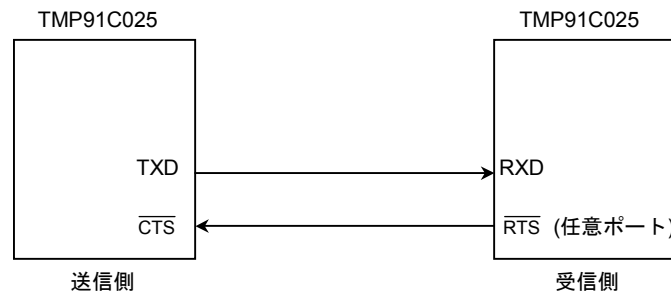
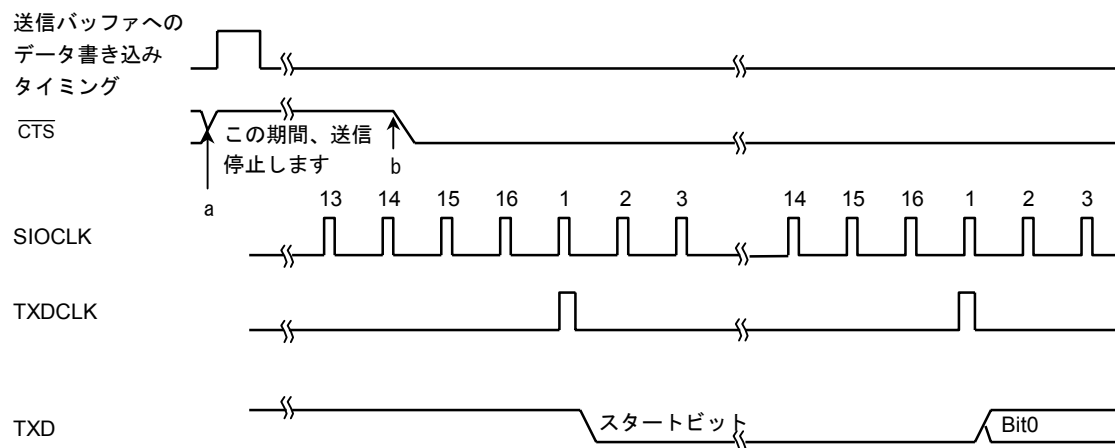



図 3.9.5 ハンドシェイク機能

注) a. 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

b. $\overline{\text{CTS}}$ 信号立ち下がり後、最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 3.9.6 $\overline{\text{CTS}}$ (Clear to send) 信号のタイミング

(9) 送信バッファ

送信バッファ SC0BUF は、CPU より書き込まれた送信データを送信制御部で生成される送信シフトクロック TXDSFT により、最下位ビットから順にシフトアウトし送出されます。全ビットシフトアウトされると、送信バッファエンプティで INTTX0 割り込みが発生します。

(10) パリティ制御回路

シリアルチャネルコントロールレジスタ SC0CR<PE> を “1” にすると、パリティ付加の送信を行います。ただし、7 ビット UART または 8 ビット UART モードのみパリティ付加が可能です。SC0CR<EVEN> レジスタによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ SC0BUF に書き込まれたデータにより自動的にパリティを発生し、7 ビット UART モードのときは SC0BUF<TB7> に、8 ビット UART モードのときは SC0MOD0<TB8>に、パリティを格納して送信します。なお、<PE> と <EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2 (SC0BUF) に移されたデータによりパリティを自動発生し、7 ビット UART モードのときは、SC0BUF<RB7> のパリティと、8 ビット UART モードのときは、SC0CR<RB8> のパリティとが比較され、異なっているとパリティエラーが発生し、SC0CR<PERR> フラグがセットされます。

(11) エラーフラグ

受信データの信頼性を上げるために、3 つのエラーフラグが用意されています。

1. オーバランエラー <OERR>

   受信バッファ 2 (SC0BUF) に有効データが格納されている状態で、受信バッファ 1 に次のデータが全ビット受信されるとオーバランエラーが発生します。

   - オーバーランエラー発生時の処理フロー例を下記に示します。
     1) 受信バッファのリード
     2) エラーフラグのリード
     3) if <OERR> = 1 then
        a) 受信禁止に設定 (<RXE>に “0” をライト)
        b) 現フレームの終了待ち
        c) 受信バッファのリード
        d) エラーフラグのリード
        e) 受信許可に設定 (<RXE>に “1” をライト)
        f) 再送信要求
     4) その他の処理

2. パリティエラー<PERR>

   受信バッファ 2 (SC0BUF) に移されたデータから発生したパリティと、RXD 端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

3. フレーミングエラー<FERR>

   受信データのストップビットを中央付近で 3 回サンプリングし、多数決した結果が “0” の場合、フレーミングエラーが発生します。

(12) 各信号発生タイミング

a.　UART モードの場合

受信

モード	9ビット	8ビット＋パリティ	8ビット, 7ビット＋パリティ, 7ビット
割り込み発生タイミング	最終ビット (ビット8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	−	最終ビット (パリティビット) の中央付近	←
オーバランエラー発生タイミング	最終ビット (ビット8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近

注)9 ビットモード,8 ビット＋パリティモードでは、割り込みは 9 ビット目と同時に発生します。そのため、割り込み発生後、1 ビット転送分(ストップビットが転送されるまで)時間をおいてフレーミングエラーのチェックをしてください。

送信

モード	9ビット	8ビット＋パリティ	8ビット, 7ビット＋パリティ, 7ビット
割り込み発生タイミング	ストップビット送出の直前	←	←

b.　I/O インタフェースモードの場合

送信割り込み発生タイミング	SCLK 出力モード	最終 SCLK の立ち上がり直後 (図 3.9.19参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード), 立ち下がりモードでは立ち下がり直後 (図 3.9.20を参照)
受信割り込み発生タイミング	SCLK 出力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 3.9.21を参照)
	SCLK 入力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 3.9.22を参照)

3.9.3 SFR 説明

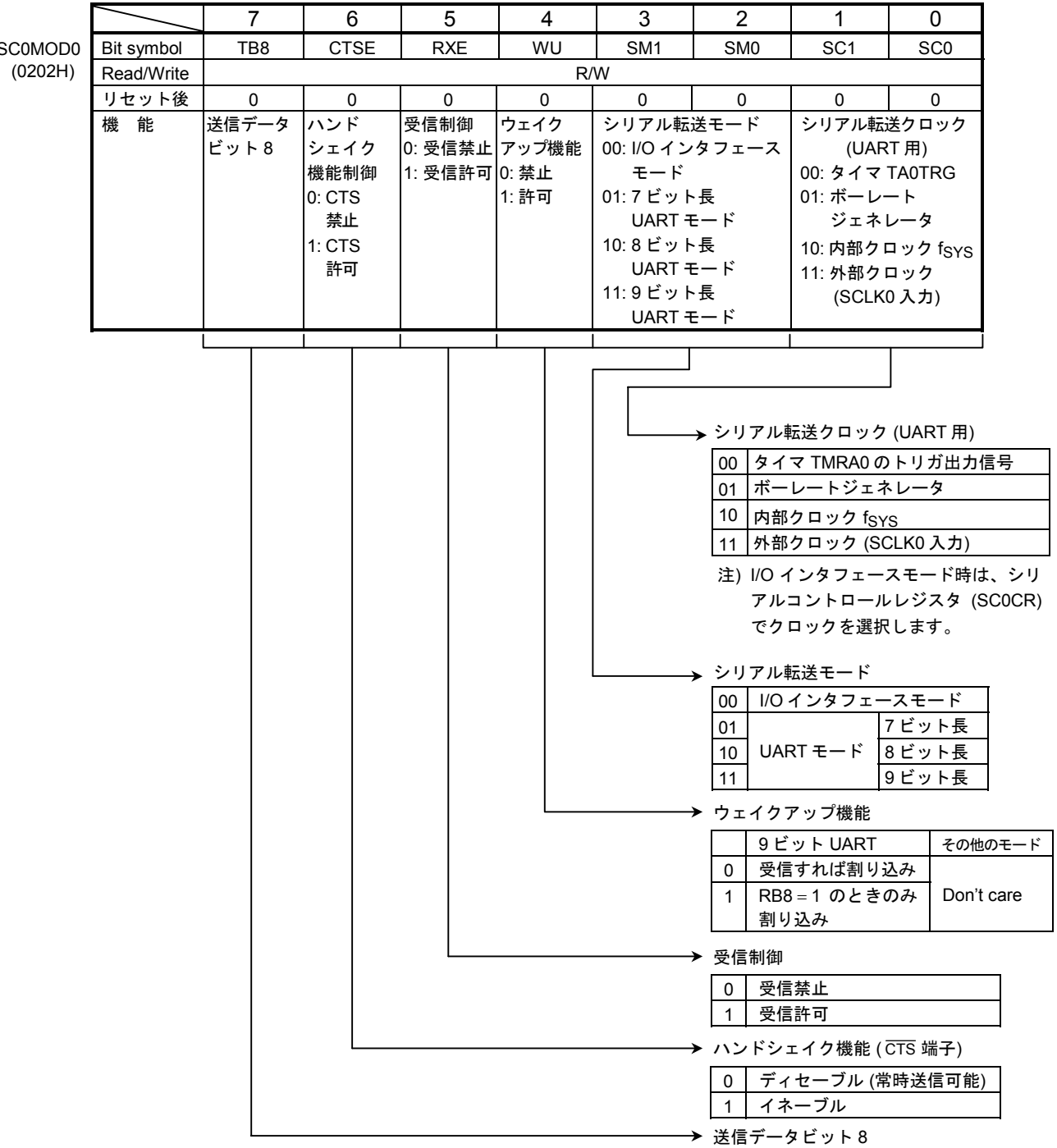



図 3.9.7 シリアルモードコントロールレジスタ (SIO0 用、SC0MOD0)

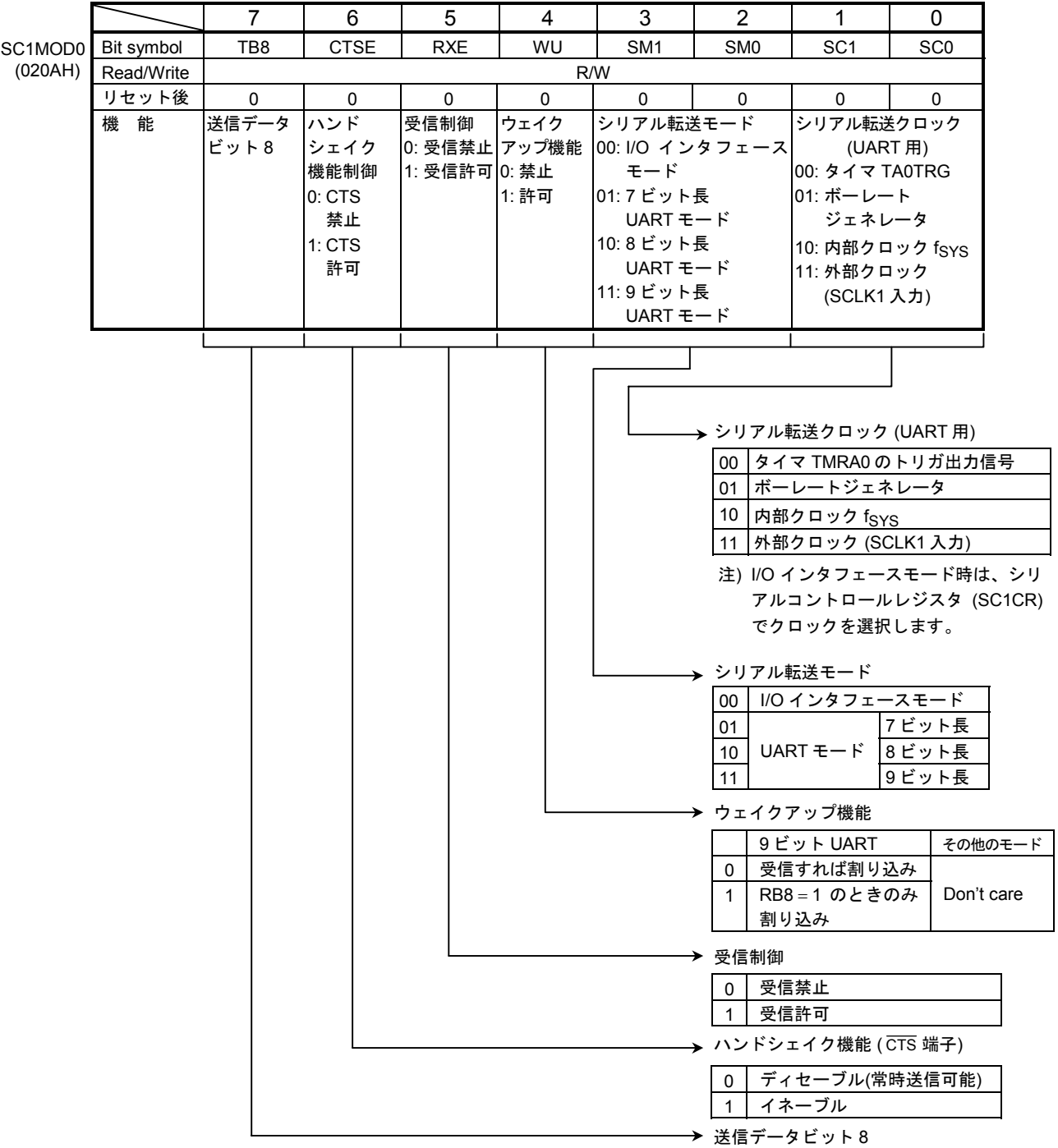



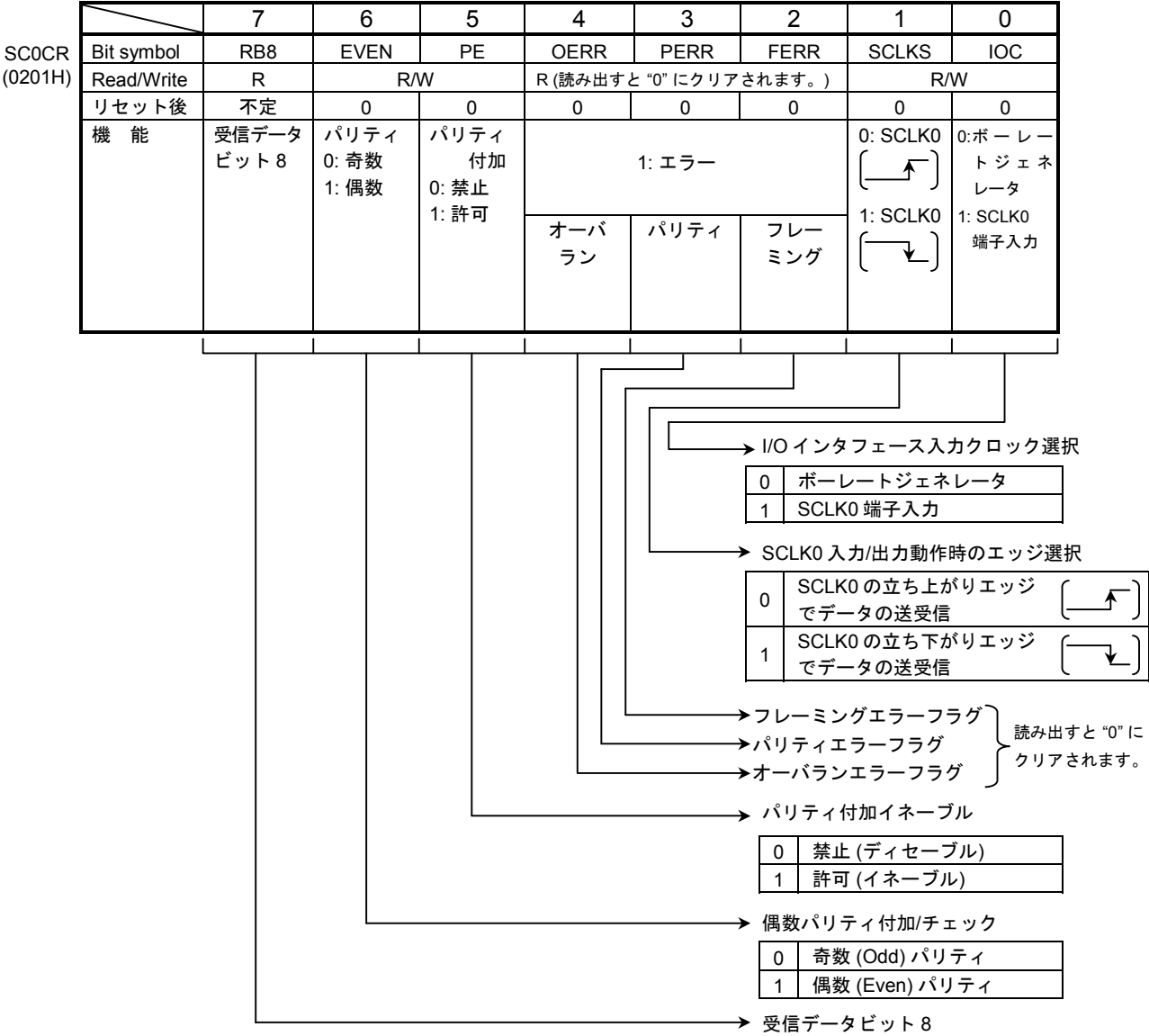
図 3.9.8　シリアルモードコントロールレジスタ (SIO1 用、SC1MOD)

注)　エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

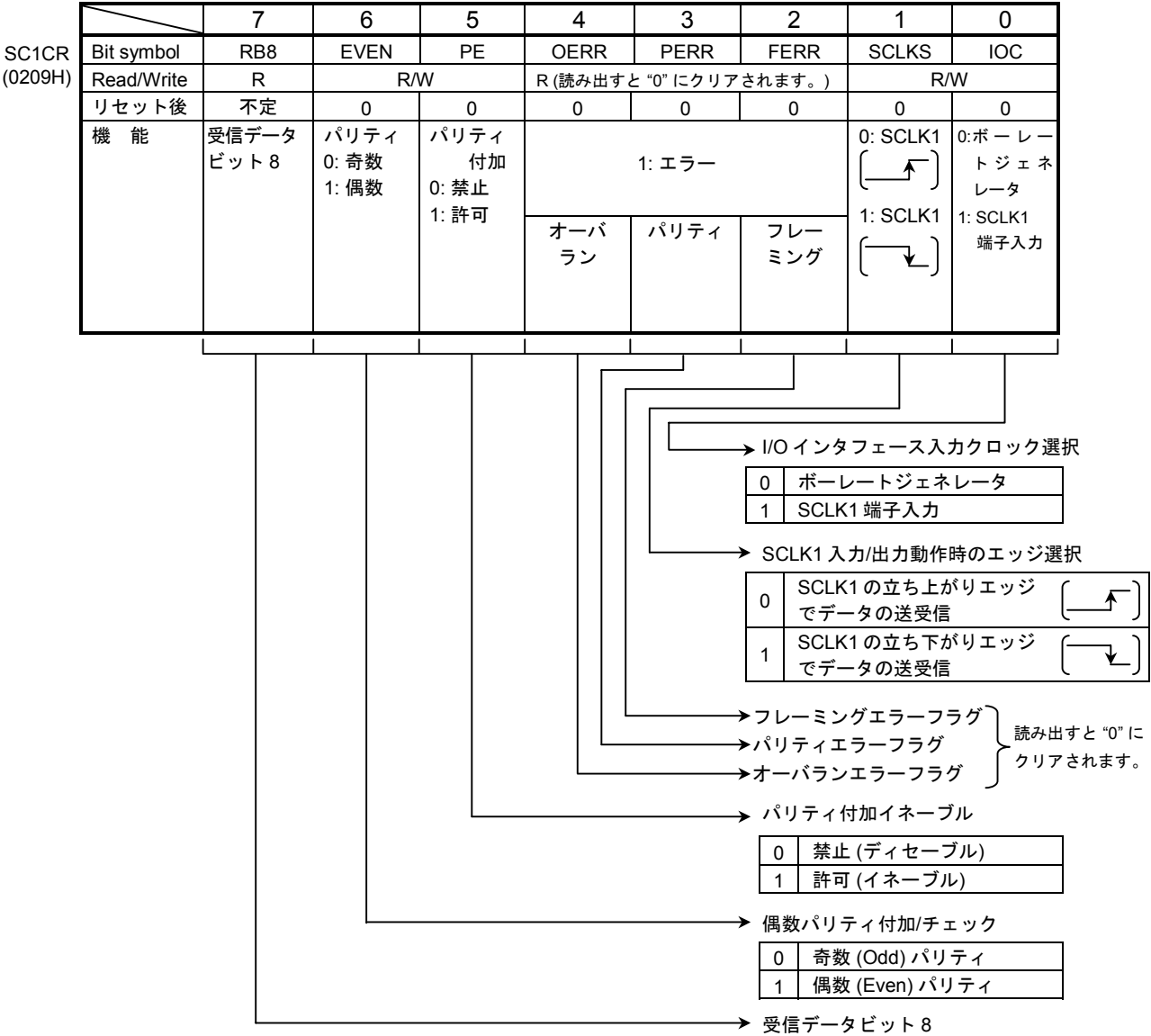
図 3.9.9　シリアルコントロールレジスタ (SIO0 用、SC0CR)

注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

図 3.9.10 シリアルコントロールレジスタ (SIO1 用、SC1CR)

BR0CR (0203H)

	7	6	5	4	3	2	1	0
Bit symbol	–	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	“0” をライトしてください。	+ (16 – K)/16 分周機能 0: 禁止 1: 許可	00: φT0 01: φT2 10: φT8 11: φT32		分周値 N の設定			

+ (16 – K)/16 分周機能イネーブル

0	禁止 (ディセーブル)
1	許可 (イネーブル)

ボーレートジェネレータの入力クロックの選択

00	内部クロック φT0
01	内部クロック φT2
10	内部クロック φT8
11	内部クロック φT32

BR0ADD (0204H)

	7	6	5	4	3	2	1	0
Bit symbol					BR0K3	BR0K2	BR0K1	BR0K0
Read/Write					R/W			
リセット後					0	0	0	0
機　能					N + (16 – K)/16 分周の K 値の設定			

ボーレートジェネレータの分周値の設定

BR0ADD <BR0K3:0> \ BR0CR <BR0S3:0>	BR0CR<BR0ADDE> = 1: 0000 (N = 16) or 0001 (N = 1)	BR0CR<BR0ADDE> = 1: 0010 (N = 2) ~ 1111 (N = 15)	BR0CR<BR0ADDE> = 0: 0001 (N = 1) (UART のみ) ~ 1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止	N 分周
0001 (K = 1) ~ 1111 (K = 15)	禁止	N + $\frac{(16-K)}{16}$ 分周	N 分周

注)　N + (16 – K)/16 分周の使用可否

N	UART モード	I/O モード
2~15	○	×
1, 16	×	×

+ (16 – K)/16 分周機能を使用する場合、必ず BR0ADD<BR0K3:0>に K 値 (K = 1~15) を設定した後に BR0CR<BR0ADDE> = “1” を設定してください。

図 3.9.11　ボーレートジェネレータコントロール (SIO0 用、BR0CR, BR0ADD)

BR1CR (020BH)

	7	6	5	4	3	2	1	0
Bit symbol	–	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	"0" をライトしてください。	+ (16 – K)/16 分周機能 0: 禁止 1: 許可	00: ϕT0 01: ϕT2 10: ϕT8 11: ϕT32		分周値 N の設定			

+ (16 – K)/16 分周機能イネーブル

0	禁止 (ディセーブル)
1	許可 (イネーブル)

ボーレートジェネレータの入力クロックの選択

00	内部クロック ϕT0
01	内部クロック ϕT2
10	内部クロック ϕT8
11	内部クロック ϕT32

BR1ADD (020CH)

	7	6	5	4	3	2	1	0
Bit symbol					BR1K3	BR1K2	BR1K1	BR1K0
Read/Write					R/W			
リセット後					0	0	0	0
機　能					N + (16 – K)/16 分周の K 値の設定			

ボーレートジェネレータの分周値の設定

BR1ADD <BR1K3:0> \ BR1CR <BR1S3:0>	BR1CR<BR1ADDE> = 1		BR1CR<BR1ADDE> = 0
	0000 (N = 16) or 0001 (N = 1)	0010 (N = 2) ~ 1111 (N = 15)	0001 (N = 1) (UART のみ) ~ 1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止	N 分周
0001 (K = 1) ~ 1111 (K = 15)	禁止	N + $\frac{(16-K)}{16}$ 分周	

注)　N + (16 – K)/16 分周の使用可否

N	UART モード	I/O モード
2~15	○	×
1, 16	×	×

+ (16 – K)/16 分周機能を使用する場合、必ず BR1ADD<BR1K3:0>に K 値 (K = 1~15) を設定した後に BR1CR<BR1ADDE> = "1" を設定してください。

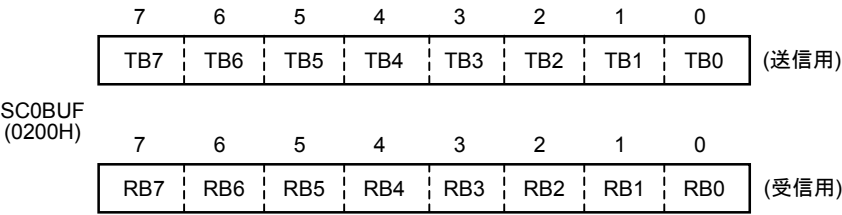
図 3.9.12　ボーレートジェネレータコントロール (SIO1 用、BR1CR, BR1ADD)

注) SC0BUF はリードモディファイライトできません。

図 3.9.13 シリアル送受信バッファレジスタ (SIO0 用、SC0BUF)

SC0MOD1 (0205H)

	7	6	5	4	3	2	1	0
Bit symbol	I2S0	FDPX0						
Read/Write	R/W	R/W						
リセット後	0	0						
機　能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

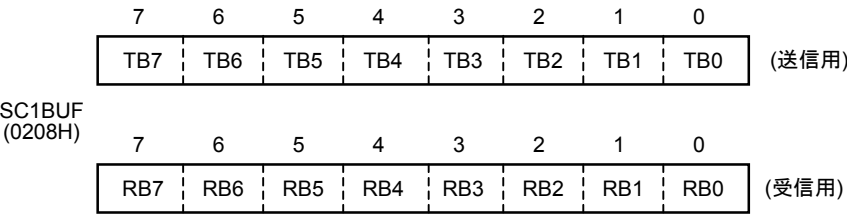
図 3.9.14 シリアルモードコントロールレジスタ 1 (SIO0 用、SC0MOD1)

注) SC1BUF はリードモディファイライトできません。

図 3.9.15 シリアル送受信バッファレジスタ (SIO1 用、SC1BUF)

SC1MOD1 (020DH)

	7	6	5	4	3	2	1	0
Bit symbol	I2S1	FDPX1						
Read/Write	R/W	R/W						
リセット後	0	0						
機　能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.9.16 シリアルモードコントロールレジスタ 1 (SIO1 用、SC1MOD1)

3.9.4　モード別動作説明

(1)　モード 0 (I/O インタフェース モード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフト レジスタなどとデータの送受信を行います。

このモードには同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

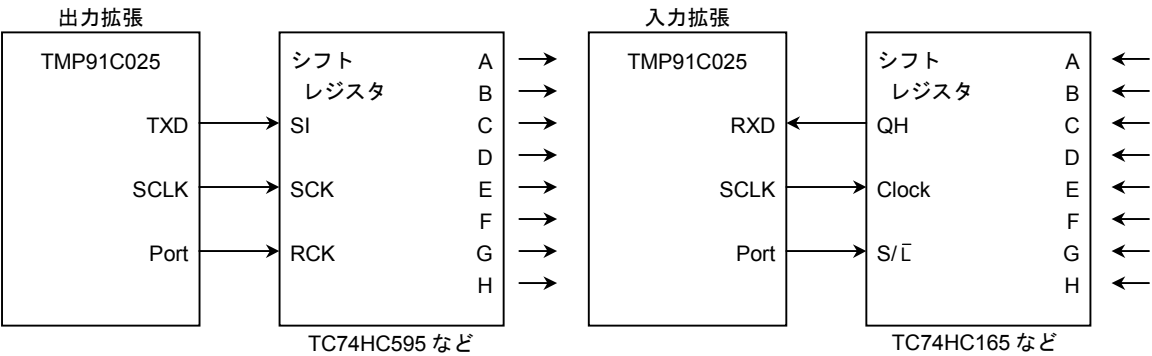



図 3.9.17　SCLK 出力モード接続例

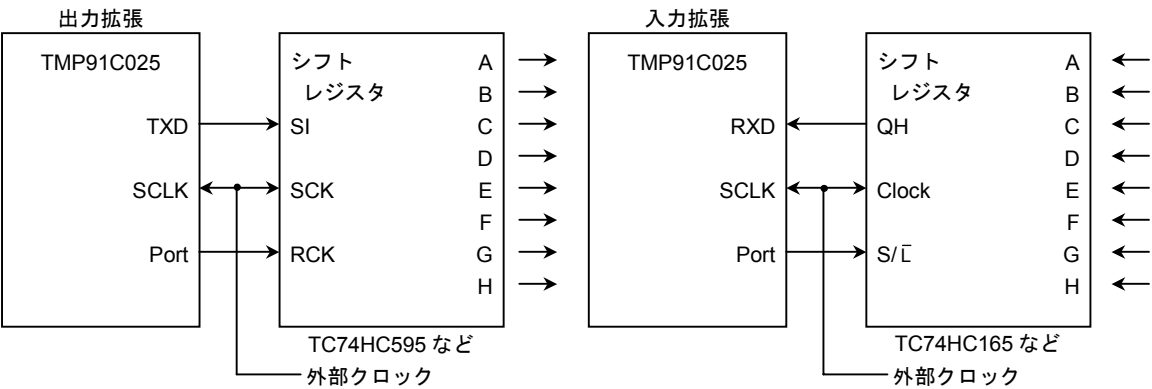



図 3.9.18　SCLK 入力モード接続例

a. 送信

SCLK 出力モードでは CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると INTES0<ITX0C>がセットされ､割り込み INTTX0 が発生します。

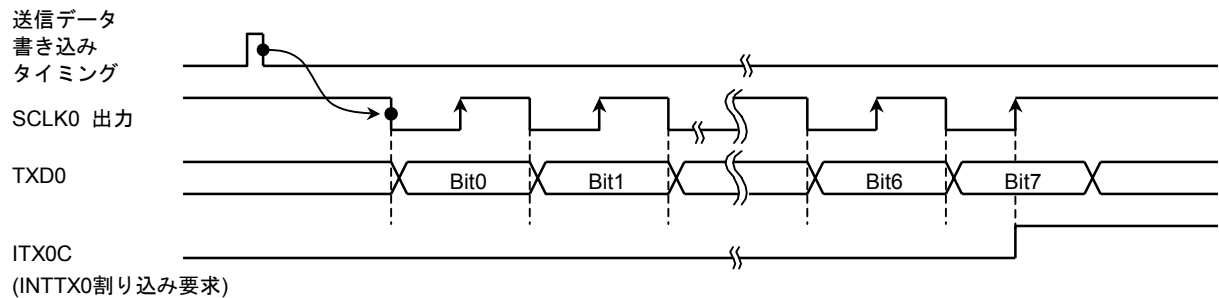



図 3.9.19 I/O インタフェース モード送信動作 (SCLK0 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータが書き込まれている状態で SCLK0 入力がアクティブになると、8 ビットのデータが TXD0 端子より出力されます。

データがすべて出力されると INTES0<ITX0C>がセットされ、割り込み INTTX0 が発生します。

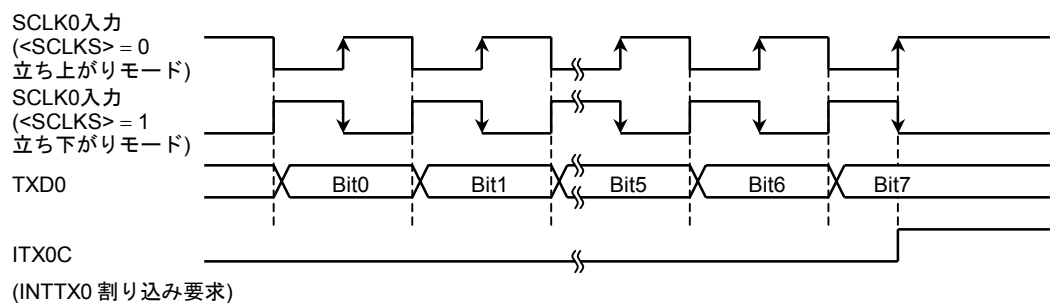



図 3.9.20 I/O インタフェースモード送信動作 (SCLK0 入力モード)

b. 受信

SCLK 出力モードでは、受信データが CPU に読み取られ、受信割り込みフラグ INTES0<IRX0C> がクリアされるたびに､SCLK0 端子より同期クロックが出力され､次のデータが受信バッファ 1 にシフトインされます｡8 ビットデータが受信されると､データは受信バッファ 2 (SC0BUF) に移され、再び INTES0<IRX0C>がセットされて、割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、SC0MOD0<RXE>を “1” にセットすることで行います。

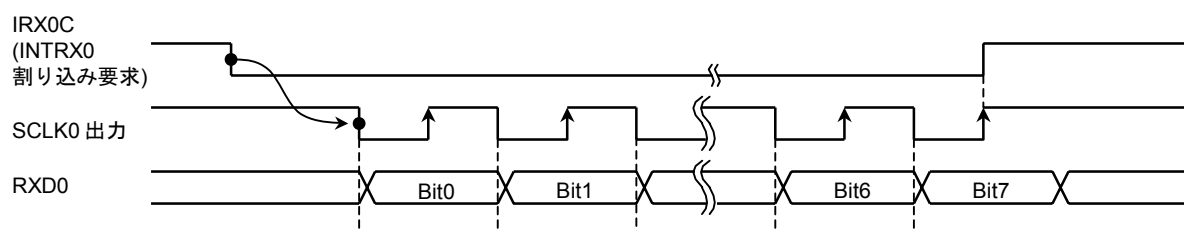



図 3.9.21 I/O インタフェースモード受信動作 (SCLK0 出力モード)

SCLK 入力モードでは受信データが CPU に読み取られ、受信割り込みフラグ INTES0<IRX0C> がクリアされている状態で SCLK0 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0<IRX0C> がセットされて、割り込み INTRX0 が発生します。

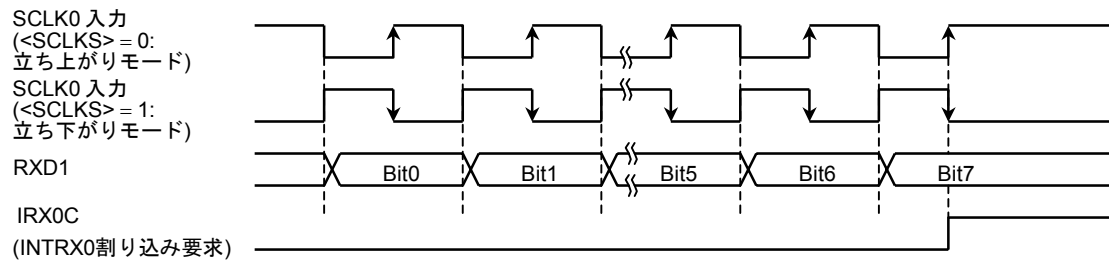



図 3.9.22 I/O インタフェース モード受信動作 (SCLK0 入力モード)

注) 受信動作を行う場合には、SCLK 入/出力のどちらのモードでも受信イネーブル状態 (SC0MOD<RXE> = 1) にしておく必要があります。

c. 送受信 (全二重)

全二重モードで送受信を行う場合は、必ず受信割り込みレベルを “0” に設定し、送信割り込みのみに割込みレベル (“1”~“6” のいずれか) を設定してください。

受信処理は、送信割り込み処理ルーチン内で上記例のように送信データセットの前に行ってください。

例: チャネル 0、SCLK 出力
9600 bps で送受信を行う場合
fc = 14.7456 MHz

システム条件システムクロック:	高速 (fc)
高速クロックギア:	1 倍 (fc)
プロスケーラクロック:	f_{FPH}

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
INTES0	0	0	0	1	0	0	0	0	送信割り込みレベルを設定し、受信割り込みを禁止します。
PCCR	–	–	–	–	–	1	0	1	PC0 (TXD0), PC1 (RXD0), PC2 (SCLK0) に設定します。
PCFC	–	–	–	–	–	1	–	1	
SC0MOD0	0	0	0	0	0	0	0	0	I/O インタフェースに設定します。
SC0MOD1	1	1	X	X	X	X	X	X	全二重モードにセットします。
SC0CR	0	0	0	0	0	0	0	0	sclk_out、立ち上がり受信立ち下がり送信します。
BR0CR	0	0	1	1	0	0	1	1	9600 bps に設定します。
SC0MOD0	0	0	1	0	0	0	0	0	受信許可に設定します。
SC0BUF	*	*	*	*	*	*	*	*	送信データをセットします。

送信割り込みルーチン

Acc SC0BUF									受信データを読み取ります。
SC0BUF	*	*	*	*	*	*	*	*	送信データをセットします。

X: Don’t care、 –: No change

(2) モード 1 (7 ビット UART モード)

シリアルチャネルモードレジスタ SC0MOD<SM1:0>を 01 にセットすると、7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC0CR<PE>で、パリティビット付加のイネーブル/ディセーブルを制御しています。<PE> = 1 (イネーブル) のときは SC0CR<EVEN>で、偶数パリティ/奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の、各コントロールレジスタの設定を示します。

転送方向 (転送速度 2400 bps @ fc = 12.288 MHz)

* クロック条件

	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	システムクロック

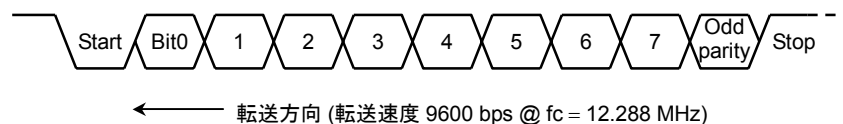
		7	6	5	4	3	2	1	0	
PCCR	←	–	–	–	–	–	–	–	1	PC0 を TXD0 端子と設定します。
PCFC	←	–	–	–	–	–	–	–	1	
SC0MOD	←	X	0	–	X	0	1	0	1	7 ビット UART モードに設定します。
SC0CR	←	X	1	1	X	X	X	0	0	偶数パリティを付加します。
BR0CR	←	0	0	1	0	0	1	0	1	2400 bps に設定します。
INTES0	←	1	1	0	0	–	–	–	–	INTTX0 割り込みをイネーブル、レベル 4 に設定します。
SC0BUF	←	*	*	*	*	*	*	*	*	送信データをセットします。

X: Don't care、 –: No change

(3) モード 2 (8 ビット UART モード)

SC0MOD0<SM1:0> を 10 にセットすると、8 ビット UART モードになります。このモードではパリティビットの付加が可能で、SC0CR<PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = 1 (イネーブル) のとき、SC0CR<EVEN>で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の、各コントロールレジスタの設定を示します。

転送方向 (転送速度 9600 bps @ fc = 12.288 MHz)

* クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	f_{FPH}

メインルーチンでの設定

	7 6 5 4 3 2 1 0	
PCCR	← − − − − − − 0 −	PC1 (RXD0) を入力ピンに設定します。
SC0MOD	← − 0 1 X 1 0 0 1	8 ビット UART モード、受信イネーブルに設定します。
SC0CR	← X 0 1 X X X 0 0	奇数パリティ付加に設定します。
BR0CR	← 0 0 0 1 0 1 0 1	9600 bps に設定します。
INTES0	← − − − − − 1 1 0 0	INTTX0 割り込みをイネーブル、レベル 4 に設定します。

割り込みルーチンでの処理例

```
Acc ← SC0CR AND 00011100    } エラーチェック
if Acc ≠ 0 then ERROR       }
Acc ← SC0BUF                  受信データを読み取ります。
```

X: Don't care、 −: No change

(4) モード 3 (9 ビット UART)

SC0MOD0<SM1:0> を 11 にセットすると、9 ビット UART モードになります。このモードでは、パリティビットの付加はできません。

最上位ビット (9 ビット目) は、送信の場合シリアルチャネルモードレジスタの <TB8> に書き込み、受信の場合、シリアルチャネルコントロールレジスタの <RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SC0BUF の方を後にします。

ウェイクアップ機能

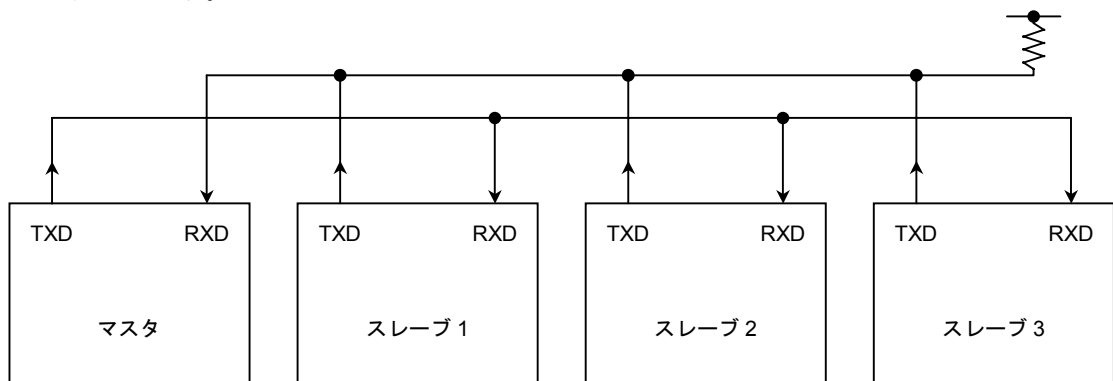
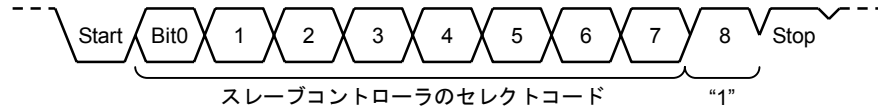
9 ビット UART モードでは、SC0MOD0<WU> を "1" にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8> = 1 のときのみ割り込み INTRX0 が発生します。

注) スレーブコントローラの TXD 端子は、必ず ODE レジスタを設定してオープンドレイン出力モードにしてください。

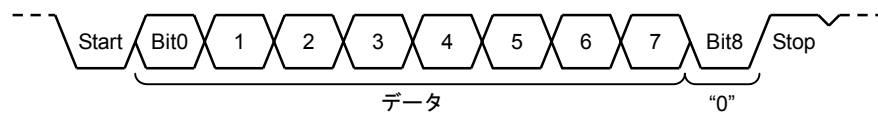
図 3.9.23 ウェイクアップ機能によるシリアルリンク

プロトコル

a. マスタおよびスレーブコントローラは 9 ビット UART モードにします。

b. 各スレーブコントローラは SC0MOD<WU> を “1” にセットし、受信可能状態とします。

c. マスタコントローラは、スレーブコントローラのセレクトコード (8 ビット) を含む 1 フレームを送信します。このとき、最上位ビット (ビット 8) <TB8> は “1” にします。

d. 各スレーブコントローラは上記フレームを受信し、自分のセレクトコードと一致すれば、WU ビットを “0” にクリアします。

e. マスタコントローラは指定したスレーブコントローラ (SC0MOD<WU> = 0 にクリアされたコントローラ) に対し、データを送信します。このとき、最上位ビット (ビット 8) <TB8> は “0” にします。

f. WU = 1 のままのスレーブコントローラは、受信データの最上位ビット (ビット 8) の <RB8> が “0” であるため割り込み INTRX0 が発生せず、受信データを無視します。
また、<WU> = 0 になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック f_{SYS} を転送クロックとして 2 つのスレーブコントローラとシリアルリンクさせる場合

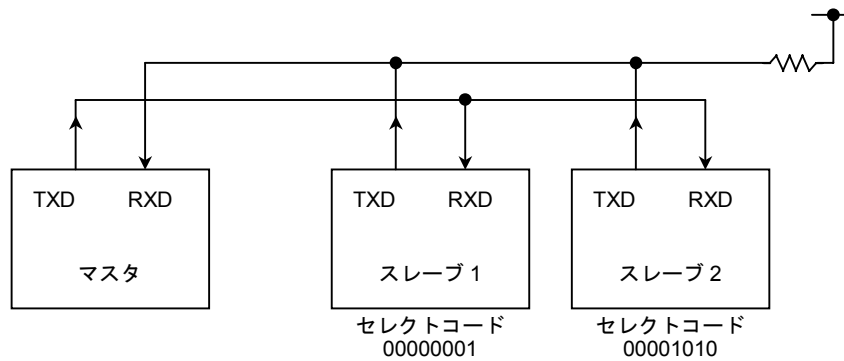



図 3.9.24　UART ブロック接続図

- マスタコントローラの設定

メインルーチン

PCCR	← − − − − − − 0 1	PC0 を TXD0、PC1 を RXD0 端子に設定します。
PCFC	← X X − X − − X 1	
INTES0	← 1 1 0 0 1 1 0 1	INTTX0 をイネーブル、割り込みレベルを 4 に設定します。 INTRX0 をイネーブル、割り込みレベルを 5 に設定します。
SC0MOD0	← 1 0 1 0 1 1 1 0	9 ビット UART モード、転送クロックを f_{SYS} に設定します。
SC0BUF	← 0 0 0 0 0 0 0 1	スレーブ 1 のセレクトコードをセットします。

割り込みルーチン (INTTX0)

SC0MOD0	← 0 − − − − − − −	TB8 を “0” に設定します。
SC0BUF	← * * * * * * * *	送信データをセットします。

- スレーブの設定

メインルーチン

PCCR	← − − − − − − 0 1	PC0 を TXD0 (オープンドレイン出力) PC1 を RXD0 に設定します。
PCFC	← X X − X − − X 1	
PCODE	← X X X X − X X 1	
INTES0	← 1 1 0 1 1 1 1 0	INTTX0, INTRX0 をイネーブルに設定します。
SC0MOD0	← 0 0 1 1 1 1 1 0	9 ビット UART モード転送クロック f_{SYS} で、<WU> = “1” に設定します。

割り込みルーチン (INTRX0)

Acc ← SC0BUF
if Acc = セレクトコード
Then SC0MOD0 ← − − − 0 − − − − − <WU> = “0” にクリアします。

3.9.5 IrDA のサポート

SIO0 には赤外線データ通信規格である、「IrDA1.0」のハードウエア規格をサポートするためのデータ変復調機能があります。図 3.9.25に構成図を示します。

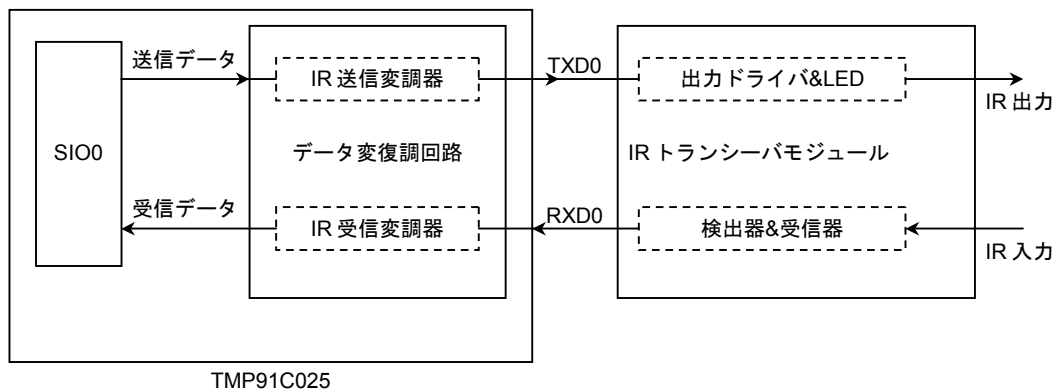



図 3.9.25 IrDA の構成図

(1) 送信データの変調

送信データが “0” のときは、ボーレート周期の 3/16 倍の幅、または 1/16 倍の幅（選択はソフトウエアで可）の High レベルを出力し、データが “1” のときは、Low レベルを出力します。

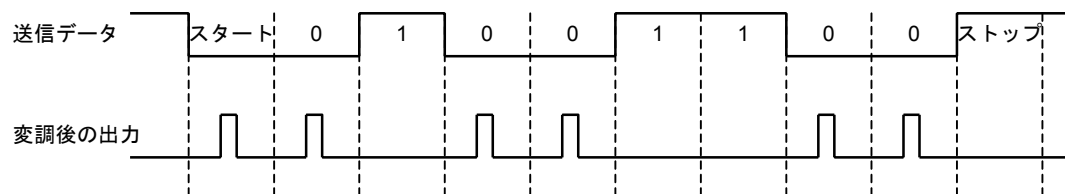



図 3.9.26 送信データの変調例

(2) 受信データの復調

入力されたパルスが、有効な High レベル幅（ソフトウエアで幅の設定が可）のときは、SIO0 に対して “0” を出力し、それ以外のときは、“1” を出力します。

また、受信パルスの論理を SIRCR<RXSEL>にて逆に設定可能です。

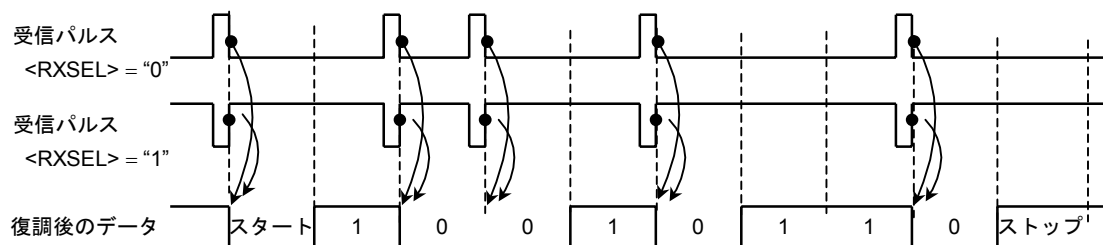



図 3.9.27 受信データの復調例

(3) データのフォーマット

データの送受信フォーマットは、必ずデータ長 8 ビット, パリティビットなし, ストップビット 1 ビットに設定してください。

それ以外の設定では、正常動作は保証できません。

(4) SFR 説明

図 3.9.28にコントロールレジスタを示します。このレジスタの設定変更を行うときは、必ず送受信動作を禁止 (このレジスタの TXEN ビットと RXEN ビットを "0" に設定) してから行ってください。送受信動作中に、このレジスタの設定変更を行った場合、正常動作は保証できません。

下記に、設定例を示します。

1) SIO 設定 ; SIO 側の設定を行います。
↓
2) LD (SIRCR), 07H ; 受信有効パルス幅を 8/16 に設定します。
3) LD (SIRCR), 37H ; TXEN, RXEN ビットを "1" にして、SIO の送受信を許可します。
↓
4) 送受信スタート ; SIO から送信データが送られてくるか、赤外線受信パルスを受けると、データの変復調を行います。

(5) 使用上の注意

1. IrDA 使用時のボーレート作成

IrDA 使用時のボーレートは SIO 本体の SC0MOD0<SC1:0>に "01" を設定し、ボーレートジェネレータを使用して作成してください。それ以外の TA0TRG, f_{SYS}, SCLK0 入力は使用できません。

2. IrDA 送信時の出力パルス幅、ボーレートジェネレータ

IrDA1.0 の物理層規格として、データの転送速度と赤外線パルス幅が規定されています。

表 3.9.5 転送速度とパルス出力幅の規格

転送速度	変調方式	転送速度 許容誤差 (% of Rate)	パルス幅 最小値	パルス幅 3/16 公称値	パルス幅 最大値
2.4 kbps	RZI	±0.87	1.41 μs	78.13 μs	88.55 μs
9.6 kbps	RZI	±0.87	1.41 μs	19.53 μs	22.13 μs
19.2 kbps	RZI	±0.87	1.41 μs	9.77 μs	11.07 μs
38.4 kbps	RZI	±0.87	1.41 μs	4.88 μs	5.96 μs
57.6 kbps	RZI	±0.87	1.41 μs	3.26 μs	4.34 μs
115.2 kbps	RZI	±0.87	1.41 μs	1.63 μs	2.23 μs

赤外線パルス出力幅は、ボーレート T × 3/16、または 1.6 μs (ボーレート 115.2 kbps 時の T × 3/16 に相当) と規定されています。

本デバイスでは、送信時の出力パルス幅を T × 3/16 と T × 1/16 とを選択できる機能がありますが、T × 1/16 を選択できるのは転送レートが 38.4 kbps 以下のときだけです。115.2 kbps、57.6 kbps 時には、出力パルス幅を T × 1/16 に設定してはいけません。

同様の理由で、転送レートの 115.2 kbps を SIO0 のボーレートジェネレータで生成するときは、K 値付き分周をしてはいけません。また、送信パルス幅を 1/16 に設定し､転送レートの 38.4 kbps を SIO0 のボーレートジェネレータで生成するときも、K 値付き分周を使用してはいけません。下表に、K 値付き分周の使用可否をまとめたものを示します。

表 3.9.6　K 値付き分周を使用可能なボーレートと出力パルス幅の関係

出力パルス幅	ボーレート 115.2 kbps	57.6 kbps	38.4 kbps	19.2 kbps	9.6 kbps	2.4 kbps
T × 3/16	×	○	○	○	○	○
T × 1/16	−	−	×	○	○	○

○: K 値付き分周使用可
×: K 値付き分周使用不可
−: T × 1/16 設定不可

SIRCR (0207H)

	7	6	5	4	3	2	1	0
Bit symbol	PLSEL	RXSEL	TXEN	RXEN	SIRWD3	SIRWD2	SIRWD1	SIRWD0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	送信パルス幅選択 0: 3/16 1: 1/16	受信データ論理 0: “H”パルス 1: “L”パルス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRxD の有効パルス幅の設定 2x × (設定値 +1) 以上のパルス幅を有効とする 設定可:　1~14 設定不可: 0, 15			

受信有効パルス幅の設定

計算式: 受信有効パルス幅 ≥ 2x × (設定値 + 1)

$x = 1/f_{FPH}$

0000	設定不可
0001	4 x + 100 ns 以上のパルス幅のものを有効とする
∫	
1110	30 x + 100 ns 以上のパルス幅のものを有効とする
1111	設定不可

受信 (復調) 動作の許可

0	受信動作を禁止する (受信された入力は無視)
1	受信動作を許可する

送信 (変調) 動作の許可

0	受信動作を禁止する (SIO からの入力は無視)
1	送信動作を許可する

送信パルス幅の選択

0	3/16 のパルス幅
1	1/16 のパルス幅

補足) ボーレートが遅く、IrDA1.0 規格のパルス幅 (最小 1.6 μs) を確保できる場合、本ビットを “1” に設定することで、赤外線点灯時間を減らし、消費電力を軽減することができます。

図 3.9.28　IrDA コントロールレジスタ

3.10 タッチスクリーンインタフェース (TSI)

TMP91C025F は、4 端子型抵抗網タッチスクリーンインタフェース (TSI) をもちます。

TSI は、(1) タッチ検出手順、(2) X/Y 位置測定手順の 2 つの動作手順をプログラムにより実行されることを前提として構成しています。

各手順は、TSI 制御レジスタ (TSICR0, TSICR1) および内蔵 AD コンバータを使用することにより実行されます。

3.10.1 TSI の外部接続図、内部ブロック図

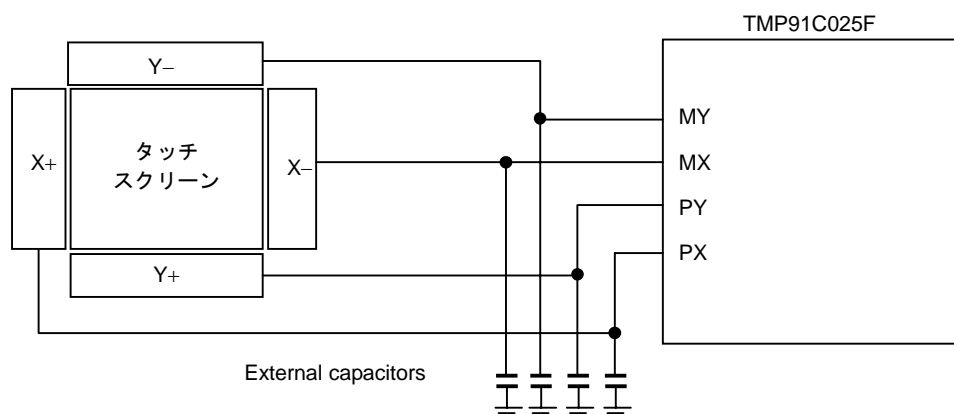



図 3.10.1 タッチスクリーンとの外部接続図

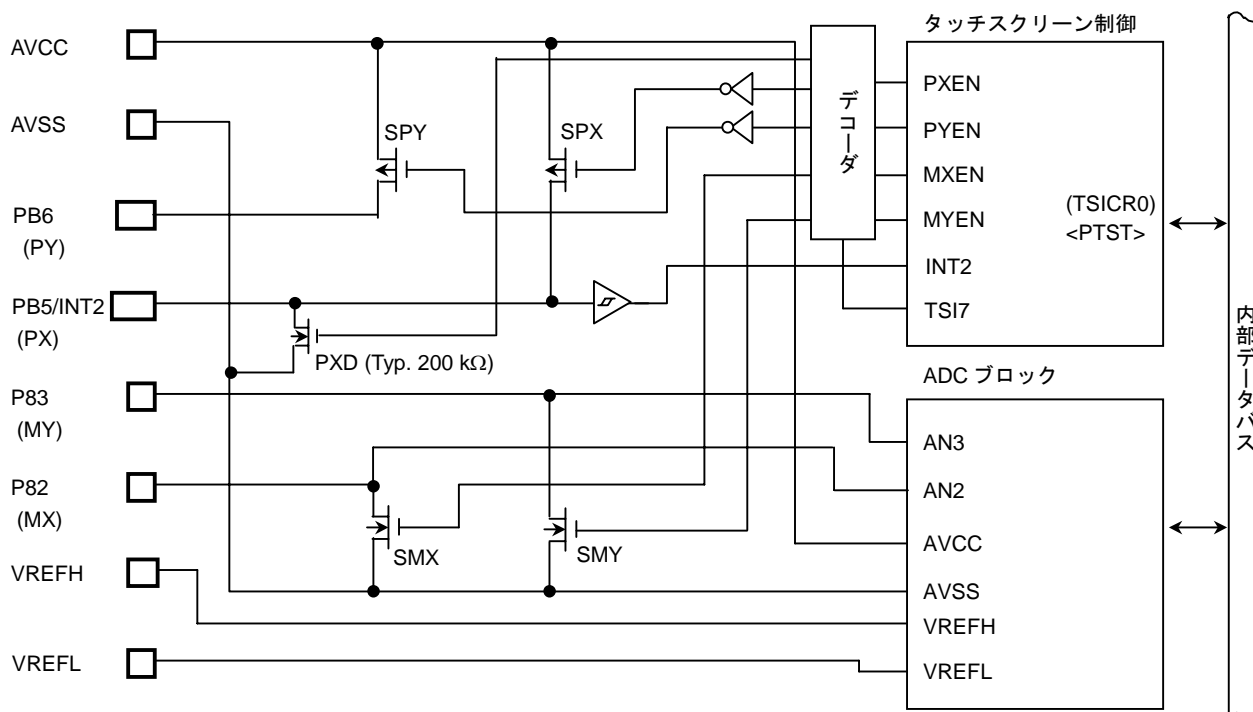



図 3.10.2 TSI 内部ブロック図

3.10.2 タッチスクリーンインタフェース (TSI) 制御レジスタ

タッチスクリーンインタフェース制御レジスタ

TSICR0 (002BH)

	7	6	5	4	3	2	1	0
Bit symbol	TSI7		PTST	TWIEN	PYEN	PXEN	MYEN	MXEN
Read/Write	R/W		R	R/W	R/W	R/W	R/W	R/W
リセット後	0		0	0	0	0	0	0
機 能	0: 禁止 1: 許可		0: Untouch 1: Touch	0: 禁止 1: 許可	0: 禁止 1: 許可 SPY: ON	0: 禁止 1: 許可 SPX: ON	0: 禁止 1: 許可 SMY: ON	0: 禁止 1: 許可 SMX: ON

PXD ON/OFF 設定

<TSI7> \ <PXEN>	0	1
0	OFF	OFF
1	ON	ON

ペンタッチの有無をモニターするビットです。
スクリーンをタッチしている間、このビットは “1” になります。

デバウンス時間設定レジスタ

TSICR1 (002CH)

	7	6	5	4	3	2	1	0
Bit symbol	DBC7	DB1024	DB256	DB64	DB8	DB4	DB2	DB1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機 能	0: 禁止 1: 許可	1024	256	64	8	4	2	1
		デバウンス時間 = (N × 64 − 16)/f_{SYS} で設定します。 N は bit6~bit0 中で、“1” をライトしたビットの数字の総和です。						

3.10.3　タッチ検出手順

タッチ検出手順は、タッチスクリーンにペンがタッチされるまでの準備手順です。

非接触のタッチ待ち状態時は SPY Tr だけを ON させ、ほか 3 つの Tr: SMY, SPX, SMX はすべて OFF させてください。

この状態ではタッチスクリーン内の X 方向と Y 方向の内部抵抗は接続されていませんので、PB5/INT2/PX 端子は内部プルダウン抵抗により Low 状態となり、割り込みは発生しません。

次にペンがタッチされると、タッチスクリーン内の X 方向と Y 方向の内部抵抗が接続され、PB5/INT2/PX 端子は High 状態となり、内部 INT2 割り込みを発生します。

1 回のペンタッチにより複数回の INT2 発生を防止するため、下記図のようなデバウンス回路を準備しています。TSICR1 レジスタにデバウンス時間を設定することにより、その時間以下のパルスを無視します。

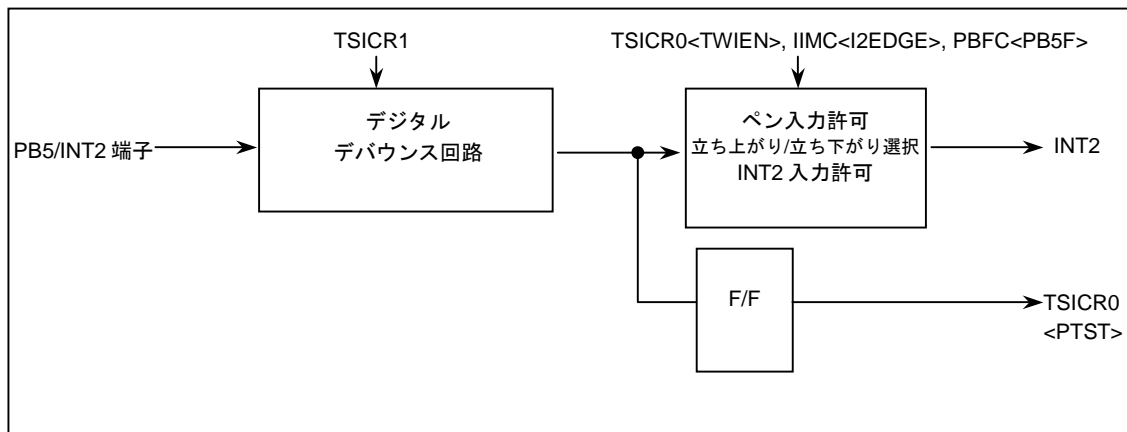



図 3.10.3　デバウンス回路

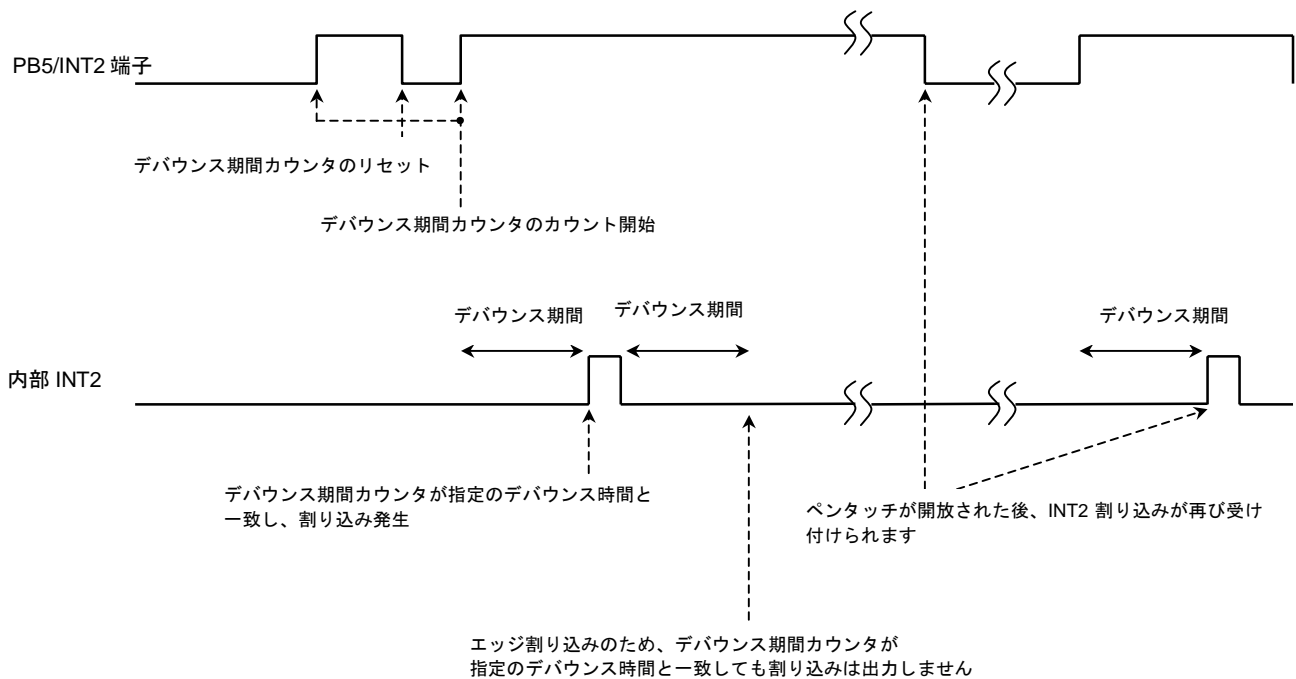



図 3.10.4　タッチスクリーン制御タイミング図

3.10.4 X/Y 位置測定手順

ペンがタッチされ、INT2 割り込み発生をトリガに、ペンの位置の測定を下記手順で実行してください。

<X 位置座標測定>

SPX と SMX Tr を ON、その他 2 個の Tr を OFF させます。これにより、P83/MY/AN3 端子に X 位置を示すアナログ電圧が入力されます。この電圧を内部 AD コンバータによりデジタル値に変換させることで、X 位置座標を測定できます。

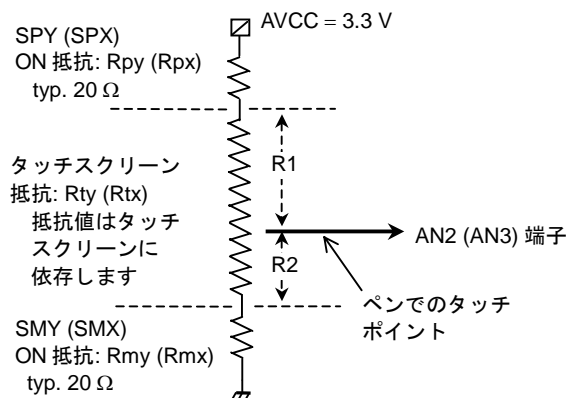
<Y 位置座標測定>

SPY と SMY Tr を ON、その他 2 個の Tr を OFF させます。これにより、P82/MX/AN2 端子に Y 位置を示すアナログ電圧が入力されます。この電圧を内部 AD コンバータによりデジタル値に変換させることで、Y 位置座標を測定できます。

上記 X, Y 位置測定時の AN3, AN2 端子へ入力されるアナログ電圧は、図 3.10.5に示すような TMP91C025F 内部の Tr の ON 抵抗値とタッチスクリーン内部の抵抗の比で求められます。

従って、タッチスクリーンの端をタッチした場合でも、アナログ入力電圧は 3.3 V もしくは 0 V にはなりません。

また、それぞれの抵抗値には、ばらつきがありますので、これらの点を考慮の上、設計してください。

なお、AD 変換は必要に応じて数回実行して、平均値を最終値とするなどしてください。

[AN2 (AN3) 端子へのアナログ入力電圧: E1 を求める計算式]

$$E1 = ((R2 + Rmy)/(Rpy + Rty + Rmy)) \times AVCC\ [V]$$

(例) AVCC = 3.3 V, Rpy = Rmy = 20 Ω, R1 = 400 Ω, R2 = 100 Ω の場合、

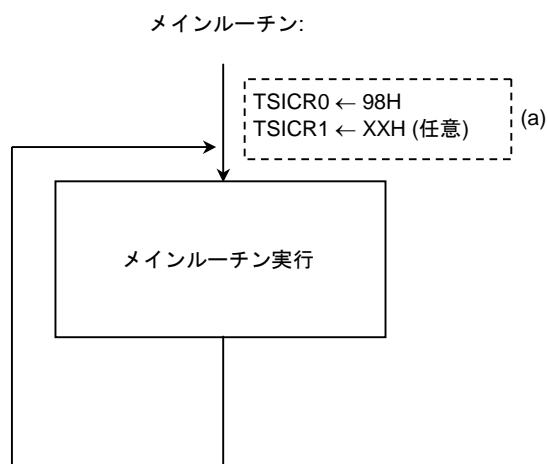
$$E1 = ((100 + 20)/(20 + 400 + 100 + 20)) \times 3.3 = 0.733\ V$$

となります。

注 1) 上記計算式は Y 軸の場合ですが、X 軸も同様の方法で求めることができます。

注 2) Rty = R1 + R2 の関係となります。

図 3.10.5 アナログ入力電圧の考え方

3.10.5 タッチスクリーンインタフェース (TSI) の動作フロー (まとめ)

(1) タッチ検出手順　　　　(2) X/Y 位置測定手順

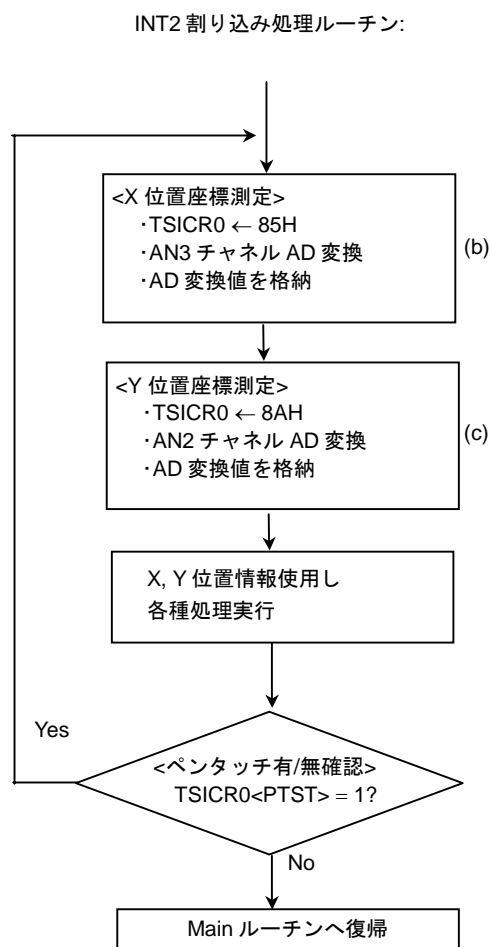
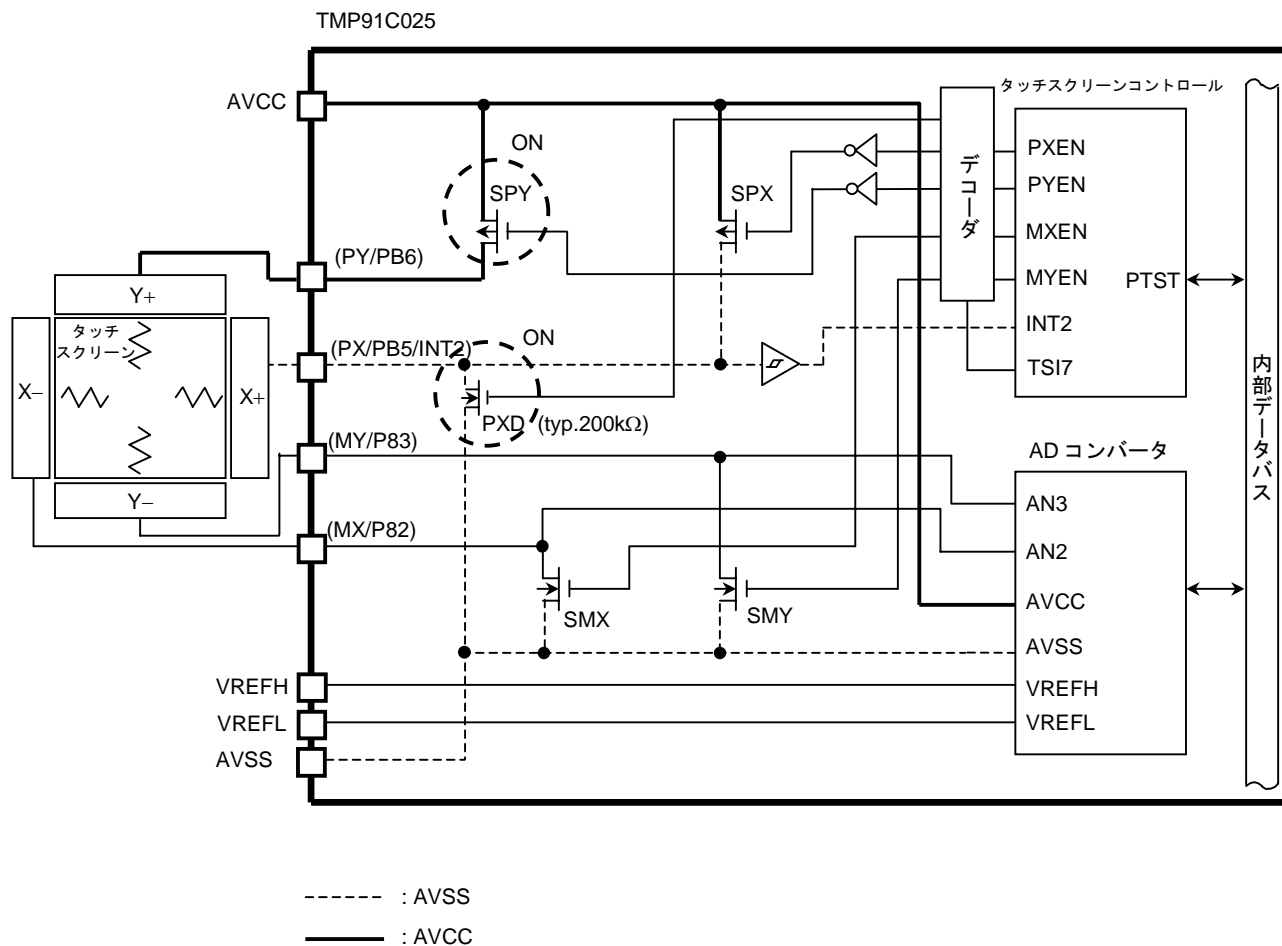
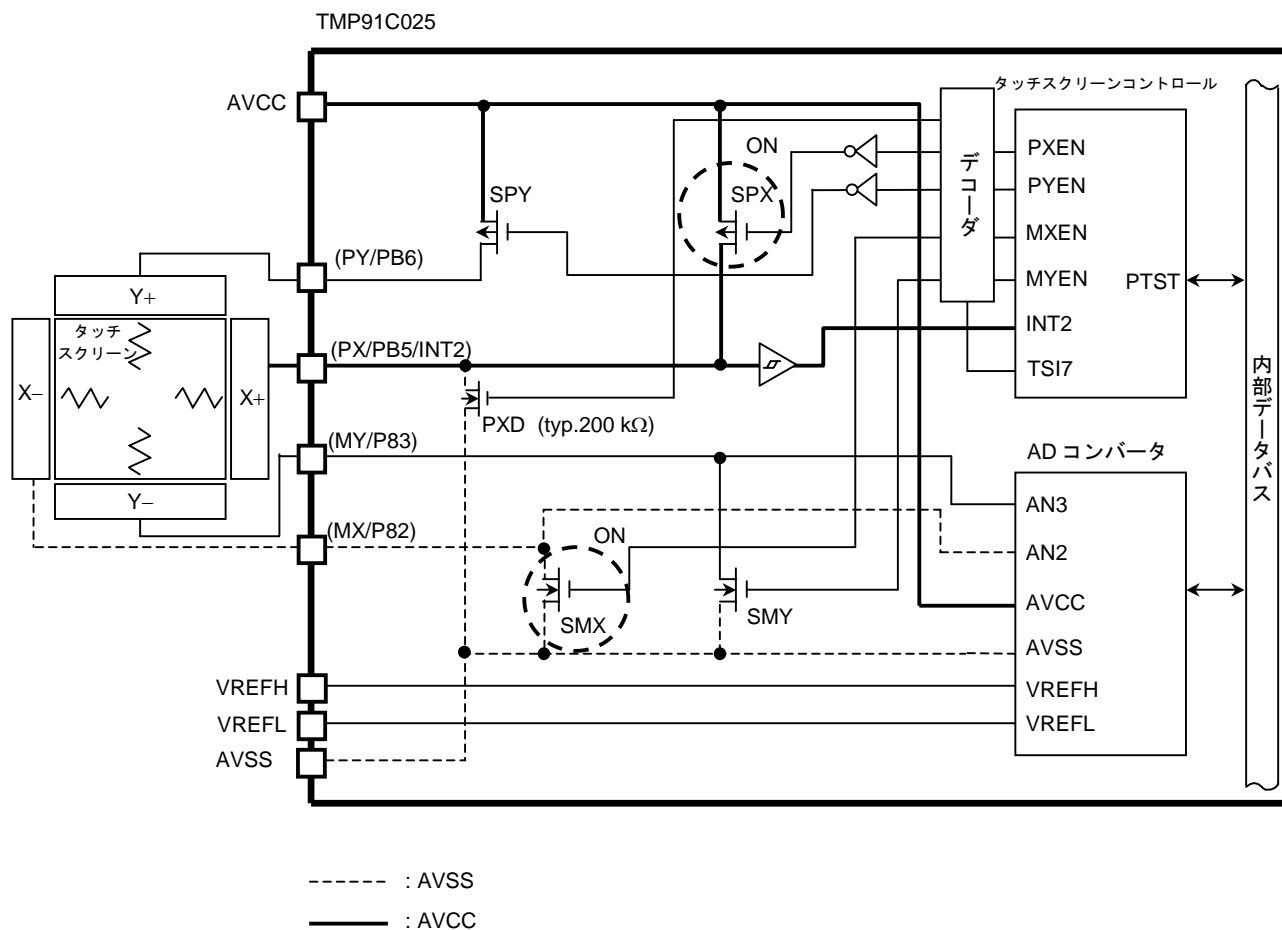



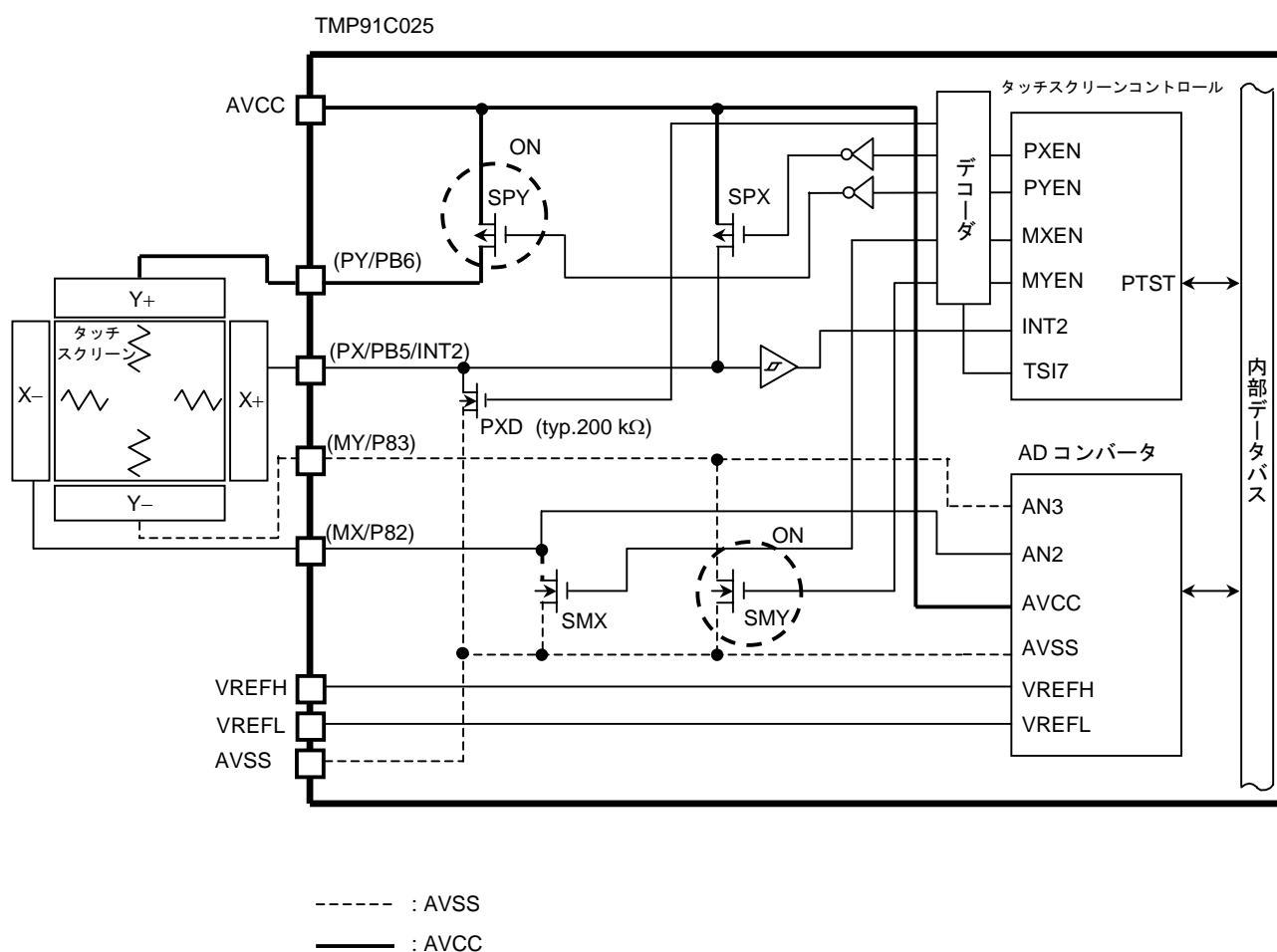
図 3.10.6　タッチスクリーン使用フロー

次ページに、フロー内の(a) (b) (c)それぞれの回路状態を説明します。

(a) メインルーチン (INT2 割り込み待ち状態)

(pbfc)<PB5F>, <PB6F> = "1" : PB5:int2/PX, PB6:PY
(inte12) : set interrupt level of INT2
(tsicr0) = 98H : pull down resister on, SPY on, Interrupt-set<TWIEN>
ei : enable interrupt

(b) “X” 位置座標測定 (AD 変換スタート)

(tsicr0) = 85H : SMX, SPX on
(admod1) = 83H : AN3 measure
(admod0) = 01H : AD start

(c) “Y” 位置座標測定 (AD 変換スタート)

(tsicr0) = 8aH : SMY, SPY on
(admod1) = 82H : AN2 measure
(admod0) = 01H : AD start

3.11 アナログ/デジタルコンバータ

4 チャネルのアナログ入力を持つ、10 ビット逐次比較方式アナログ/デジタルコンバータ (AD コンバータ) を内蔵しています。

図 3.11.1に、AD コンバータのブロック図を示します。

4 チャネルのアナログ入力端子 (AN0~AN3) は、入力専用ポート 8 と兼用で入力ポートとしても使用できます。

注) IDLE2, IDLE1, STOP モードにより電源電流を低減させる場合は、タイミングにより内部コンパレータがイネーブル状態のままスタンバイに入ることがありますので、AD コンバータの動作が停止していることを確認してから HALT 命令を実行してください。

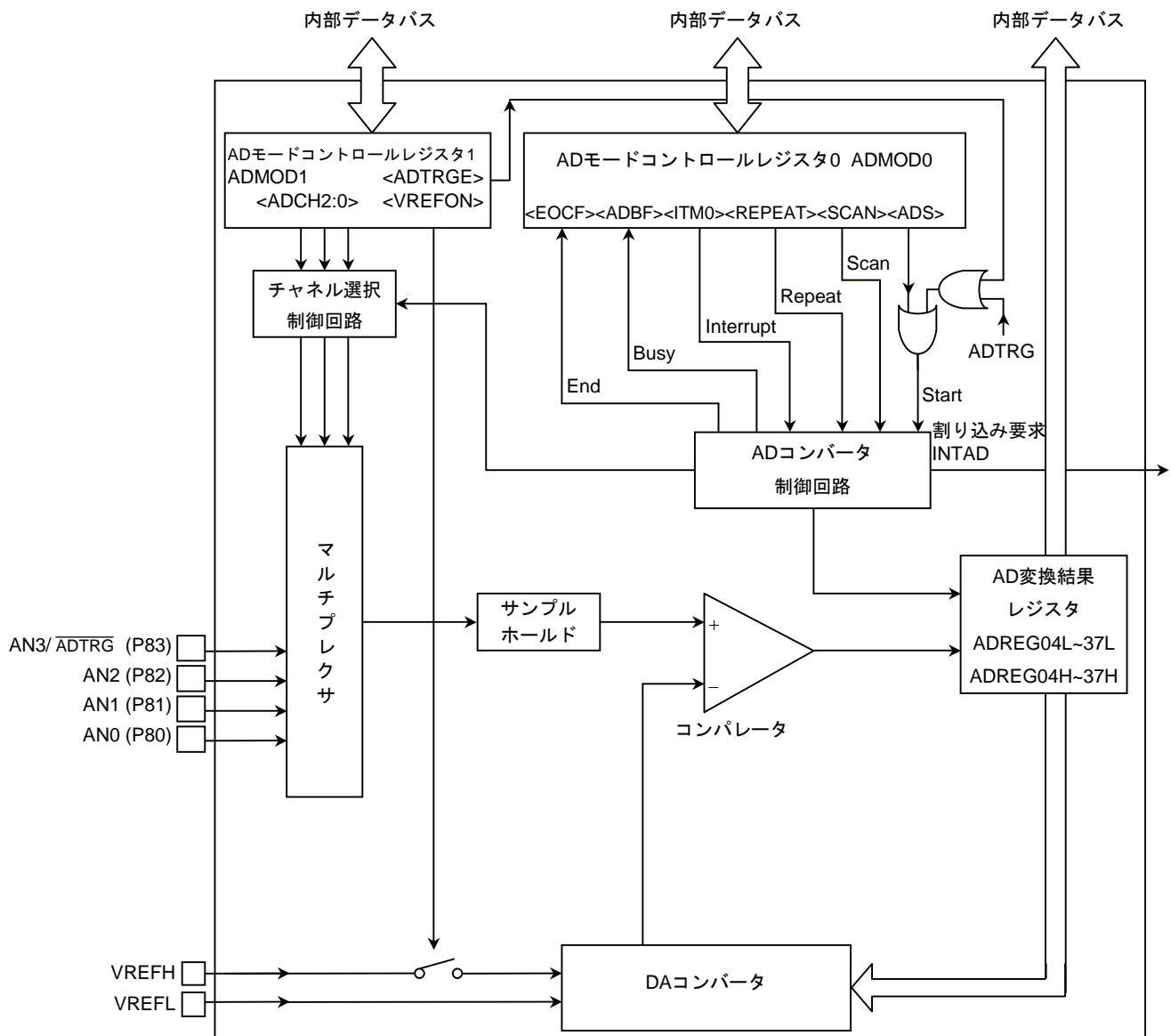



図 3.11.1　AD コンバータのブロック図

3.11.1 コントロールレジスタ

AD コンバータは、AD モードコントロールレジスタ (ADMOD0, ADMOD1) により制御されています。また、AD 変換結果は AD 変換結果上位/下位レジスタ ADREG04H/L, ADREG15H/L, ADREG26H/L, ADREG37H/L の 8 つのレジスタに格納されます。

図 3.11.2に AD コンバータ関係のレジスタを示します。

AD モードコントロールレジスタ 0

ADMOD0 (02B0H)

	7	6	5	4	3	2	1	0
Bit symbol	EOCF	ADBF	–	–	ITM0	REPEAT	SCAN	ADS
Read/Write	R		R/W					
リセット後	0	0	0	0	0	0	0	0
機　能	AD 変換終了フラグ 0: 変換中 1: 終了	AD 変換ビジーフラグ 0: 変換停止 1: 変換中	“0” をライトしてください。	“0” をライトしてください。	チャネル固定リピート変換モード時の割り込み指定 0: 1 回変換ごと 1: 4 回変換ごと	リピートモード指定 0: シングル変換モード 1: リピート変換モード	スキャンモード指定 0: チャネル固定モード 1: チャネルスキャンモード	AD 変換スタート 0: Don’t care 1: 変換開始 リードすると常に “0” が読み出されます。

AD 変換スタート

0	Don’t care
1	AD 変換開始

注) リードすると常に “0” が読み出されます。

AD スキャンモード指定

0	AD 変換チャネル固定モード
1	AD 変換チャネルスキャンモード

AD リピートモード指定

0	AD シングル変換モード
1	AD リピート変換モード

チャネル固定リピート変換モード時の AD 変換割り込み指定

	チャネル固定リピート変換モード <SCAN> = “0”, <REPEAT> = “1”
0	1 回変換するごとに割り込み発生
1	4 回変換するごとに割り込み発生

AD 変換 BUSY フラグ

0	AD 変換停止
1	AD 変換中

AD 変換終了フラグ

0	AD 変換前または変換中
1	AD 変換終了

図 3.11.2　AD コンバータ関係のレジスタ

AD モードコントロールレジスタ 1

ADMOD1 (02B1H)

	7	6	5	4	3	2	1	0
Bit symbol	VREFON	I2AD			ADTRGE	ADCH2	ADCH1	ADCH0
Read/Write	R/W	R/W			R/W			
リセット後	0	0			0	0	0	0
機　能	VREF 印加制御 0: OFF 1: ON	IDLE2 0: 停止 1: 動作			AD 外部トリガスタート制御 0: 禁止 1: 許可	アナログ入力チャネル選択		

アナログ入力チャネル選択

<ADCH2:0> \ <SCAN>	0 (チャネル固定)	1 (チャネルスキャン)
000	AN0	AN0
001	AN1	AN0 → AN1
010	AN2	AN0 → AN1 → AN2
011　注)	AN3	AN0 → AN1 → AN2 → AN3
100~111	–	使用禁止

外部トリガ ($\overline{\text{ADTRG}}$ 入力) による AD 変換スタート制御

0	ディセーブル
1	イネーブル

IDLE2 制御

0	停止
1	動作

AD コンバータ用基準電圧印加制御

0	Off
1	On

変換スタート前 (ADMOD0 <ADS> に “1” を書き込む前) に、<VREFON> を “1” に設定してください。

注)　AN3 端子は $\overline{\text{ADTRG}}$ 入力端子と兼用になっています。このため <ADTRGE> = “1” で $\overline{\text{ADTRG}}$ を使用している場合、<ADCH2:0> = “011” に設定しないでください。

図 3.11.3　AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 0/4

ADREG04L (02A0H)		7	6	5	4	3	2	1	0
	Bit symbol	ADR01	ADR00						ADR0RF
	Read/Write	R							R
	リセット後	不定							0
	機　能	AD変換結果下位 2ビット格納							AD変換結果格納フラグ 1: 変換結果あり

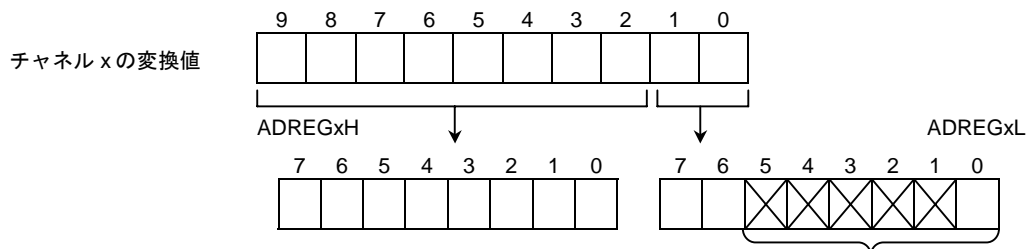
AD 変換結果上位レジスタ 0/4

ADREG04H (02A1H)		7	6	5	4	3	2	1	0
	Bit symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
	Read/Write	R							
	リセット後	不定							
	機　能	AD 変換結果上位 8 ビット格納							

AD 変換結果下位レジスタ 1/5

ADREG15L (02A2H)		7	6	5	4	3	2	1	0
	Bit symbol	ADR11	ADR10						ADR1RF
	Read/Write	R							R
	リセット後	不定							0
	機　能	AD 変換結果下位 2 ビット格納							AD変換結果格納フラグ 1: 変換結果あり

AD 変換結果上位レジスタ 1/5

ADREG15H (02A3H)		7	6	5	4	3	2	1	0
	Bit symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
	Read/Write	R							
	リセット後	不定							
	機　能	AD 変換結果上位 8 ビット格納							

チャネル x の変換値

- ビット 5~1 を読み出すと、常に "1" になります。
- ビット 0 は、AD 変換結果格納フラグ <ADRxRF> です。AD 変換値が格納されると、"1" にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、"0" にクリアされます。

図 3.11.4　AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 2/6

ADREG26L (02A4H)

	7	6	5	4	3	2	1	0
Bit symbol	ADR21	ADR20						ADR2RF
Read/Write	R							R
リセット後	不定							0
機　能	AD変換結果下位 2ビット格納							AD変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 2/6

ADREG26H (02A5H)

	7	6	5	4	3	2	1	0
Bit symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R							
リセット後	不定							
機　能	AD 変換結果上位 8 ビット格納							

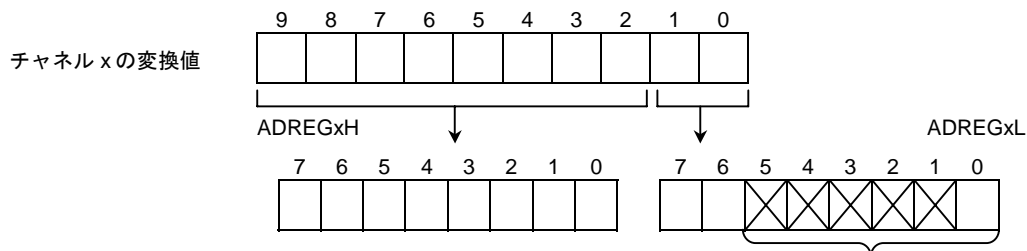
AD 変換結果下位レジスタ 3/7

ADREG37L (02A6H)

	7	6	5	4	3	2	1	0
Bit symbol	ADR31	ADR30						ADR3RF
Read/Write	R							R
リセット後	不定							0
機　能	AD 変換結果下位 2 ビット格納							AD変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 3/7

ADREG37H (02A7H)

	7	6	5	4	3	2	1	0
Bit symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
Read/Write	R							
リセット後	不定							
機　能	AD 変換結果上位 8 ビット格納							

チャネル x の変換値

- ビット 5~1 を読み出すと、常に “1” になります。
- ビット 0 は、AD 変換結果格納フラグ <ADRxRF> です。AD 変換値が格納されると、“1” にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0” にクリアされます。

図 3.11.5　AD コンバータ関係のレジスタ

3.11.2 動作説明

(1) アナログ基準電圧

アナログ基準電圧の "H" レベル側を VREFH 端子に、"L" レベル側を VREFL 端子に印加します。VREFH~VREFL 間の基準電圧をストリング抵抗により 1024 分割し、アナログ入力電圧と比較判定を行うことにより、AD 変換を行います。

ADMOD1<VREFON> ビットに "0" を書き込むことにより、VREFH~VREFL 間のスイッチを OFF できます。なお、OFF している状態から AD 変換スタートをさせる場合は、必ず <VREFON> に "1" を書き込んだ後、内部基準電圧が安定するまでの 3 μs (システムクロック周波数に関係ありません) 待ち、ADMOD0<ADS> に "1" を書き込んでください。

(2) アナログ入力チャネルの選択

アナログ入力チャネルの選択は、AD コンバータの動作モードによって異なります。

- アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN> = "0")

  ADMOD1<ADCH2:0> の設定により、アナログ入力 AIN0~AIN3 端子の中から 1 チャネルを選択します。

- アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN> = "1")

  ADMOD1<ADCH2:0> の設定により、4 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

表 3.11.1に、動作モード別のアナログ入力チャネルの選択を示します。

リセット後、ADMOD0<SCAN> は "0" に、ADMOD1<ADCH2:0> は "000" に初期化されますので、AN0 端子のチャネル固定入力が選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

表 3.11.1 アナログ入力チャネルの選択

<ADCH2:0>	チャネル固定 <SCAN> = "0"	チャネルスキャン <SCAN> = "1"
000	AN0	AN0
001	AN1	AN0 → AN1
010	AN2	AN0 → AN1 → AN2
011	AN3	AN0 → AN1 → AN2 → AN3
100~111	使用禁止	使用禁止

(3) AD 変換開始

AD 変換は ADMOD0<ADS> に “1” を設定するか、ADMOD1<ADTRGE> に “1” を設定し、$\overline{\text{ADTRG}}$ 端子より立ち下がりエッジを入力することにより開始されます。AD 変換が開始されると、AD 変換中を示す AD 変換 Busy フラグ (ADMOD0<ADBF>) が “1” にセットされます。

AD 変換中、<ADS> に “1” を設定すると再起動がかかります。その時点での AD 変換のデータが保証されているかどうかは、変換結果格納フラグ ADREGxxL<ADRxRF> を確認して判断してください。

また、AD 変換中に $\overline{\text{ADTRG}}$ 端子に立ち下がりエッジを入力しても無視されます。

(4) AD 変換モードと AD 変換終了割り込み

AD 変換には次の 4 つのモードが用意されています。

- チャネル固定シングル変換モード
- チャネルスキャンシングル変換モード
- チャネル固定リピート変換モード
- チャネルスキャンリピート変換モード

AD 変換モードの選択は、ADMOD0<REPEAT, SCAN> で行います。

AD 変換が終了すると、AD 変換終了割り込み INTAD の割り込み要求が発生します。また、AD 変換終了を示す ADMOD0<EOCF> が “1” にセットされます。

a. チャネル固定シングル変換モード

ADMOD0<REPEAT, SCAN> に “00” を設定すると、チャネル固定シングル変換モードになります。

このモードでは、選択した 1 チャネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCF> が “1” にセット、ADMOD0<ADBF> が “0”にクリアされ、INTAD の割り込み要求が発生します。

b. チャネルスキャンシングル変換モード

ADMOD0<REPEAT, SCAN> に “01” を設定すると、チャネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADMOD0<EOCF> が “1” にセット、ADMOD0<ADBF> が “0” にクリアされ、INTAD の割り込み要求が発生します。

c. チャネル固定リピート変換モード

ADMOD0<REPEAT, SCAN> に “10” を設定すると、チャネル固定リピート変換モードになります。

このモードでは、選択した 1 チャネルの変換を繰り返し行います。変換が終了した後、ADMOD0<EOCF> が “1” にセットされます。ADMOD0<ADBF> は “0” にクリアされず、“1” を保持します。INTAD の割り込み要求発生タイミングは、ADMOD0<ITM0> の設定により選択できます。

<ITM0>を “0” に設定すると、AD 変換が 1 回終了するごとに割り込み要求が発生します。

<ITM0>を “1” に設定すると、AD 変換が 4 回終了するごとに割り込み要求が発生します。

d. チャネルスキャンリピート変換モード

ADMOD0<REPEAT, SCAN> に “11” を設定すると、チャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1 回のスキャン変換が終了するごとに ADMOD0<EOCF> が “1” にセットされ、INTAD 割り込み要求が発生します。ADMOD0<ADBF> は “0” にクリアされず、“1” を保持します。

リピート変換モード (c, d モード) の動作を停止させたい場合は、ADMOD0<REPEAT> に “0” を書き込んでください。実行中の変換を終了した時点でリピート変換モードは終了し、ADMOD0<ADBF> は “0” にクリアされます。

ADMOD1<I2AD> = “0” の場合、IDLE2, IDLE1, STOP モードのホルト状態へ移行すると、AD 変換中でも AD コンバータは直ちに動作を停止します。ホルト解除後、リピート変換モード (c, d) では AD 変換を最初から開始します。シングル変換モード (a, b) では、変換動作を再開しません (停止したままです)。

表 3.11.2に AD 変換モードと割り込み要求の関係を示します。

表 3.11.2　AD 変換モードと割り込み要求の関係

モード	割り込み要求の発生	ADMOD0		
		<ITM0>	<REPEAT>	<SCAN>
チャネル固定 シングル変換モード	変換終了後	X	0	0
チャネルスキャン シングル変換モード	スキャン変換終了後	X	0	1
チャネル固定 リピート変換モード	1 回変換するごと	0	1	0
	4 回変換するごと	1		
チャネルスキャン リピート変換モード	1 回のスキャン変換が 終了するごと	X	1	1

X: Don’t care

(5) AD 変換時間

1 チャネル当たりの AD 変換ステートは、84 ステート (10.5 μs @ f_{FPH} = 16 MHz) です。

(6) AD 変換結果の格納と読み出し

AD 変換結果は、AD 変換結果上位/下位レジスタ (ADREG04H/L~ADREG37H/L) に格納されます (ADREG04H/L~ADREG37H/L は、読み出し専用のレジスタです)。

チャネル固定リピート変換モードでは、AD 変換結果は ADREG04H/L から ADREG37H/L へと順次格納されます。それ以外のモードでは、チャネル AN0, AN1, AN2, AN3 の変換結果がそれぞれ ADREG04H/L, ADREG15H/L, ADREG26H/L, ADREG37H/L に格納されます。

表 3.11.3にアナログ入力チャネルと AD 変換結果レジスタの対応を示します。

表 3.11.3 アナログ入力チャネルと AD 変換結果レジスタの対応

アナログ入力チャネル (ポート 8)	AD 変換結果レジスタ	
	右記以外の変換モード	チャネル固定リピート変換モード (4 回ごと)
AN0	ADREG04H/L	ADREG04H/L ↓
AN1	ADREG15H/L	ADREG15H/L ↓
AN2	ADREG26H/L	ADREG26H/L ↓
AN3	ADREG37H/L	ADREG37H/L (→ ADREG04H/L に戻る)

AD 変換結果格納フラグ <ADRxRF> は、AD 変換結果下位レジスタのビット 0 で、その AD 変換結果レジスタをリードしたかどうかを示しています。このフラグは AD 変換結果レジスタに変換値が格納されると "1" にセットされ、どちらかの AD 変換結果レジスタ (ADREGxH, ADREGxL) を読み出すと、"0" にクリアされます。

また AD 変換結果の読み出しに伴い、AD 変換終了フラグ ADMOD0<EOCF> は "0" にクリアされます。

設定例:

a. AN3 端子のアナログ入力電圧を AD 変換し、AD 割り込み (INTAD) 処理ルーチンで変換値を 0800H のメモリへ書き込む場合

メインルーチンでの設定

```
                7 6 5 4 3 2 1 0
INTE0AD   ← X 1 0 0 – – – –      INTAD をイネーブルにし、レベルを “4” に設定します。
ADMOD1    ← 1 1 X X 0 0 1 1      アナログ入力チャネルを AN3 に設定します。
ADMOD0    ← X X 0 0 0 0 0 1      チャネル固定シングル変換モードで変換を開始します。
```

割り込みルーチンでの処理例

```
WA        ← ADREG37     汎用レジスタ WA (16 ビット) へ ADREG37L, ADREG37H の
                        値を読み出します。
WA        > > 6         WA に読み出した内容を右へ 6 回シフトし、上位ビットに “0”
                        を設定します。
(0800H)   ← WA          アドレス 0800H へ WA の内容を書き込みます。
```

b. AN0~AN2 の 3 端子のアナログ入力電圧を、チャネルスキャンリピート変換モードで AD 変換し続ける場合

```
INTE0AD   ← X 0 0 0 – – – –      INTAD を禁止します。
ADMOD1    ← 1 1 X X 0 0 1 0      アナログ入力チャネルを AN0~AN2 に設定します。
ADMOD0    ← X X 0 0 0 1 1 1      チャネルスキャンリピート変換モードで変換を開始します。
```

X: Don’t care、 –: No change

3.12 ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合にこれを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスカブル割り込みを発生し、CPU に知らせます。

また、このウォッチドッグタイマアウトをリセット (チップ内部) へ接続することにより、強制的にリセット動作を行うことができます。

3.12.1 構成

図 3.12.1にウォッチドッグタイマのブロック図を示します。

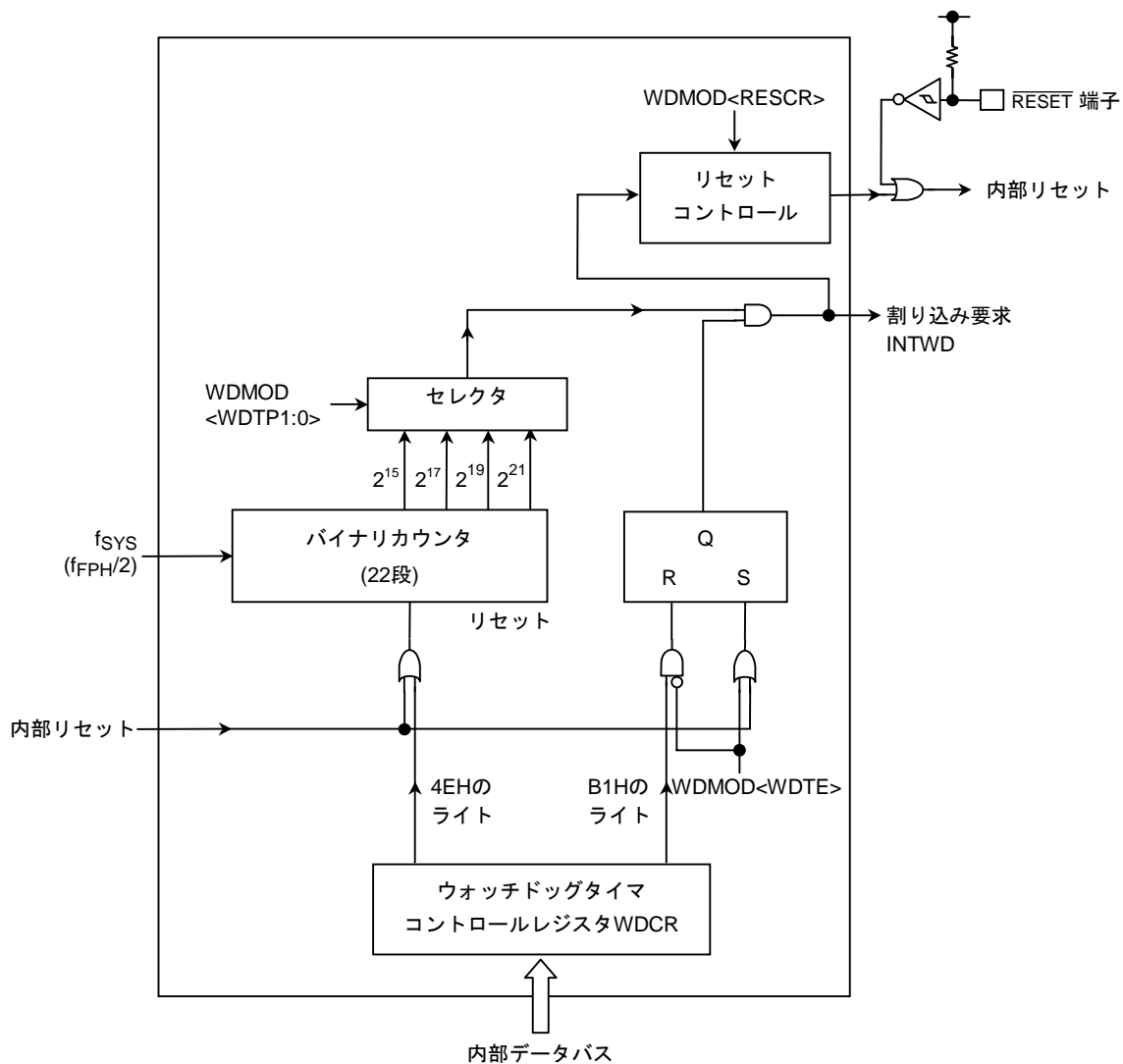



図 3.12.1 ウォッチドッグタイマのブロック図

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

ウォッチドッグタイマは、システムクロック f_{SYS} を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15}, 2^{17}, 2^{19} および 2^{21} があります。このうちの 1 出力を WDMOD<WDTP1:0>で選択することにより、そのオーバフロー時に、図 3.12.2で示すようにウォッチドッグタイマ割り込みを発生します。

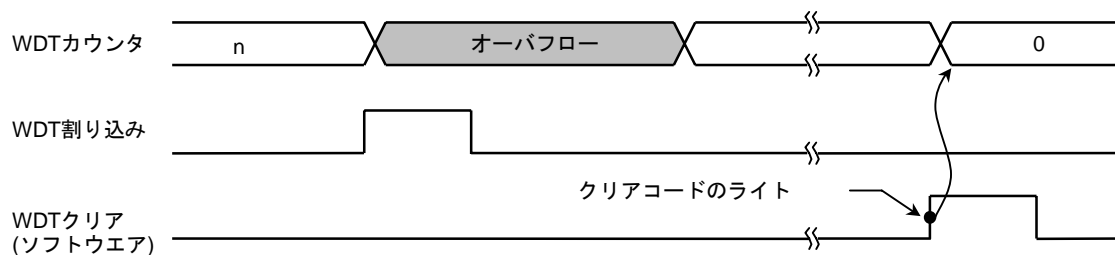



図 3.12.2　通常モード

また、オーバフロー時に、チップ自体をリセットすることも選択可能です。この場合、図 3.12.3で示すように 22~29 ステート (44~58 μs @ f_{OSCH} = 16 MHz, f_{FPH} = 1 MHz) の期間、リセットを行います。なお、この場合 (リセットされた場合)、システムクロック f_{SYS} (1 周期 = 1 ステート) は、高速発振器のクロック f_{OSCH} をクロックギアで 16 分周したクロック f_{FPH} を基に、それを 2 分周して生成されたものが使われます。

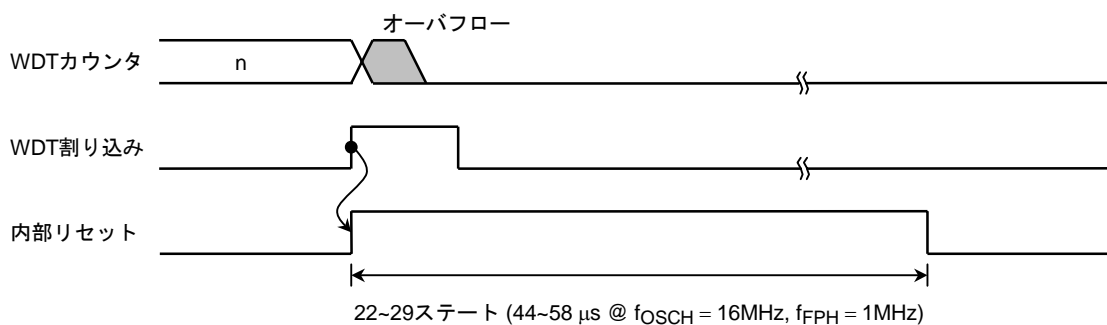



図 3.12.3　リセットモード

3.12.2 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2 つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグタイマ モードレジスタ WDMOD

a. ウォッチドッグタイマ検出時間の設定 <WDTP1:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する、2 ビットのレジスタです。リセット時 WDMOD<WDTP1:0> = 00 にイニシャライズされます。

ウォッチドッグタイマの検出時間を図 3.12.4に示します。

b. ウォッチドッグタイマのイネーブル/ディセーブル制御 <WDTE>

リセット時、WDMOD<WDTE> = 1 にイニシャライズされますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にクリアするとともに、WDCR レジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生しにくくなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>ビットを “1” にセットするだけでイネーブルとなります。

c. ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により自分自身をリセットするか否かを設定するレジスタです。リセット時、WDMOD<RESCR> = 0 に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグタイマコントロールレジスタ WDCR

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

- ディセーブル制御

WDMOD<WDTE> を “0” にクリアした後、この WDCR レジスタにディセーブルコード (B1H) を書き込むと、ウォッチドッグタイマをディセーブルにすることができます。

```
WDMOD   ← 0 – – X X – – 0    WDTE を “0” にクリアします。
WDCR    ← 1 0 1 1 0 0 0 1    ディセーブルコード (B1H) を書き込みます。
```

- イネーブル制御

WDMOD<WDTE> を “1” にする。

- ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

```
WDCR    ← 0 1 0 0 1 1 1 0    クリアコード (4EH) を書き込みます。
```

WDMOD (0300H)

	7	6	5	4	3	2	1	0
Bit symbol	WDTE	WDTP1	WDTP0			I2WDT	RESCR	–
Read/Write	R/W	R/W				R/W		R/W
リセット後	1	0	0			0	0	0
機　能	WDT 制御 1: 許可	WDT 検出時間の選択 00: $2^{15}/f_{SYS}$ 01: $2^{17}/f_{SYS}$ 10: $2^{19}/f_{SYS}$ 11: $2^{21}/f_{SYS}$				IDLE2 0: 停止 1: 動作	1: リセット端子に WDT 出力を内部接続	“0” をライトしてください。

ウォッチドッグタイマアウトコントロール

0	–
1	WDT アウトをリセットへ接続

IDLE2 の停止/動作

0	停止
1	動作

ウォッチドッグタイマの検出時間　　@ fc = 16 MHz, fs = 32.768 kHz

SYSCR1 システム クロック選択 <SYSCK>	SYSCR1 クロックギア値 <GEAR2:0>	ウォッチドッグタイマ検出時間 WDMOD<WDTP1:0> 00	01	10	11
1 (fs)	XXX	2.0 s	8.0 s	32.0 s	128.0 s
0 (fc)	000 (fc)	4.096 ms	16.384 ms	65.536 ms	262.144 ms
	001 (fc/2)	8.192 ms	32.768 ms	131.072 ms	524.288 ms
	010 (fc/4)	16.384 ms	65.536 ms	262.144 ms	1.049 s
	011 (fc/8)	32.768 ms	131.072 ms	524.288 ms	2.097 s
	100 (fc/16)	65.536 ms	262.144 ms	1.049 s	4.194 s

ウォッチドッグタイマの禁止/許可制御

0	停止
1	許可

図 3.12.4　ウォッチドッグタイマモードレジスタ

図 3.12.5　ウォッチドッグタイマコントロールレジスタ

3.12.3 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0> レジスタで設定された検出時間後に割り込み INTWD を発生させるタイマです。ソフトウエア (命令) でウォッチドッグタイマ用のバイナリカウンタを INTWD 割り込みが発生する前に、0 にクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作 (暴走) し、バイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD 割り込みが発生します。CPU は INTWD 割り込みにより誤動作 (暴走) が発生したことを知り、誤動作 (暴走) 対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマはリセット解除後、直ちに動作を開始します。

また、IDLE1 モードおよび STOP モード中のウォッチドッグタイマは、リセットされ停止しています。バス解放中 ($\overline{\text{BUSAK}}$ = “L”) は、カウントを続けます。

IDLE2 モードでは、WDMOD<I2WDT>の設定に依存します。必要に応じて IDLE2 モードに入る前に、WDMOD<I2WDT>を設定してください。

例: a. バイナリカウンタをクリアします。

WDCR ← 0 1 0 0 1 1 1 0　クリアコード (4EH) を書き込みます。

b. ウォッチドッグタイマ検出時間を $2^{17}/f_{SYS}$ に設定します。

WDMOD ← 1 0 1 X X − − 0

c. ウォッチドッグタイマをディセーブルします。

WDMOD ← 0 − − X X − − 0　WDTE を “0” にクリアします。
WDCR ← 1 0 1 1 0 0 0 1　ディセーブルコード (B1H) を書き込みます。

3.13 リアルタイムクロック (RTC)

3.13.1 RTC の機能概要

(1) 時計 (時分秒, 月日曜年, うるう年)
(2) オートカレンダー
(3) 24 時間計と 12 時間計 (AM/PM) のいずれかを選択可能
(4) ±30 秒補正機能 (ソフトウエアによるアジャスト)
(5) $\overline{\text{ALARM}}$ 端子からのアラーム出力
(6) アラーム出力による割り込みを発生

3.13.2 ブロック図

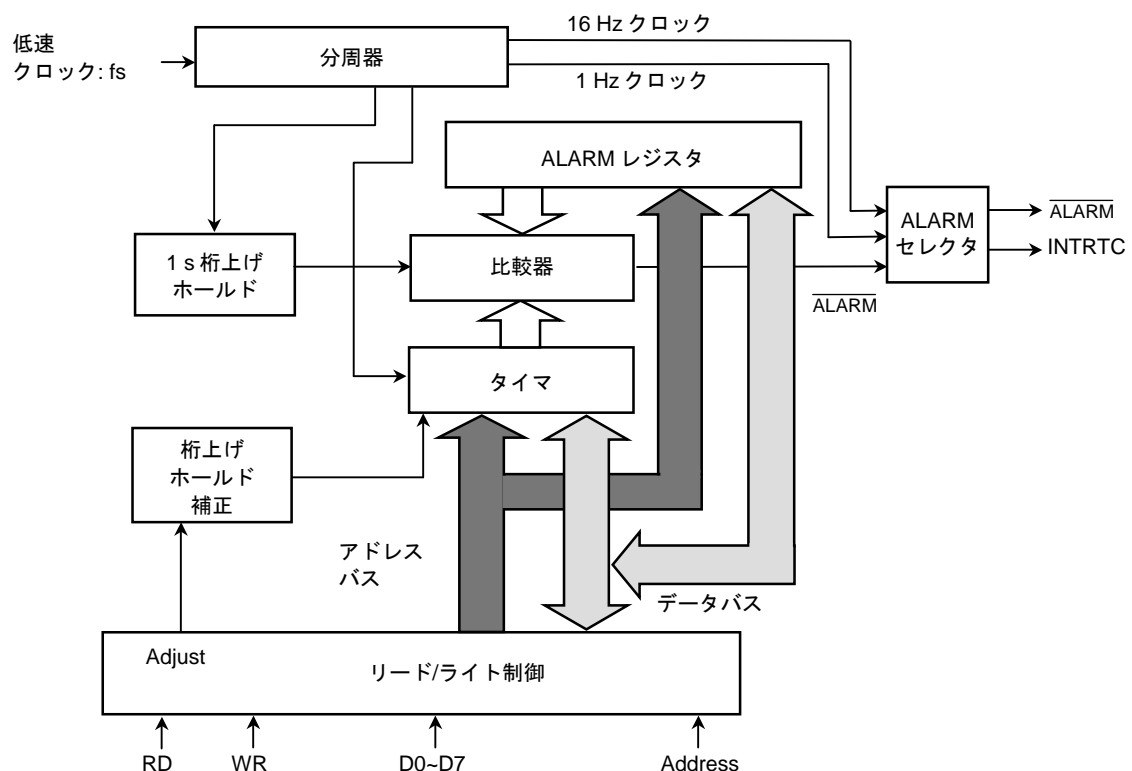



図 3.13.1 RTC ブロック図

注 1) 西暦年桁について
本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムにおいて西暦で年桁を取り扱う場合には、システム側にて上 2 桁を管理してください。

注 2) うるう年について
うるう年は 4 で割り切れる年ですが、例外があり 100 で割り切れる年はうるう年ではありません (400 で割り切れる年はうるう年です)。
しかし、本製品は上記例外に対応していません。4 で割り切れる年のみをうるう年としていますので、この点に問題があれば、システム側にてあらかじめ対策してください。

3.13.3 SFR 一覧

表 3.13.1 PAGE 0 (タイマ機能) レジスタ群

記号	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	設定内容	Read/Write
SECR	0320H		40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒桁	R/W
MINR	0321H		40 分	20 分	10 分	8 分	4 分	2 分	1 分	分桁	R/W
HOURR	0322H			20 時	10 時	8 時	4 時	2 時	1 時	時間桁	R/W
DAYR	0323H						W2	W1	W0	曜日桁	R/W
DATER	0324H			20 日	10 日	8 日	4 日	2 日	1 日	日桁	R/W
MONTHR	0325H				10 月	8 月	4 月	2 月	1 月	月桁	R/W
YEARR	0326H	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	(西暦下 2 桁) 年桁	R/W
PAGER	0327H	INTENA			ADJUST	ENATMR	ENAALM		PAGE	PAGE レジスタ	W, R/W
RESTR	0328H	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	“0” をライトしてください。				リセットレジスタ	Write only

注) PAGE 0 の SECR, MINR, HOURR, DAYR, DATER, MONTHR, YEARR は、リードすると現在の状態がリードされます。

表 3.13.2 PAGE 1 (アラーム機能) レジスタ群

記号	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	設定内容	Read/Write
SECR	0320H										R/W
MINR	0321H		40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分桁	R/W
HOURR	0322H			20 時	10 時	8 時	4 時	2 時	1 時	アラーム時間桁	R/W
DAYR	0323H						W2	W1	W0	アラーム曜日桁	R/W
DATER	0324H			20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁	R/W
MONTHR	0325H								24/12	24 時間計選択 bit	R/W
YEARR	0326H							LEAP1	LEAP0	うるう年桁	R/W
PAGER	0327H	INTENA				ENATMR	ENAALM		PAGE	PAGE レジスタ	W, R/W
RESTR	0328H	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	“0” をライトしてください。				リセットレジスタ	Write only

3.13.4 SFR の説明

RTC はリセットによる初期化はされません。RTC は電源投入後、不定値で動作しています。従って、RTC は各レジスタに時刻/月日曜日年うるう年を設定後、動作を開始します。

(1) 秒桁レジスタの設定 (PAGE 0 のみ)

SECR (0320H)		7	6	5	4	3	2	1	0
	Bit symbol		SE6	SE5	SE4	SE3	SE2	SE1	SE0
	Read/Write		R/W						
	リセット後		不定						
	機　能	"0" がリードされます。	40 秒桁	20 秒桁	10 秒桁	8 秒桁	4 秒桁	2 秒桁	1 秒桁

0	0	0	0	0	0	0	0 秒
0	0	0	0	0	0	1	1 秒
0	0	0	0	0	1	0	2 秒
0	0	0	0	1	0	0	4 秒
0	0	0	0	1	0	1	5 秒
0	0	0	0	1	1	0	6 秒
0	0	0	0	1	1	1	7 秒
0	0	0	1	0	0	0	8 秒
0	0	0	1	0	0	1	9 秒
0	0	1	0	0	0	0	10 秒

0	0	1	1	0	0	1	19 秒
0	1	0	0	0	0	0	20 秒

0	1	0	1	0	0	1	29 秒
0	1	1	0	0	0	0	30 秒

0	1	1	1	0	0	1	39 秒
1	0	0	0	0	0	0	40 秒

1	0	0	1	0	0	1	49 秒
1	0	1	0	0	0	0	50 秒

1	0	1	1	0	0	1	59 秒

(2) 分桁レジスタの設定 (PAGE 0/1)

MINR (0321H)		7	6	5	4	3	2	1	0
	Bit symbol		MI6	MI5	MI4	MI3	MI2	MI1	MI0
	Read/Write		R/W						
	リセット後		不定						
	機　能	"0" がリードされます。	40 分	20 分	10 分	8 分	4 分	2 分	1 分

0	0	0	0	0	0	0	0 分
0	0	0	0	0	0	1	1 分
0	0	0	0	0	1	0	2 分
0	0	0	0	0	1	1	3 分
0	0	0	0	1	0	0	4 分
0	0	0	0	1	0	1	5 分
0	0	0	0	1	1	0	6 分
0	0	0	0	1	1	1	7 分
0	0	0	1	0	0	0	8 分
0	0	0	1	0	0	1	9 分
0	0	1	0	0	0	0	10 分

0	0	1	1	0	0	1	19 分
0	1	0	0	0	0	0	20 分

0	1	0	1	0	0	1	29 分
0	1	1	0	0	0	0	30 分

0	1	1	1	0	0	1	39 分
1	0	0	0	0	0	0	40 分

1	0	0	1	0	0	1	49 分
1	0	1	0	0	0	0	50 分

1	0	1	1	0	0	1	59 分

(3) 時間桁レジスタの設定 (PAGE 0/1)

a. PAGE 1 の MONTHR<MO0> = “1” (24 時間計表示) の場合

HOURR (0322H)

	7	6	5	4	3	2	1	0
Bit symbol			HO5	HO4	HO3	HO2	HO1	HO0
Read/Write			R/W					
リセット後			不定					
機　能	“0” がリードされます。		20 時	10 時	8 時	4 時	2 時	1 時

↓

0	0	0	0	0	0	0 時
0	0	0	0	0	1	1 時
0	0	0	0	1	0	2 時

0	0	1	0	0	0	8 時
0	0	1	0	0	1	9 時
0	1	0	0	0	0	10 時

0	1	1	0	0	1	19 時
1	0	0	0	0	0	20 時

1	0	0	0	1	1	23 時

b. PAGE 1 の MONTHR<MO0> = “0” (12 時間計表示) の場合

HOURR (0322H)

	7	6	5	4	3	2	1	0
Bit symbol			HO5	HO4	HO3	HO2	HO1	HO0
Read/Write			R/W					
リセット後			不定					
機　能	“0” がリードされます。		PM/ $\overline{\text{AM}}$	10 時	8 時	4 時	2 時	1 時

↓

0	0	0	0	0	0	0 時 (AM)
0	0	0	0	0	1	1 時
0	0	0	0	1	0	2 時
0	0	1	0	0	1	9 時
0	1	0	0	0	0	10 時
0	1	0	0	0	1	11 時
1	0	0	0	0	0	0 時 (PM)
1	0	0	0	0	1	1 時

(4) 曜日桁レジスタの設定 (PAGE 0/1)

DAYR (0323H)

	7	6	5	4	3	2	1	0
Bit symbol						WE2	WE1	WE0
Read/Write						R/W		
リセット後						不定		
機　能	“0” がリードされます。					W2	W1	W0

0	0	0	日曜日
0	0	1	月曜日
0	1	0	火曜日
0	1	1	水曜日
1	0	0	木曜日
1	0	1	金曜日
1	1	0	土曜日

(5) 日桁レジスタの設定 (PAGE 0/1)

DATER (0324H)

	7	6	5	4	3	2	1	0
Bit symbol			DA5	DA4	DA3	DA2	DA1	DA0
Read/Write			R/W					
リセット後			不定					
機　能	“0”がリードされます。		20 日	10 日	8 日	4 日	2 日	1 日

0	0	0	0	0	0	0 日
0	0	0	0	0	1	1 日
0	0	0	0	1	0	2 日
0	0	0	0	1	1	3 日
0	0	0	1	0	0	4 日

0	0	1	0	0	1	9 日
0	1	0	0	0	0	10 日
0	1	0	0	0	1	11 日

0	1	1	0	0	1	19 日
1	0	0	0	0	0	20 日

1	0	1	0	0	1	29 日
1	1	0	0	0	0	30 日
1	1	0	0	0	1	31 日

(6) 月桁レジスタの設定 (PAGE 0 のみ)

MONTHR (0325H)		7	6	5	4	3	2	1	0
	Bit symbol				MO4	MO3	MO2	MO1	MO0
	Read/Write				R/W				
	リセット後				不定				
	機　能	“0”がリードされます。			10 月	8 月	4 月	2 月	1 月

↓

0	0	0	0	1	1 月
0	0	0	1	0	2 月
0	0	0	1	1	3 月
0	0	1	0	0	4 月
0	0	1	0	1	5 月
0	0	1	1	0	6 月
0	0	1	1	1	7 月
0	1	0	0	0	8 月
0	1	0	0	1	9 月
1	0	0	0	0	10 月
1	0	0	0	1	11 月
1	0	0	1	0	12 月

(7) 24 時間計/12 時間計の設定 (PAGE 1)

MONTHR (0325H)		7	6	5	4	3	2	1	0
	Bit symbol								MO0
	Read/Write								R/W
	リセット後								不定
	機　能	“0” がリードされます。							1: 24 時間計 0: 12 時間計

(8) (西暦下 2 桁) 年桁レジスタ (PAGE 0)

YEARR (0326H)

	7	6	5	4	3	2	1	0
Bit symbol	YE7	YE6	YE5	YE4	YE3	YE2	YE1	YE0
Read/Write	R/W							
リセット後	不定							
機　能	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年

↓

1	0	0	1	1	0	0	1	99 年
0	0	0	0	0	0	0	0	00 年
0	0	0	0	0	0	0	1	01 年
0	0	0	0	0	0	1	0	02 年
0	0	0	0	0	0	1	1	03 年
0	0	0	0	0	1	0	0	04 年
0	0	0	0	0	1	0	1	05 年

(9) うるう年桁レジスタの設定 (PAGE 1)

YEARR (0326H)

	7	6	5	4	3	2	1	0
Bit symbol							LEAP1	LEAP0
Read/Write							R/W	
リセット後							不定	
機　能	“0” がリードされます。						00: うるう年 01: うるう年から 1 年目 10: うるう年から 2 年目 11: うるう年から 3 年目	

↓

0	0	現在の年 (今年) が うるう年の場合
0	1	現在がうるう年の 翌年である場合
1	0	現在がうるう年から 2 年目である場合
1	1	現在がうるう年から 3 年目である場合

(10) PAGE レジスタの設定 (PAGE 0/1)

PAGER (0327H)

	7	6	5	4	3	2	1	0
Bit symbol	INTENA			ADJUST	ENATMR	ENAALM		PAGE
Read/Write	R/W			W	R/W			R/W
リセット後	0			不定	不定			不定
機　能	注) 割り込み 1: 禁止 0: 許可	“0” がリードされます。		1: アジャスト	タイマ 1: 禁止 0: 許可	アラーム 1: 禁止 0: 許可	“0” がリードされます。	PAGE 設定

リードモディファイライトできません。
注)　本ビット設定時は、下記の設定順番を守ってください。
(時計/アラーム許可と割り込み許可の設定間に時間差を設ける)

(例)　現時刻, アラーム設定
→　時計, アラーム許可　→　割り込み許可
ld　(pager),0ch　　ld　(pager),8ch

0	Page 0 を指定します。
1	Page 1 を指定します。

0	–
1	秒を補正します。秒が 0~29 秒のときにこのビットを “1” にすると、秒は “0” になります。また、30~59 秒のときは分を桁上げして秒を “0” にします。

PAGE 0 のみ

(11) リセットレジスタの設定 (PAGE 0/1)

RESTR (0328H)

	7	6	5	4	3	2	1	0
Bit symbol	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	RE3	RE2	RE1	RE0
Read/Write	W							
リセット後	不定							
機　能	0: 1 Hz	0: 16 Hz	1: タイマリセット	1: アラームリセット	“0” をライトしてください。			

リードモディファイライトできません。

0	–
1	アラーム･レジスタをリセットします。

0	–
1	分周器をリセットします。

0	16 Hz クロック許可 ($\overline{\text{ALARM}}$ 端子出力, INTRTC)
1	16 Hz クロック禁止 ($\overline{\text{ALARM}}$ 端子出力, INTRTC)

0	1 Hz クロック許可 ($\overline{\text{ALARM}}$ 端子出力, INTRTC)
1	1 Hz クロック禁止 ($\overline{\text{ALARM}}$ 端子出力, INTRTC)

3.13.5 タイマの説明

(1) タイマデータをリードする場合

a. タイマデータのリード動作の途中で内部カウンタの桁上げが起こると、誤ったデータをリードする場合があります。従って、データを正しく読み込むために、下記の方法で 2 度読みをしてください。

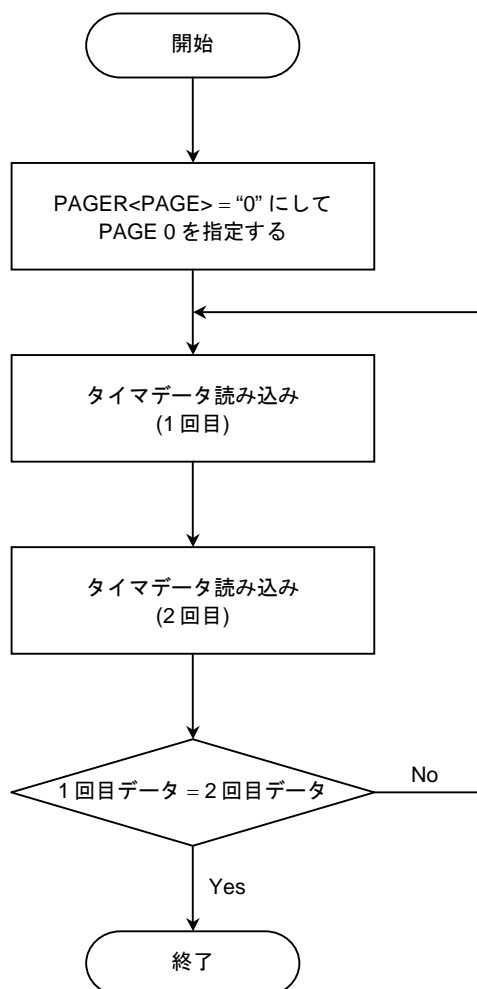



図 3.13.2 タイマデータのリードフロー

図 3.13.2に示すようにタイマのデータなどを読み出す場合には、タイマデータを 2 回読み、その内容を比較して桁上げを確認します。データの比較内容が異なっているときは、桁上げが合ったことになりますので、再度データの読み出しを行ってください。

b. $\overline{\text{ALARM}}$ 出力を用いたタイマデータの読み出し

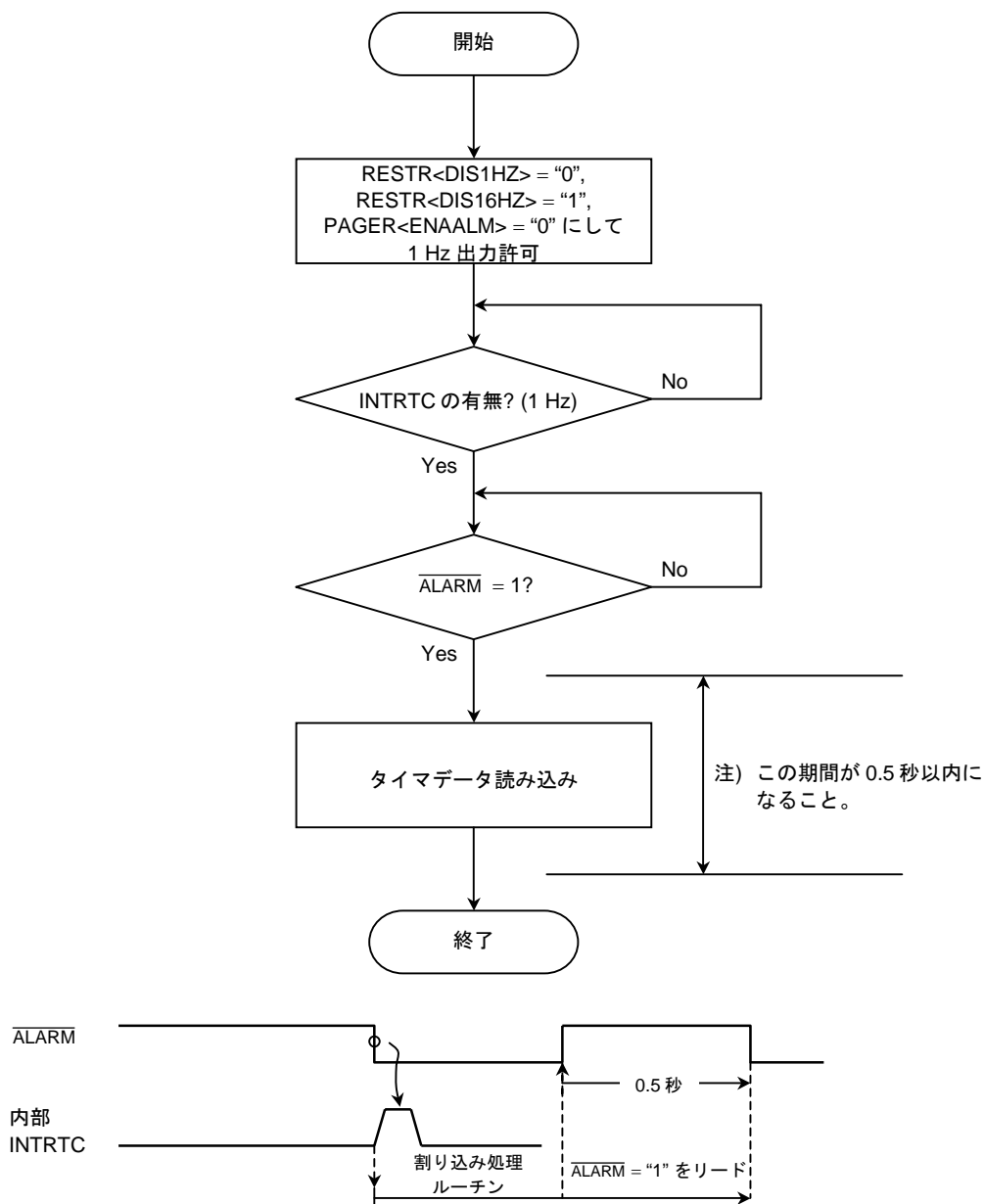
1 Hz の INTRTC の割り込みルーチンで $\overline{\text{ALARM}}$ ＝“1” を検出することで、$\overline{\text{ALARM}}$ 出力の立ち上がりエッジでデータを読み込むことができます。

$\overline{\text{ALARM}}$ ＝ 1 を割り込みルーチンで PORT リードしてから RTC のタイマをリードするのは、1 Hz のパルス周期の立ち上がりエッジで RTC タイマの桁上げが起きるためです。タイマデータをリードするには、桁上げ発生後の 0.5 秒の期間にリードすることで所定の時刻 (タイマ値) がリードできることになります。

図 3.13.3 $\overline{\text{ALARM}}$ 出力を利用したタイマテーブルの読み出し

(2) データのライトを行う場合

一連データのライト動作の途中で桁上げ信号が入ってくると、期待するデータは書き込めません。従って、データを正しく書き込むためには次の方法があります。

a. 分周器をリセットする

RTC 内部には 32.768 kHz の信号から 1 Hz を発生する 15 段の分周器が内蔵されており、この分周期をリセットすると 1 秒間はタイマの桁上げは行われません。この間にデータを書き込みます。

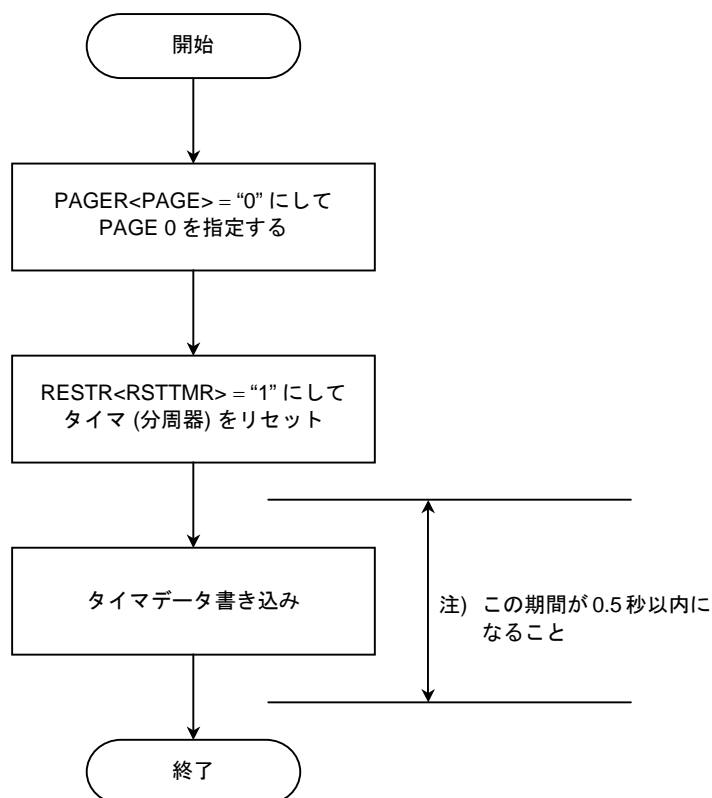



図 3.13.4 データのライトフロー

b. タイマを禁止する場合

PAGER<ENATMR>に “0” を書き込むと、タイマは禁止となって桁上げが禁止され、CLOCK HOLD 回路により誤動作を防ぐことができます。

CLOCK HOLD 回路は、タイマが禁止中に分周器から発生した 1 秒の桁上げ信号を 1 回分だけ保持し、タイマ許可になってからその桁上げ信号をタイマに出力して時刻を補正し、継続して動作します。ただし、タイマ禁止状態が 1 秒以上続くと、タイマは遅れてきます。このとき注意することは、タイマ禁止中にシステム電源がダウンしてしまうことです。この場合、タイマは停止したままになり、時刻は遅れます。

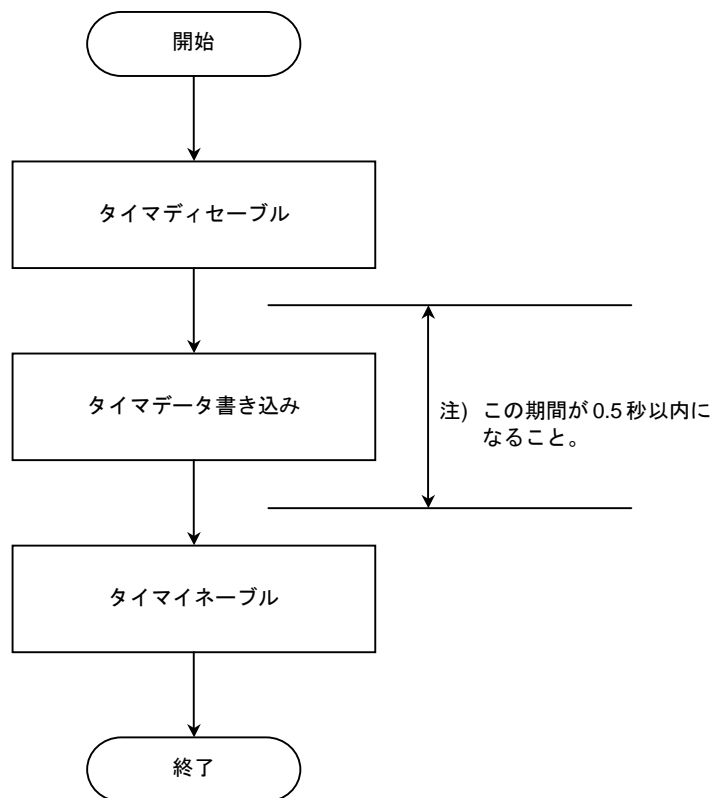



図 3.13.5 タイマを禁止するフロー

3.13.6 アラームの説明

PAGE 1 のレジスタによりアラーム機能が使用できます。 $\overline{\text{ALARM}}$ 端子からは以下 3 つの信号のいずれかを出力できます。また、INTRTC はいずれの場合も立ち下がりエッジを検出して 1 ショットのパルスを出力します。

なお、RTC はリセットにより初期化されませんので、タイマ, アラームの設定時に、割り込みコントローラにある割り込み要求フラグをクリアしてから使用してください。

(1) アラームレジスタとタイマの一致時、“0” を出力。
(2) 1 Hz のクロックを出力。
(3) 16 Hz のクロックを出力。

(1) アラームレジスタとタイマの一致時、“0” を出力。

PAGER<ENAALM> = “1” で、PAGE 1 のアラームレジスタと PAGE 0 のタイマの内容が一致したとき、$\overline{\text{ALARM}}$ 端子に “0” を出力するとともに INTRTC 割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を下記に説明します。

アラームの初期化は RESTR<RSTALM>に “1” をライトすることにより行われ、アラーム分, アラーム時, アラーム日, アラーム曜日は Don’t care になります。このときは常にタイマの内容と一致したことになり、PAGER<ENAALM>が “1” であれば INTRTC 割り込みを出力します。

アラーム分, アラーム時, アラーム日, アラーム曜日の設定は、PAGE 1 の各レジスタにデータをライトすることにより行われます。データを設定した項目は Don’t care が解除されます。

すべての項目が一致したときに、PAGER<ENAALM>, PAGER<INTENA>が “1” であれば INTRTC 割り込みを出力します。ただし、未設定項目 (Don’t care 状態) は常に一致しているものと見なされます。

一度設定した項目は独立に Don’t care に戻すことはできません。アラームの初期化およびアラームレジスタの再設定が必要です。例えば、毎日正午 (PM12:00) に $\overline{\text{ALARM}}$ 端子から信号出力させる場合のプログラムを下記に示します。

```
    LD    (PAGER),09H     ; アラーム禁止, PAGE 1 設定
    LD    (RESTR),D0H     ; アラーム初期化
    LD    (MONTHR),01H    ; 24 時間計
    LD    (HOURR),12H     ; 12 時設定
    LD    (MINR),00H      ; 00 分設定
              ～          ; セットアップ時間 31 µs   注)
    LD    (PAGER),0CH     ; アラーム許可
(   LD    (PAGER),8CH     ; 割り込み許可 )
```

アラーム設定は低周波クロックに同期して動作していますので、CPU が高周波で動作している場合、レジスタ設定してから有効になるまでに最大 32 kHz の 1 クロック分 (約 30 µs)のズレが生じることがあります。上記例の場合、時間設定からアラーム許可までの間に 31 µs のセットアップ時間が必要です。

注) このセットアップ時間は SLOW モードで使用する際は不要です。また、内部割り込みのみの使用の際も不要です。

(2) 1 Hz のクロックを出力する場合

PAGER<ENAALM> = “0”, RESTR<DIS1HZ> = “0”, <DIS16HZ> = “1” を設定することにより、$\overline{\text{ALARM}}$ 端子に 1 Hz のクロックを出力します。また、そのクロックの立ち下がりエッジで INTRTC 割り込みを出力します。

(3) 16 Hz のクロックを出力する場合

PAGER<ENAALM> = “0”, RESTR<DIS1HZ> = “1”, <DIS16HZ> = “0” を設定することにより、$\overline{\text{ALARM}}$ 端子に 16 Hz のクロックを出力します。また、そのクロックの立ち下がりエッジで INTRTC 割り込みを出力します。

3.14 LCD コントローラ (LCDC)

2 タイプの LCD ドライバに対応する LCD コントローラを 内蔵しています。

- シフトレジスタ型 LCD ドライバ対応モード (SR モード)

  あらかじめ、動作モード, 表示データ格納メモリのスタートアドレス, LCD サイズ (com, seg) などを SFR に設定後、スタートします。それにより、LCDC は CPU にバス解放要求を出力し、表示データのメモリからデータをリードして、外部にある LCD ドライバへ設定された LCD サイズ分のデータを専用データバス端子より転送します。このとき、データ転送に同期して LCD ドライバへ接続される D1BSCP などの制御端子も規定の波形を出力します。表示データの読み出しが終了すると、バス解放要求を解除し、CPU はリスタートします。

- RAM 内蔵型 LCD ドライバ対応モード (RAM モード)

  LCD ドライバへのデータ転送は、CPU の転送命令で実行します。

  あらかじめ、動作モードのみを SFR に設定後、CPU の転送命令が実行されると LCDC はそれに同期して、D1BSCP などの制御端子より外部へ接続される LCD ドライバへチップセレクト信号を出力します。そのため、LCD サイズに対応したデータ転送数などの制御は、CPU の命令で制御します。

- 特殊モード

  本 LCD コントローラのソースクロックは通常低周波クロック (32 kHz) より生成されていますので、低周波クロックを使用しないシステムでは動作しません。そこで、高周波クロックから 32 kHz のクロックを生成し、低周波クロックを使用しないシステムでも LCD コントローラが使用できるモードを追加しています。詳細は 3.7 「8 ビットタイマ」を参照してください。

本章は下記のような構成になっています。

3.14.1 タイプ別 LCDC の特長

それぞれの特長、端子の使用方法について下記に示します。

表 3.14.1 タイプ別 LCDC の特長

<table>
<tr><th colspan="2"></th><th>シフトレジスタ型モード</th><th>RAM 内蔵型モード</th></tr>
<tr><td colspan="2">対応可能な LCD
表示画素数</td><td>Common (ロー): 64, 68, 80, 100, 120,
128, 144, 160, 200, 240
Segment (カラム): 32, 64, 80, 120, 128,
160, 240, 320, 360</td><td>制限なし</td></tr>
<tr><td colspan="2">表示メモリデータバス幅</td><td>8 ビット (バイト), 16 ビット (ワード) 選択可</td><td>8 ビット (バイト), 16 ビット (ワード) 転送命令依存</td></tr>
<tr><td colspan="2">LCD ドライバデータバス幅</td><td>8 ビット, 4 ビット選択可</td><td>8 ビット固定</td></tr>
<tr><td colspan="2">表示メモリ読み出し時間
(@ f_{FPH} = 16 [MHz])</td><td>250 ns/1 バイト　@BYTE モード
375 ns/1 バイト　@NIBBLE モード</td><td></td></tr>
<tr><td rowspan="8">外部
端子</td><td>データバス:
D7~D0 端子</td><td>データバスです。カラムドライバの DI 端子へ接続します。NIBBLE モード時上位 4 端子、BIT モード時上位 7 端子は使用しません。</td><td>データバスです。カラム/ロー･ドライバの DB 端子へ接続します。</td></tr>
<tr><td>バスステート:
R/W 端子</td><td>未使用</td><td>バスステートです。カラム/ロードライバのライトイネーブル端子へ接続します。</td></tr>
<tr><td>アドレスバス:
A0 端子</td><td>未使用</td><td>アドレス 0 です。データバスの値を A0 ＝ 1 で表示データ、A0＝0 でインストラクションデータとします。カラムドライバの D/I 端子へ接続します。</td></tr>
<tr><td>シフトクロックパルス:
D1BSCP 端子</td><td>シフトクロックパルス出力端子です。カラムドライバの SCP 端子へ接続します。この端子の立ち下がりエッジで、ドライバはデータバスの値をラッチします。</td><td>カラムドライバ 1 用チップイネーブル端子です。カラムドライバ 1 の $\overline{CE}$ 端子へ接続します。</td></tr>
<tr><td>ラッチパルス:
D2BLP 端子</td><td>ラッチパルス出力端子です。ロードライバの LP 端子へ接続します。この端子の立ち上がりエッジで、LCDD の出力レジスタに表示データが更新されます。</td><td>カラムドライバ 2 用チップイネーブル端子です。カラムドライバ 2 の $\overline{CE}$ 端子へ接続します。</td></tr>
<tr><td>フレーム:
D3BFR 端子</td><td>LCD 交流化信号出力端子です。カラム/ロードライバの FR 端子へ接続します。</td><td>カラムドライバ 3 用チップイネーブル端子です。カラムドライバ 3 の $\overline{CE}$ 端子へ接続します。</td></tr>
<tr><td>カスケードパルス:
DLEBCD 端子</td><td>カスケードパルス出力端子です。ロードライバの DIO1 端子へ接続します。D3BFR 端子の変化ごとに、1 ショットのパルスを出力します。</td><td>ロードライバ用チップイネーブル端子です。ロードライバの $\overline{LE}$ 端子へ接続します。</td></tr>
<tr><td>表示 OFF:
$\overline{DOFF}$ 端子</td><td colspan="2">表示オフ出力端子です。カラム/ロードライバの $\overline{DSPOF}$ 端子へ接続します。“0” で表示 OFF、“1” で表示 ON です。</td></tr>
</table>

3.14.2　ブロック図

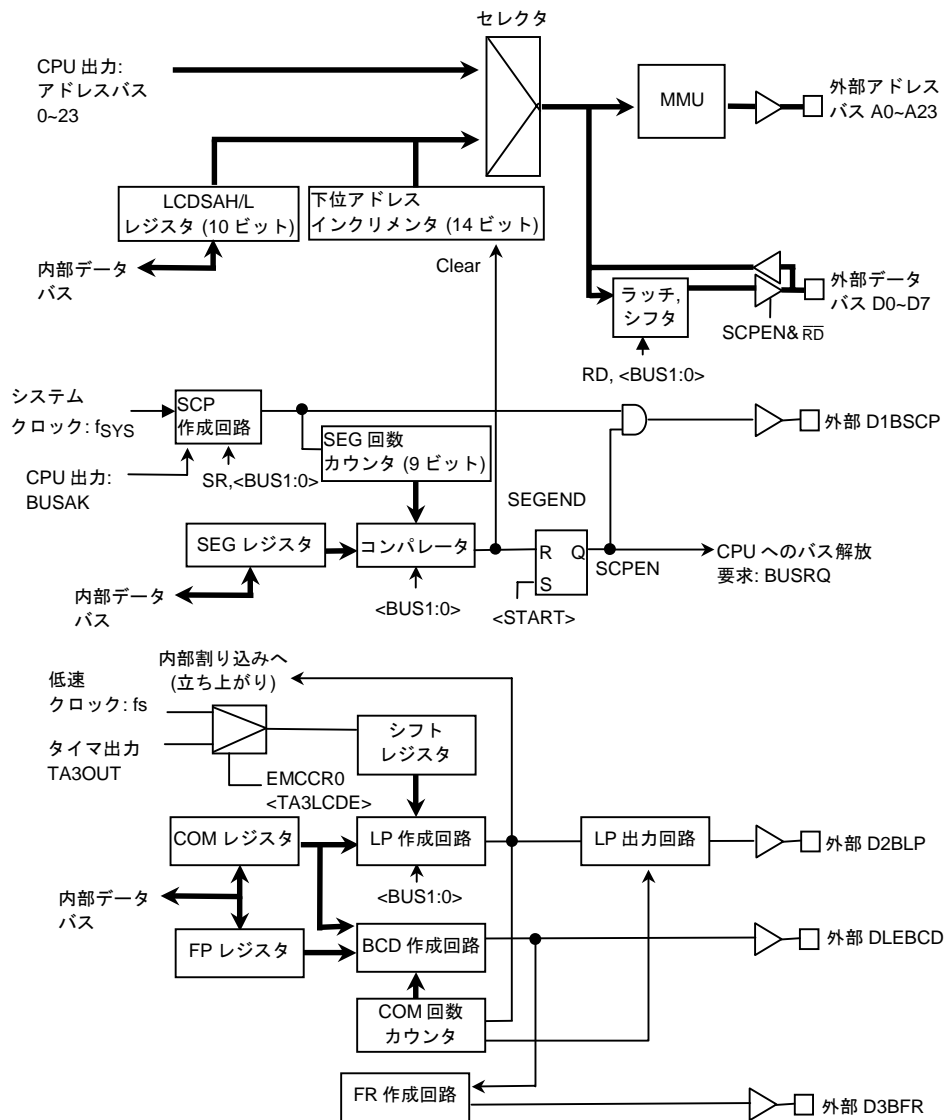



図 3.14.1　LCDC ブロック図

3.14.3 SFR 説明

LCDSAL レジスタ

LCDSAL (0360H)

	7	6	5	4	3	2	1	0
Bit symbol	SAL15	SAL14	SAL13	SAL12		–	–	MODE
Read/Write	R/W	R/W	R/W	R/W		R/W	R/W	R/W
リセット後	0	0	0	0		0	0	0
機　能	SR モードでの転送元データ 格納メモリスタートアドレス A15~A12 設定					“0” をライトしてください。	“0” をライトしてください。	対応モード 0: RAM 1: SR

LCDSAH レジスタ

LCDSAH (0361H)

	7	6	5	4	3	2	1	0
Bit symbol	SAL23	SAL22	SAL21	SAL20	SAL19	SAL18	SAL17	SAL16
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機　能	SR モードでの転送元データ 格納メモリスタートアドレス A23~A16 設定							

LCDSIZE レジスタ

LCDSIZE (0362H)

	7	6	5	4	3	2	1	0
Bit symbol	COM3	COM2	COM1	COM0	SEG3	SEG2	SEG1	SEG0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機　能	LCD コモン数設定 (SR モード用) 0000: 64　0101: 128 0001: 68　0110: 144 0010: 80　0111: 160　その他: Reserved 0011: 100　1000: 200 0100: 120　1001: 240				LCD セグメント数設定 (SR モード用) 0000: 32　0101: 160 0001: 64　0110: 240 0010: 80　0111: 320 0011: 120　1000: 360 0100: 128　その他: Reserved			

LCDCTL レジスタ

LCDCTL (0363H)

	7	6	5	4	3	2	1	0
Bit symbol	LCDON	–	–	BUS1	BUS0	MMULCD	FP8	START
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機　能	$\overline{DOFF}$ 端子 (SR, RAM モード用) 0: OFF 1: ON	“0” をライトしてください。	“0” をライトしてください。	SR モードでのデータバス幅選択 00: 8 ビット (BYTE モード) 01: 4 ビット (NIBBLE モード) 10: Reserved 11: Reserved		RAM 内蔵ドライバ TYPE 設定 0: シーケンシャルアクセス型 1: ランダムアクセス型	f_{FP} 設定値ビット 8	SR モードのスタート制御 0: 停止 1: スタート

注 1)　LCDSAH, LCDSAL に設定するスタートアドレスには、下記の制約があります。

[制約]　1 フレーム分のデータ転送により、A13 から A14 へ桁上げが発生するスタートアドレス設定の禁止

(例)　240 コモン × 360 セグメント (10800 バイト = 2A30H バイト) の場合
スタートアドレス SAL15~SAL12 は、“0H” または “1H” のいずれかに設定してください。

注 2)　LCDSAH, LCDSAL とともに使用される 14 ビットアドレスインクリメンタの初期値は 0000H です。

LCDFFP レジスタ

LCDFFP (0364H)		7	6	5	4	3	2	1	0
	Bit symbol	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
	Read/Write	R/W							
	リセット後	0							
	機　能	f_{FP} 設定値ビット 7~0							

LCDCTR2 レジスタ

LCDCTL2 (0366H)		7	6	5	4	3	2	1	0
	Bit symbol	–	–	–			RAMBUS	AC1	AC0
	Read/Write	R/W	R/W	R/W			R/W	R/W	R/W
	リセット後	0	0	0			0	0	0
	機　能	“111”をライトしてください。 注)					0: バイト 1: ワード	00: タイプ A 01: タイプ B 10: タイプ C 11: Reserved	

注) <RAMBUS>, <AC1>, <AC0>を初期設定のままで使用する場合でも、ビット 7~5 の 3 ビットには必ず 1 を書き込んでください。

LCDC1L/LCDC1H/LCDC2L/LCDC2H/LCDC3L/LCDC3H/LCDR1L/LCDR1H レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	D7	D6	D5	D4	D3	D2	D1	D0
Read/Write	外部 LCDD の仕様による							
リセット後	外部 LCDD の仕様による							
機　能	外部 LCDD の仕様による							

これらのレジスタは、本製品には存在しません。外部に接続するシーケンシャルアクセス型 RAM 内蔵 LCD ドライバ (注 1) のインストラクションレジスタ､表示データレジスタのイメージです。

これらのレジスタには表 3.14.2のようなアドレスが割り当てられており､それにより対応するアドレスをアクセスすると、チップイネーブル端子がアクティブになります。

また、このアドレス 0FE0H~0FE7H のエリアは外部エリアに設定していますので、外部へのアクセスにより $\overline{RD}$, $\overline{WR}$ 端子はアクティブになります。

表 3.14.3 にランダムアクセス型 RAM 内蔵 LCD ドライバ (注 2) のアドレスマップを示しています。この選択は LCDCTL<MMULCD>にて設定します。

表 3.14.2　シーケンシャルアクセス型 RAM 内蔵 LCD ドライバチップイネーブル仕様

<table>
<tr><th>レジスタ名</th><th>アドレス</th><th colspan="2">用途
シーケンシャルアクセス型</th><th>チップ
イネーブル
端子</th><th>A0 端子</th></tr>
<tr><td>LCDC1L</td><td>0FE0H</td><td rowspan="2">RAM 内蔵型カラムドライバ 1</td><td>インストラクション</td><td rowspan="2">D1BSCP</td><td>0</td></tr>
<tr><td>LCDC1H</td><td>0FE1H</td><td>表示データ</td><td>1</td></tr>
<tr><td>LCDC2L</td><td>0FE2H</td><td rowspan="2">RAM 内蔵型カラムドライバ 2</td><td>インストラクション</td><td rowspan="2">D2BLP</td><td>0</td></tr>
<tr><td>LCDC2H</td><td>0FE3H</td><td>表示データ</td><td>1</td></tr>
<tr><td>LCDC3L</td><td>0FE4H</td><td rowspan="2">RAM 内蔵型カラムドライバ 3</td><td>インストラクション</td><td rowspan="2">D3BFR</td><td>0</td></tr>
<tr><td>LCDC3H</td><td>0FE5H</td><td>表示データ</td><td>1</td></tr>
<tr><td>LCDR1L</td><td>0FE6H</td><td rowspan="2">RAM 内蔵型ロードライバ</td><td>インストラクション</td><td rowspan="2">DLEBCD</td><td>0</td></tr>
<tr><td>LCDR1H</td><td>0FE7H</td><td>表示データ</td><td>1</td></tr>
</table>

表 3.14.3　ランダムアクセス型 RAM 内蔵 LCD ドライバチップイネーブル仕様

アドレス	用途 ランダムアクセス型	チップ イネーブル 端子
3C0000H~ 3CFFFFH	RAM 内蔵型ドライバ 1	D1BSCP
3D0000H~ 3DFFFFH	RAM 内蔵型ドライバ 2	D2BLP
3E0000H~ 3EFFFFH	RAM 内蔵型ドライバ 3	D3BFR
3F0000H~ 3FFFFFH	RAM 内蔵型ドライバ 4	DLEBCD

注 1)　アドレス端子を持たずインストラクションレジスタにより RAM へのアクセス方法をセットする方式の RAM 内蔵型 LCD ドライバを、ここでは「シーケンシャルアクセス型 RAM 内蔵 LCD ドライバ」と呼びます。
(弊社 LCDD: T6B65A, T6C84 など_ 2000/3 現在)

注 2)　アドレス端子を持ち、SRAM と同様のアクセス方式の RAM 内蔵型 LCD ドライバを、ここでは「ランダムアクセス型 RAM 内蔵 LCD ドライバ」と呼びます。
(弊社 LCDD: T6C23, T6K01 など_ 2000/3 現在)

3.14.4 シフトレジスタ型 LCD ドライバ対応モード (SR タイプ)

あらかじめ動作モード, 転送元データ格納メモリのスタートアドレス, LCD サイズ (com, seg) などを I/O レジスタに設定後、スタートレジスタをセットします。それにより、LCDC は CPU にバス解放要求 (バス停止要求) を出力し、転送元のメモリからデータをリードして、外部にある LCD ドライバへ設定された LCD サイズ分のデータを、データバス端子より転送します。このとき、データ転送に同期して LCD ドライバへ接続される D1BSCP などの制御端子も、規定の波形を出力します。転送が終了するとバス解放要求を解除し、CPU はリスタートします。LCD コントローラは D3BFR, DLEBCD, D2BLP 端子の波形生成用に、システムクロック f_{SYS} とは別のクロック LCDCK を使用します。

LCDCK は低周波クロック (XT1, XT2): 32.768 kHz、または内蔵の TMRA23 より出力されるタイマーアウト TA3OUT を EMCCR0<TA3LCDE>レジスタにて選択します。<TA3LCDE>は外部リセットにより “0” となり、32.768 kHz が選択されています。

以下のフレーム周波数などの説明は、32.768 kHz を使用した場合で記述します。

図 3.14.2, 図 3.14.3 に 240 seg × 120 com, BYTE モードの場合の LCDC タイミング図を示します。

表 3.14.4 にセグメント数, コモン数別の t_{LP} (D2BLP 端子周期), CPU 停止時間/停止比率の一覧表、表 3.14.5にコモン数別の f_{FP} (フレーム周波数) を示します。

また、図 3.14.5 に 240 seg × 120 com LCD ドライバ接続回路例を示します。

3.14.4.1 フレーム周期決定機能 (補正機能)

TMP91C025 ではフレーム周期 (LCD パネルのリフレッシュ間隔) を、f_{FP} [8:0]に設定した値により定義しています。DLEBCD 端子にはこのフレーム周期ごとにパルスが出力され、D3BFR 端子には通常この周期ごとに極性が反転する信号が出力されます。

前項レジスタ f_{FP} [8:0]に設定値に従って、基本となるフレーム周期 DLEBCD 信号が作られます。通常、この値はコモン数と同等な値を設定しますが、自由に設定値を増やしてフレーム周期を補正することができます。

フレーム周期は次の計算式で求めることができます。

フレーム周期 = LCDCK/(D × f_{FP}) [Hz]　D: 各コモン数の定数 (参照)

f_{FP}: f_{FP} [8:0]レジスタ設定値

LCDCK: LCD ソースクロック

(通常は低周波クロックが選択されています)

f_{FP} [8:0]の値は設定したいフレーム周期に合わせて、表 3.14.5の中から選択してください。

注)　f_{FP} [8:0]へ設定する f_{FP} 値は、下記の範囲にしてください。
COM (コモン数) ≦ f_{FP} ≦ 320

(例 1) 240 com でフレーム周期を 72.10 Hz にする場合、表 3.14.5より COM + 63 が選択され、

f_{FP} = 240 (COM) + 63 = 303 = 12FH

よって、LCDCTL<FP8> = 1H、LCDFFP<FP7:0> = 2FH を設定してください。

LCDCTL レジスタ

LCDCTL (0363H)

		7	6	5	4	3	2	1	0
LCDCTL (0363H)	Bit symbol	LCDON	–	–	BUS1	BUS0	MMULCD	FP8	START
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機　能	$\overline{\text{DOFF}}$ 端子 (SR, RAM モード用) 0: OFF 1: ON	“0” をライトしてください。	“0” をライトしてください。	SR モードでのデータバス幅選択 00: 8 ビット (BYTE モード) 01: 4 ビット (NIBBLE モード) 10: Reserved 11: Reserved		RAM 内蔵ドライバ TYPE 設定 0: シーケンシャルアクセス型 1: ランダムアクセス型	f_{FP} 設定値ビット 8	SR モードのスタート制御 0: 停止 1: スタート

LCDFFP レジスタ

		7	6	5	4	3	2	1	0
LCDFFP (0364H)	Bit symbol	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
	Read/Write	R/W							
	リセット後	0							
	機　能	f_{FP} 設定値ビット 7~0							

3.14.4.2 タイマーアウト LCDCK

LCD ソースクロック: LCDCK は低周波クロック (XT1, XT2): 32.768 [kHz]、または内蔵の TMRA23 より出力されるタイマーアウト “TA3OUT” を選択できます。

(例 2) TA3OUT を LCDC ソースクロックに選択することにより､フレーム周期 = 70 [Hz] に設定する方法を示します。(fc = 6 [MHz], 120 com)

フレーム周期は次式で求められます。

フレーム周期 = $1/(t_{LP} \times f_{FP})$ [Hz]　　　t_{LP}: D2BLP の周期

LCDC のソースクロックを XT [Hz]とすると、この t_{LP} は

t_{LP} = D/XT　　　D: 120 com の場合 3.5

よって、f_{FP} = 120 の場合,フレーム周期を 70 [Hz]に設定するには

XT = 120 × 3.5 × 70
= 29400 [Hz]　となるクロックが必要になります。

ここで、タイマ 3 のϕT1 を使用し、fc = 6 [MHz]で XT = 29400 [Hz]を生成します。

1/XT = T3 × 2 × 8/fc [s]　　　T3: タイマレジスタ(TA3REG)の値

つまり、

XT = fc/(T3 × 2 × 8) [Hz]　　となります。

これを計算すると、T3 = (TA3REG) = 12.75 となりますが、小数点以下は設定不可なので (TA3REG) = 0CH に設定すると、XT = 31250 [Hz] となります。
また D = 3.5 より

フレーム周期 = 31250/(120 × 3.5)
= 74.404 [Hz]　　となります。

さらに、f_{FP} に補正を加えて COM = 127 (COM + 7) として計算すると

フレーム周期 = 31250/(127 × 3.5)
= 70.30 [Hz]　となります。

(参考) フレーム周期決定機能, タイマーアウト LCDCK を使用して、フレーム周期を約 70 [Hz] 目安にすると表示品位が上がります。

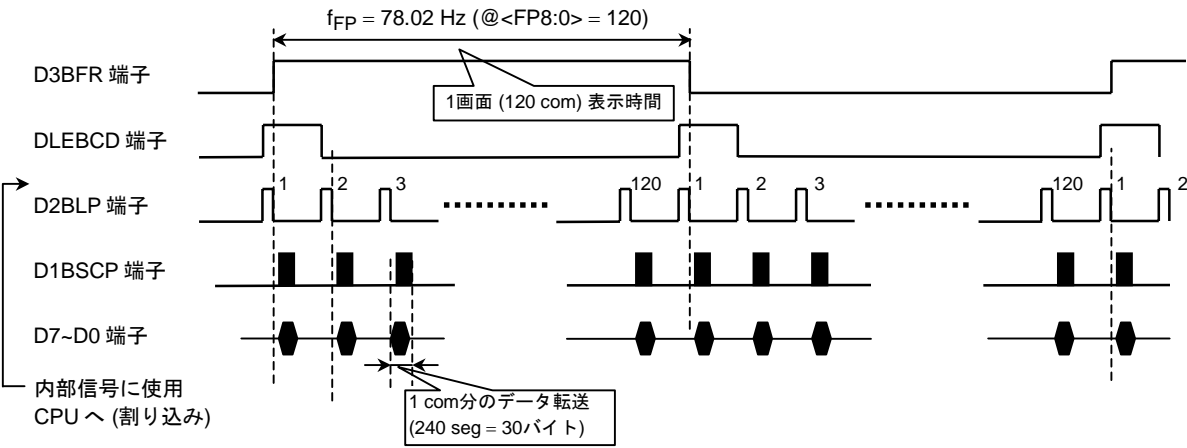



図 3.14.2 SR モード全体タイミング図

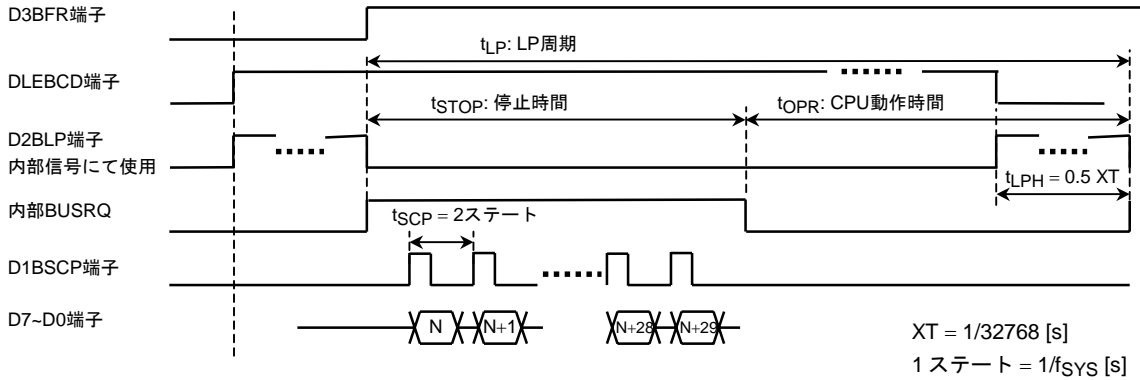



図 3.14.3 SR モード詳細タイミング図

表 3.14.4　セグメント, コモン数別性能一覧表

		64 com	68 com	80 com	100 com	120 com	128 com	144 com	160 com	200 com	240 com	unit
t_{LP} 作成用 XT カウント数:D		6.5	6	5	4	3.5	3	2.5	2.5	2	1.5	–
t_{LP}		198.4	183.1	152.6	122.1	106.8	91.6	76.3	76.3	61.0	45.8	us
32 seg	t_{STOP}	1.0										us
	CPU 停止率	0.5	0.5	0.7	0.8	0.9	0.9	1.1	1.3	1.6	1.6	%
64 seg	t_{STOP}	2.0										us
	CPU 停止率	1.0	1.0	1.3	1.6	1.9	1.9	2.2	2.6	3.3	3.3	%
80 seg	t_{STOP}	2.5										us
	CPU 停止率	1.3	1.3	1.6	2.0	2.3	2.3	2.7	3.3	4.1	4.1	%
120 seg	t_{STOP}	3.75										us
	CPU 停止率	1.9	1.9	2.5	3.1	3.5	3.5	4.1	4.9	6.1	6.1	%
128 seg	t_{STOP}	4.0										us
	CPU 停止率	2.0	2.0	2.6	3.3	3.7	3.7	4.4	5.2	6.6	6.6	%
160 seg	t_{STOP}	5.0										us
	CPU 停止率	2.5	2.5	3.3	4.1	4.7	4.7	5.5	6.6	8.2	8.2	%
240 seg	t_{STOP}	7.5										us
	CPU 停止率	3.8	3.8	4.9	6.1	7.0	7.0	8.2	9.8	12.3	12.3	%
320 seg	t_{STOP}	10.0										us
	CPU 停止率	5.0	5.0	6.6	8.2	9.4	9.4	10.9	13.1	16.4	16.4	%
360 seg	t_{STOP}	11.25										us
	CPU 停止率	5.7	5.7	7.4	9.2	10.5	10.5	12.3	14.7	18.4	18.4	%

注 1)　上記の値は f_{FPH} = 27 [MHz] 時の値です。

注 2)　CPU 停止時間 t_{STOP}: 数値は BYTE 読み込み BYTE 書き込み時で、転送元メモリを 0 ウェイト, タイプ A および B を使用したときの値です。NIBBLE モード, BIT モード使用時にタイプ C を使用した場合、t_{STOP} 時間は長くなり、WORD 読み込み時間は短くなります。詳細は「タイプ別転送規格一覧」のステート/サイクルの関係を参照してください。また、上記数値には、バス解放要求に伴う転送開始までの所要時間は含まれません。

注 3)　下記図の t_{LP} は次のような計算式で求めることができます。

t_{LP} = D / 32768 [s]

(例)　240 COMMON の場合、上記表より、D = 1.5

t_{LP} = 1.5/32768 = 45.8 [us]

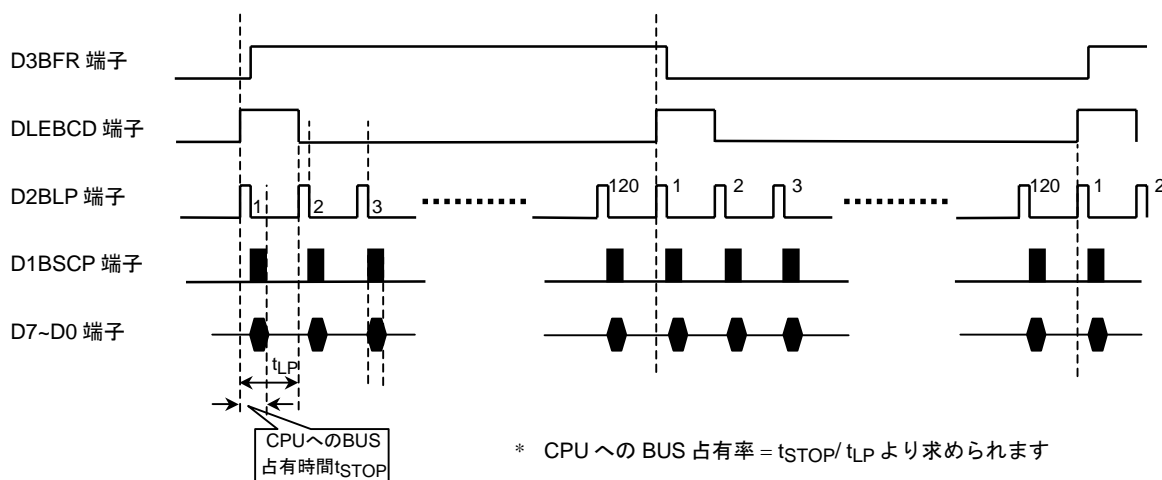



図 3.14.4　CPU 停止時間 t_{STOP} と占有率

表 3.14.5　コモン数別 f_{FP} 一覧表 (1/2)

D	6.5	6	5	4	3.5	3	2.5	2.5	2	1.5
com	64	68	80	100	120	128	144	160	200	240
com + 0	78.77	80.31	81.92	81.92	78.02	85.33	91.02	81.92	81.92	91.02
com + 1	77.56	79.15	80.91	81.11	77.37	84.67	90.39	81.41	81.51	90.64
	76.38	78.02	79.92	80.31	76.74	84.02	89.78	80.91	81.11	90.27
	75.24	76.92	78.96	79.53	76.12	83.38	89.16	80.41	80.71	89.90
	74.14	75.85	78.02	78.77	75.50	82.75	88.56	79.92	80.31	89.53
	73.06	74.81	77.10	78.02	74.90	82.13	87.97	79.44	79.92	89.16
	72.02	73.80	76.20	77.28	74.30	81.51	87.38	78.96	79.53	88.80
	71.00	72.82	75.33	76.56	73.72	80.91	86.80	78.49	79.15	88.44
	70.02	71.86	74.47	75.85	73.14	80.31	86.23	78.02	78.77	88.09
	69.06	70.93	73.64	75.16	72.58	79.73	85.67	77.56	78.39	87.73
com + 10	68.12	70.02	72.82	74.47	72.02	79.15	85.11	77.10	78.02	87.38
	67.22	69.13	72.02	73.80	71.47	78.58	84.56	76.65	77.65	87.03
	66.33	68.27	71.23	73.14	70.93	78.02	84.02	76.20	77.28	86.69
	65.47	67.42	70.47	72.50	70.39	77.47	83.49	75.76	76.92	86.35
	64.63	66.60	69.72	71.86	69.87	76.92	82.96	75.33	76.56	86.01
	63.81	65.80	68.99	71.23	69.35	76.38	82.44	74.90	76.20	85.67
	63.02	65.02	68.27	70.62	68.84	75.85	81.92	74.47	75.85	85.33
	62.24	64.25	67.56	70.02	68.34	75.33	81.41	74.05	75.50	85.00
	61.48	63.50	66.87	69.42	67.84	74.81	80.91	73.64	75.16	84.67
	60.74	62.77	66.20	68.84	67.35	74.30	80.41	73.22	74.81	84.34
com + 20	60.01	62.06	65.54	68.27	66.87	73.80	79.92	72.82	74.47	84.02
	59.31	61.36	64.89	67.70	66.40	73.31	79.44	72.42	74.14	83.70
	58.62	60.68	64.25	67.15	65.93	72.82	78.96	72.02	73.80	83.38
	57.95	60.01	63.63	66.60	65.47	72.34	78.49	71.62	73.47	83.06
	57.29	59.36	63.02	66.06	65.02	71.86	78.02	71.23	73.14	82.75
	56.64	58.72	62.42	65.54	64.57	71.39	77.56	70.85	72.82	82.44
	56.01	58.10	61.83	65.02	64.13	70.93	77.10	70.47	72.50	82.13
	55.40	57.49	61.25	64.50	63.69	70.47	76.65	70.09	72.18	81.82
	54.80	56.89	60.68	64.00	63.26	70.02	76.20	69.72	71.86	81.51
	54.21	56.30	60.12	63.50	62.83	69.57	75.76	69.35	71.55	81.21
com + 30	53.63	55.73	59.58	63.02	62.42	69.13	75.33	68.99	71.23	80.91
	53.07	55.16	59.04	62.53	62.00	68.70	74.90	68.62	70.93	80.61
	52.51	54.61	58.51	62.06	61.59	68.27	74.47	68.27	70.62	80.31
	51.97	54.07	58.00	61.59	61.19	67.84	74.05	67.91	70.32	80.02
	51.44	53.54	57.49	61.13	60.79	67.42	73.64	67.56	70.02	79.73
	50.92	53.02	56.99	60.68	60.40	67.01	73.22	67.22	69.72	79.44
	50.41	52.51	56.50	60.24	60.01	66.60	72.82	66.87	69.42	79.15
	49.91	52.01	56.01	59.80	59.63	66.20	72.42	66.53	69.13	78.86
	49.42	51.52	55.54	59.36	59.25	65.80	72.02	66.20	68.84	78.58
	48.94	51.04	55.07	58.94	58.88	65.41	71.62	65.87	68.55	78.30

注 1)　f_{FP} は次のような計算式で求めることができます。

$f_{FP} = 32768/(D \times FP)$ [Hz]

(例)　120 com で <FP8:0> = 131 の場合、

$f_{FP} = 32768/(3.5 \times 131) = 71.5$ [Hz]

注 2)　上記の値は、fs = 32.768 [kHz] のときの値です。

コモン数別 f_{FP} 一覧表 (2/2)

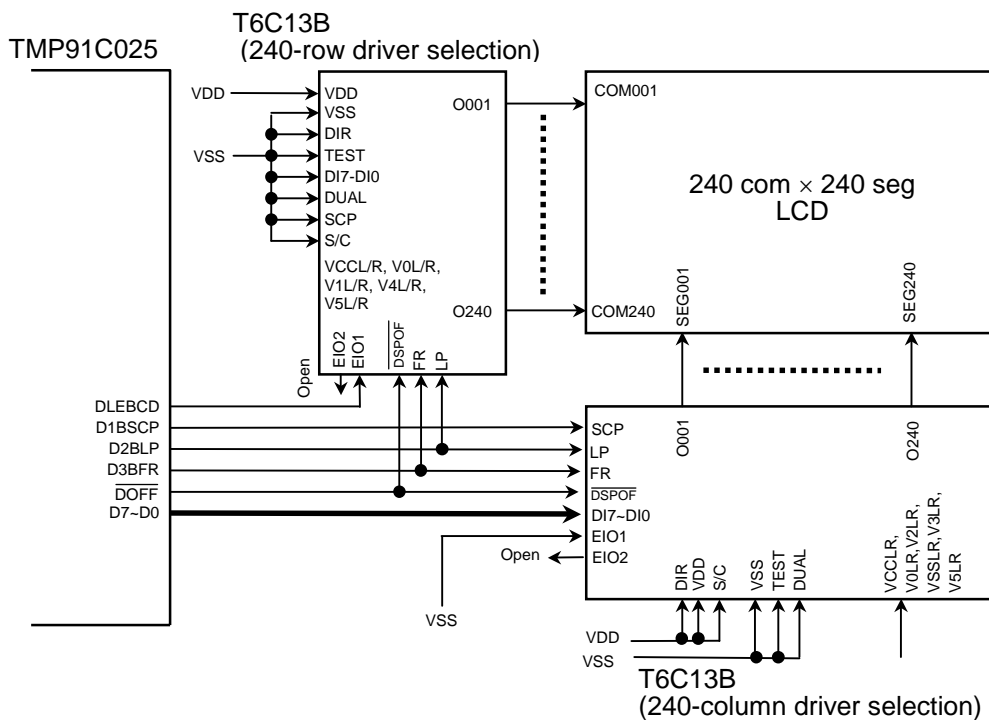
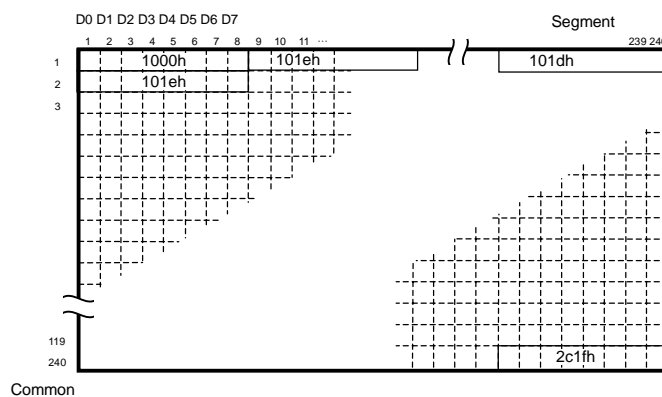
D	6.5	6	5	4	3.5	3	2.5	2.5	2	1.5
com	64	68	80	100	120	128	144	160	200	240
com + 40	48.47	50.57	54.61	58.51	58.51	65.02	71.23	65.54	68.27	78.02
	48.01	50.10	54.16	58.10	58.15	64.63	70.85	65.21	67.98	77.74
	47.56	49.65	53.72	57.69	57.79	64.25	70.47	64.89	67.70	77.47
	47.11	49.20	53.28	57.29	57.44	63.88	70.09	64.57	67.42	77.19
	46.68	48.76	52.85	56.89	57.09	63.50	69.72	64.25	67.15	76.92
	46.25	48.33	52.43	56.50	56.74	63.14	69.35	63.94	66.87	76.65
	45.83	47.91	52.01	56.11	56.40	62.77	68.99	63.63	66.60	76.38
	45.42	47.49	51.60	55.73	56.06	62.42	68.62	63.32	66.33	76.12
	45.01	47.08	51.20	55.35	55.73	62.06	68.27	63.02	66.06	75.85
	44.61	46.68	50.80	54.98	55.40	61.71	67.91	62.71	65.80	75.59
com + 50	44.22	46.28	50.41	54.61	55.07	61.36	67.56	62.42	65.54	75.33
	43.84	45.89	50.03	54.25	54.75	61.02	67.22	62.12	65.27	75.07
	43.46	45.51	49.65	53.89	54.43	60.68	66.87	61.83	65.02	74.81
	43.09	45.13	49.28	53.54	54.12	60.35	66.53	61.54	64.76	74.56
	42.72	44.77	48.91	53.19	53.81	60.01	66.20	61.25	64.50	74.30
	42.36	44.40	48.55	52.85	53.50	59.69	65.87	60.96	64.25	74.05
	42.01	44.04	48.19	52.51	53.19	59.36	65.54	60.68	64.00	73.80
	41.66	43.69	47.84	52.18	52.89	59.04	65.21	60.40	63.75	73.55
	41.32	43.34	47.49	51.85	52.60	58.72	64.89	60.12	63.50	73.31
	40.99	43.00	47.15	51.52	52.30	58.41	64.57	59.85	63.26	73.06
com + 60	40.66	42.67	46.81	51.20	52.01	58.10	64.25	59.58	63.02	72.82
	40.33	42.34	46.48	50.88	51.73	57.79	63.94	59.31	62.77	72.58
	40.01	42.01	46.15	50.57	51.44	57.49	63.63	59.04	62.53	72.34
	39.69	41.69	45.83	50.26	51.16	57.19	63.32	58.78	62.30	72.10
	39.38	41.37	45.51	49.95	50.88	56.89	63.02	58.51	62.06	71.86
	39.08	41.06	45.20	49.65	50.61	56.59	62.71	58.25	61.83	71.62
	38.78	40.76	44.89	49.35	50.33	56.30	62.42	58.00	61.59	71.39
	38.48	40.45	44.58	49.05	50.07	56.01	62.12	57.74	61.36	71.16
	38.19	40.16	44.28	48.76	49.80	55.73	61.83	57.49	61.13	70.93
	37.90	39.86	43.98	48.47	49.54	55.45	61.54	57.24	60.91	70.70
com + 70	37.62	39.57	43.69	48.19	49.28	55.16	61.25	56.99	60.68	70.47
	37.34	39.29	43.40	47.91	49.02	54.89	60.96	56.74	60.46	70.24
	37.07	39.01	43.12	47.63	48.76	54.61	60.68	56.50	60.24	70.02
	36.80	38.73	42.83	47.35	48.51	54.34	60.40	56.25	60.01	69.79
	36.53	38.46	42.56	47.08	48.26	54.07	60.12	56.01	59.80	69.57
	36.27	38.19	42.28	46.81	48.01	53.81	59.85	55.78	59.58	69.35
	36.01	37.93	42.01	46.55	47.77	53.54	59.58	55.54	59.36	69.13
	35.75	37.66	41.74	46.28	47.52	53.28	59.31	55.30	59.15	68.91
	35.50	37.41	41.48	46.02	47.28	53.02	59.04	55.07	58.94	68.70
	35.25	37.15	41.22	45.77	47.05	52.77	58.78	54.84	58.72	68.48
com + 80	35.01	36.90	40.96	45.51	46.81	52.51	58.51	54.61	58.51	68.27

注) LCD ドライバを表示させるためには、ほかにドライブ電源供給回路が必要です。

図 3.14.5　LCD ドライバ接続例

- 設定例: 240 seg × 240 com, 8 ビットバス幅の LCD ドライバを使用する場合

内蔵 RAM (アドレス 1000H~2C1FH) へ LCD ドライバへの転送データ 7200 バイトを格納。

```
LD      (PDFC),1FH          ; 制御端子出力設定
LD      (LCDSAL),11H        ; SR モード
LD      (LCDSAH),00H        ; 転送元スタートアドレス=1000H
LD      (LCDSIZE),96H       ; 240 seg × 240 com
LD      (LCDFFP),308        ; (240 + 68) fFP = 70.93 Hz
LD      (LCDCTL),81H        ; BYTE モード, fFP = 70.93 Hz,
                            ; LCDON, 転送スタート
```

LCD パネルと表示メモリアドレスの関係 (上記設定例の場合)

3.14.4.3 データバス幅による転送時間

LCD ドライバのデータバス幅は LCDCTL<BUS1:0>で、BYTE/NIBBLE のいずれかを選択できます。

転送元の読み出しは、LCD ドライバのバス幅に関係なく 8 ビット固定です。また、そのリードサイクルのウェイト数は、内蔵 RAM の場合 0 ウェイトで、外部 RAM の場合は CS/WAIT コントローラの設定値で動作します。

3.14.4.4 HALT モード時の動作

LCDC が動作中に CPU が HALT 命令を実行し、HALT モードに遷移した場合、IDLE2 モードであれば動作を継続します。IDLE1, STOP モードの場合は停止します。

注) 転送元であるメモリバス幅 (CS/WAIT コントローラにて設定) と LCDCTL2<RAMBUS>のバス幅は同一の設定にしてください。

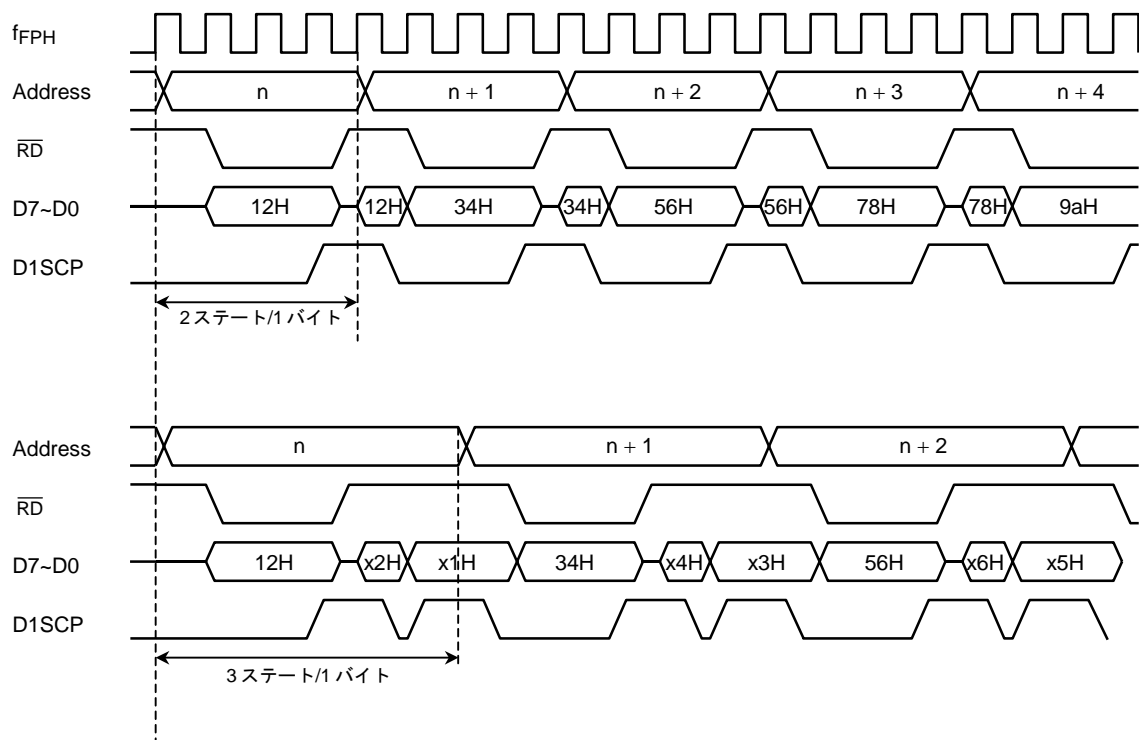



図 3.14.6 データバス幅別インタフェースタイミング図 (No wait 外部 RAM)

表 3.14.6　タイプ別転送規格一覧

読み出しバス幅	Type	書み込みモード	セットアップタイム	ホールドタイム	D1BSCPパルス幅	D1BSCP周期	ステート/サイクル
Byte	A	Byte	0.5x	1.0x	1.5x	4.0x	4.0x
		Nibble	0.5x	1.0x	1.0x	2.0x	6.0x
	B	Byte	1.0x	0.5x	2.0x	4.0x	4.0x
		Nibble	1.0x	0.5x	1.0x	2.0x	6.0x
	C	Byte	1.0x	2.5x	1.5x	6.0x	6.0x
		Nibble	1.0x	1.5x	2.5x	5.0x	10.0x
Word	A	Byte	0.5x	1.0x	1.0x	2.0x	6.0x
		Nibble	0.5x	1.0x	1.0x	2.0x	10.0x
	B	Byte	1.0x	0.5x	1.0x	2.0x	6.0x
		Nibble	1.0x	0.5x	1.0x	2.0x	10.0x
	C	Byte	1.0x	1.5x	1.5x	3.0x	8.0x
		Nibble	1.0x	1.5x	2.5x	5.0x	20.0x

注)　表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期はクロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

本表はその AC 時間を保証するものではなく、あくまで目安です。
詳細な AC については、別紙 AC タイミングを参照してください。

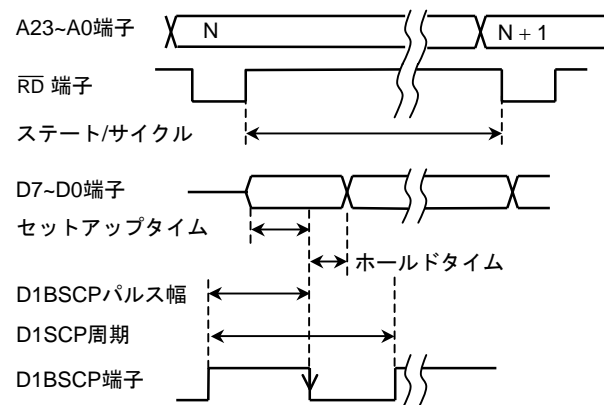



図 3.14.7　規格定義

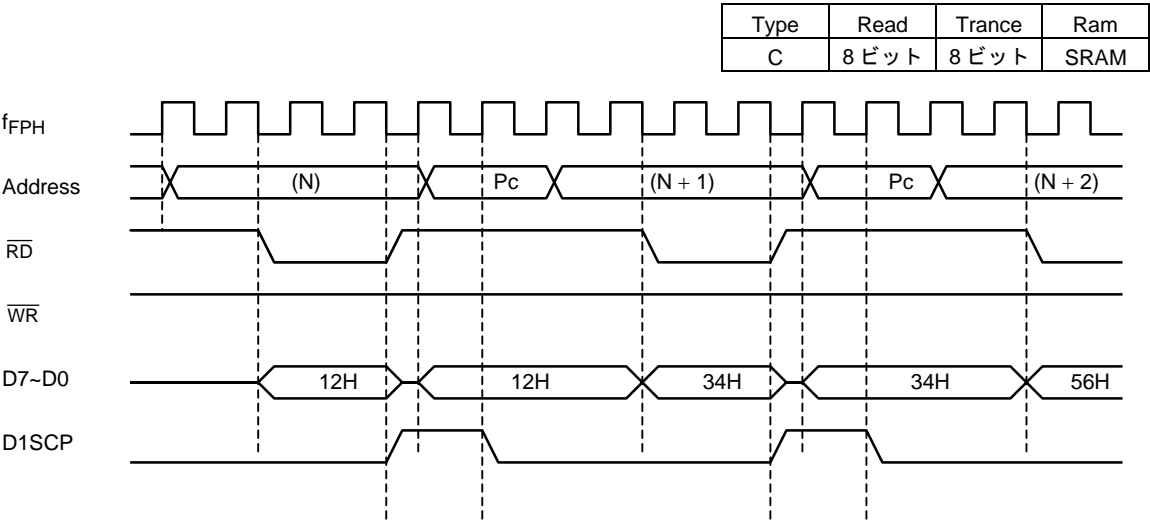
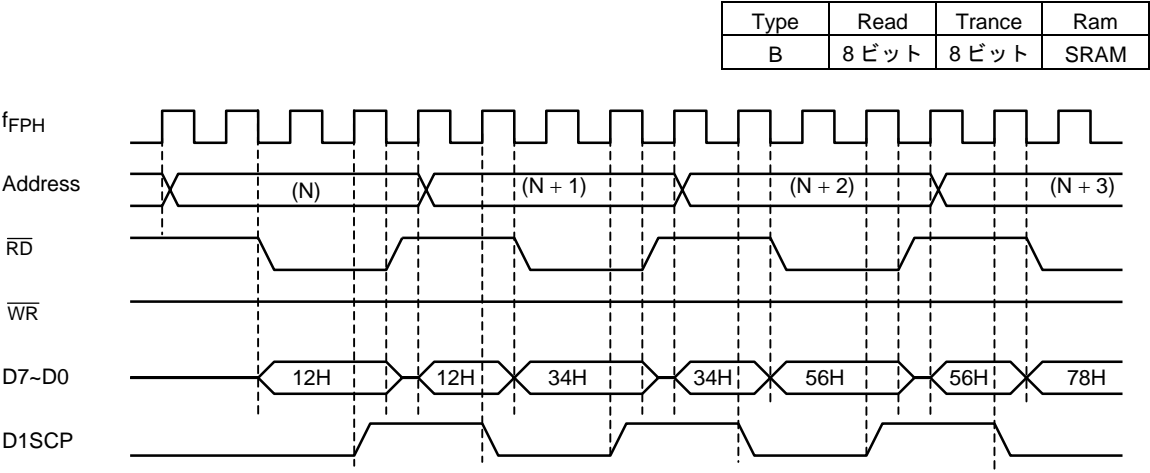
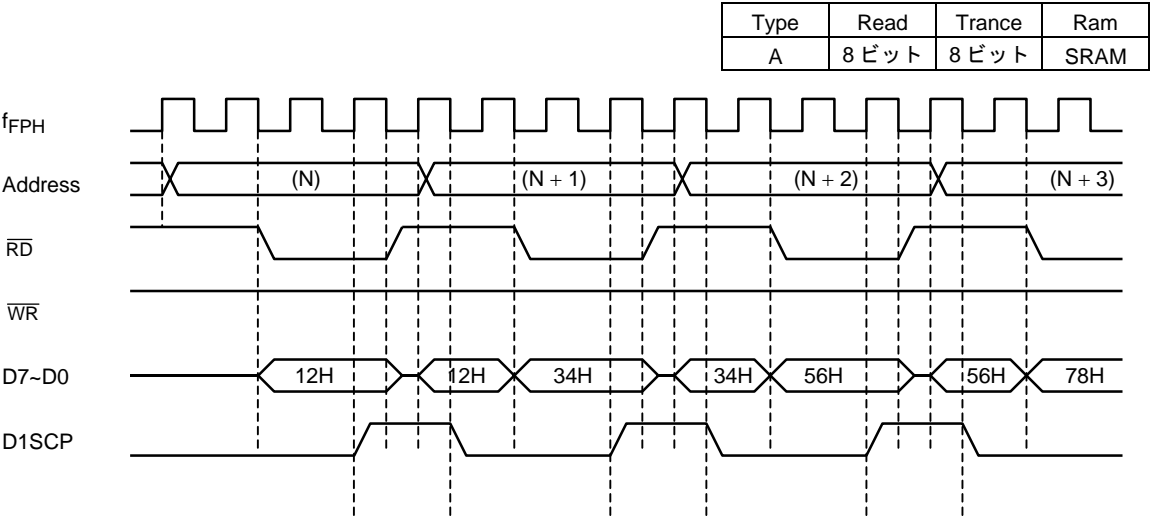



図 3.14.8　Byte 読み出し、Byte 書き込みタイミング図

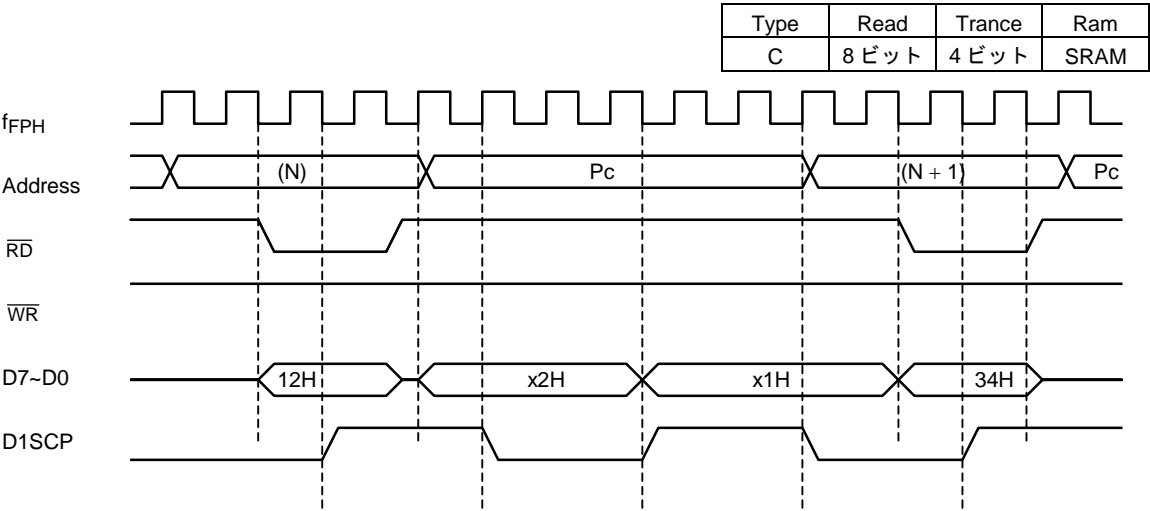
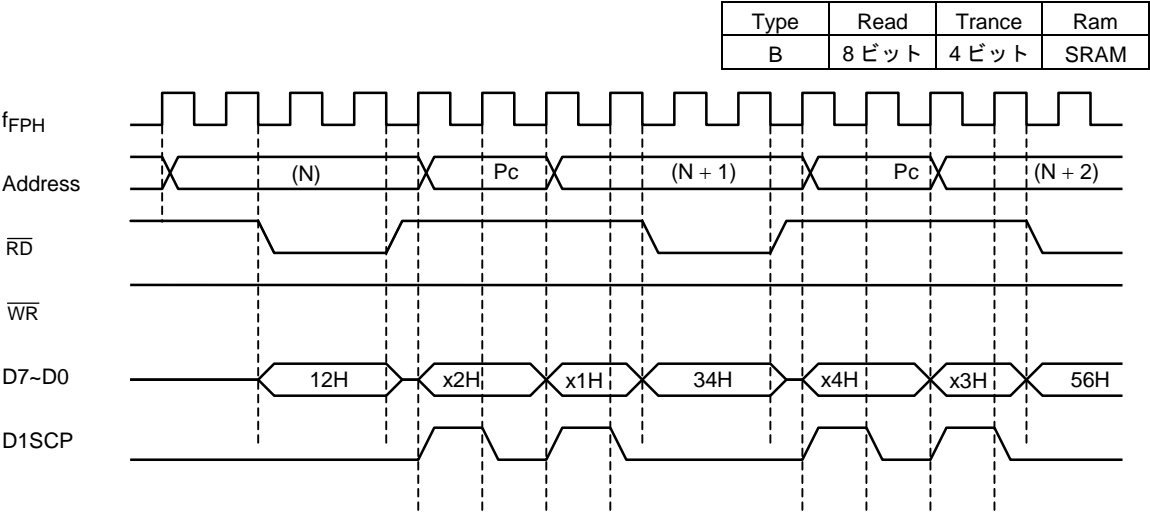
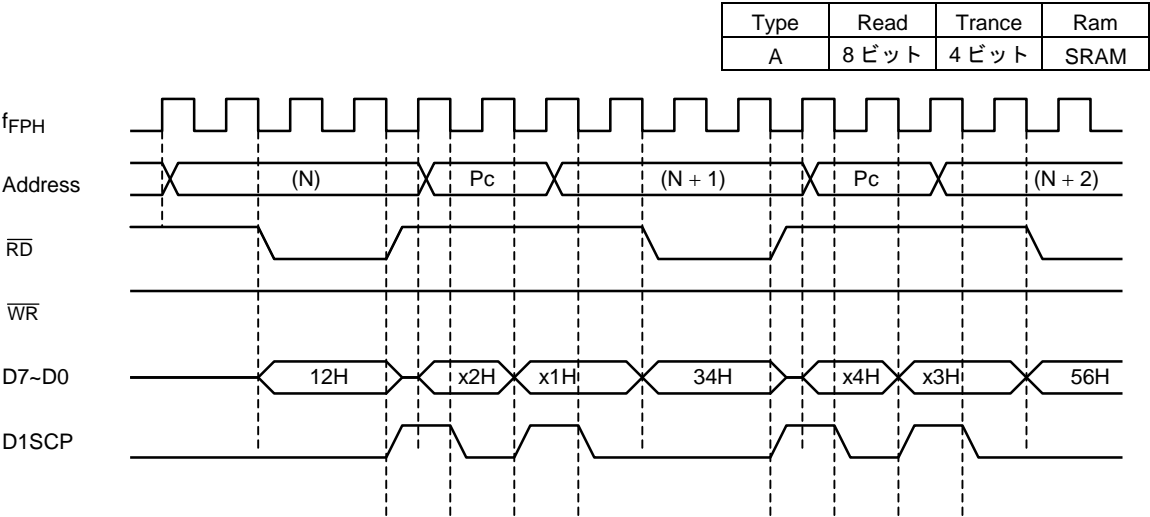



図 3.14.9　Byte 読み出し、Nibble 書き込みタイミング図

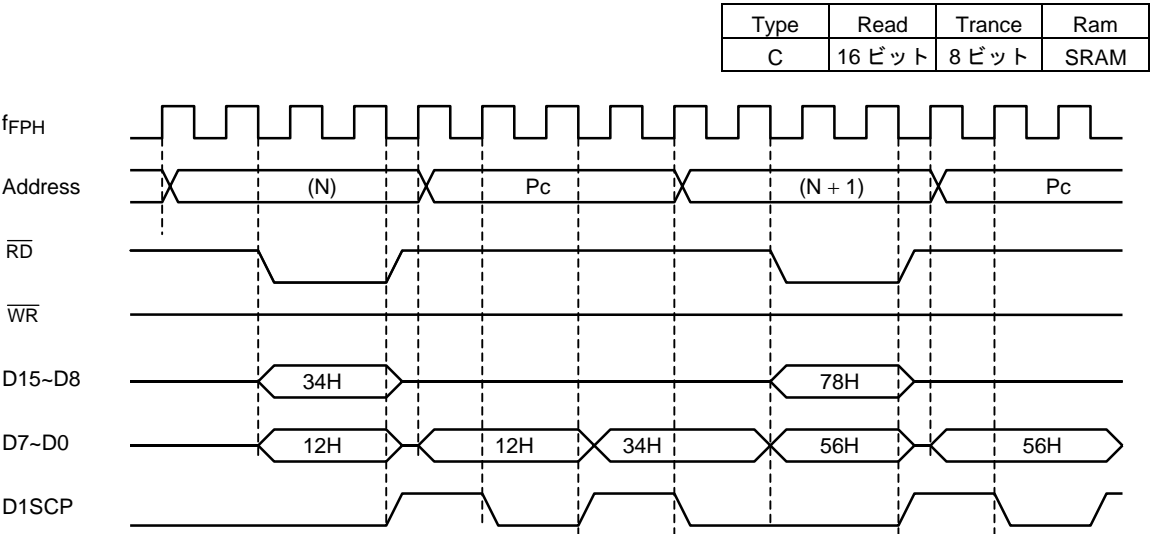
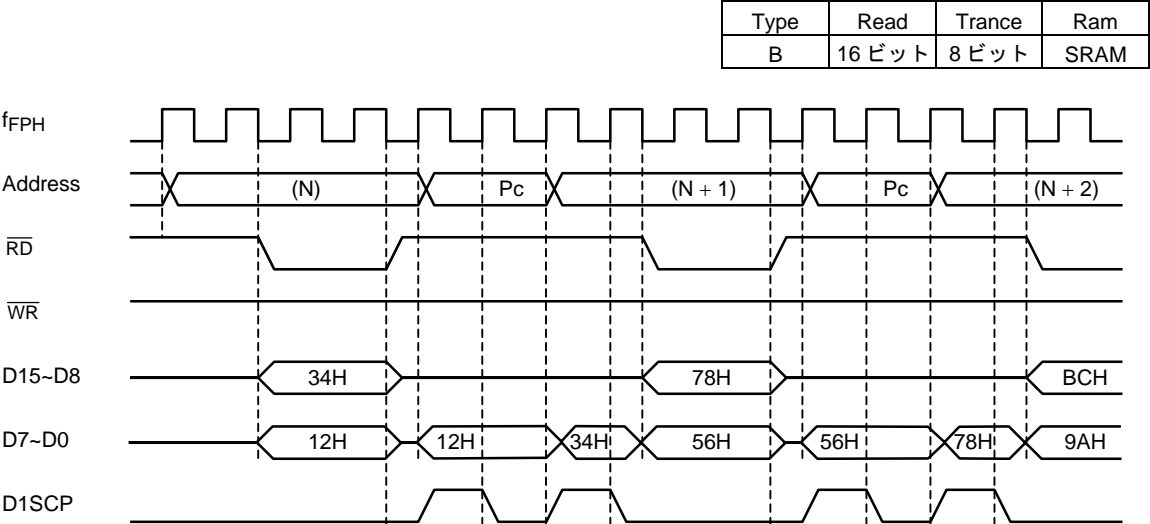
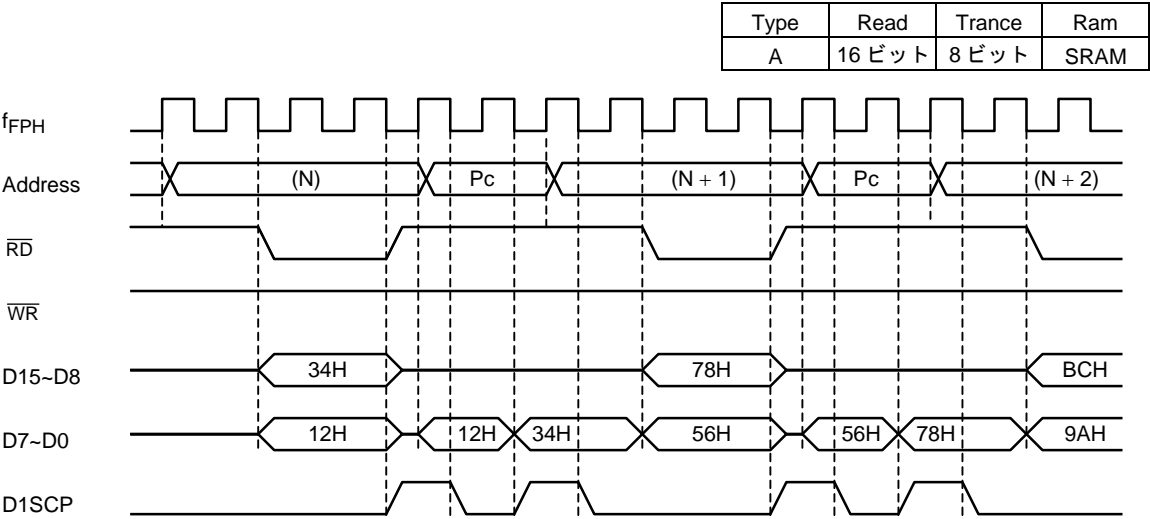



図 3.14.10　Word 読み出し、Byte 書き込みタイミング図

Type	Read	Trance	Ram
A	16 ビット	4 ビット	SRAM

Type	Read	Trance	Ram
B	16 ビット	4 ビット	SRAM

Type	Read	Trance	Ram
C	16 ビット	4 ビット	SRAM

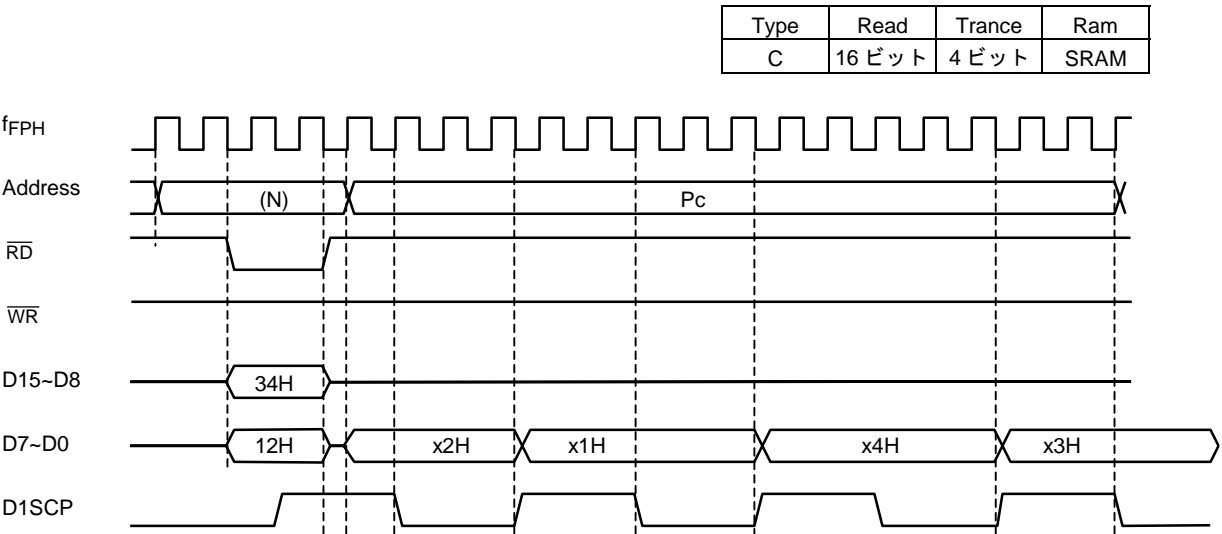
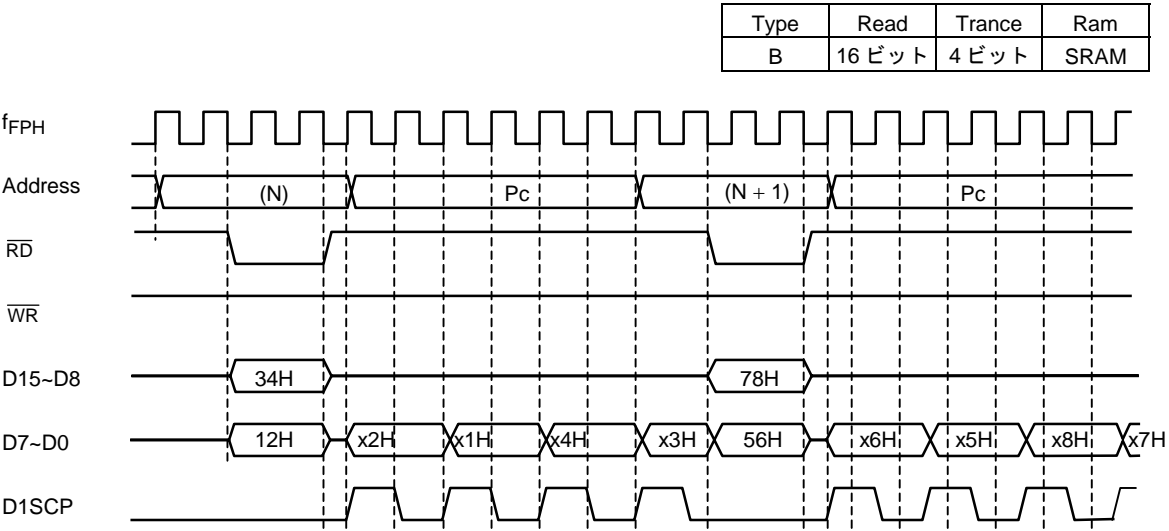
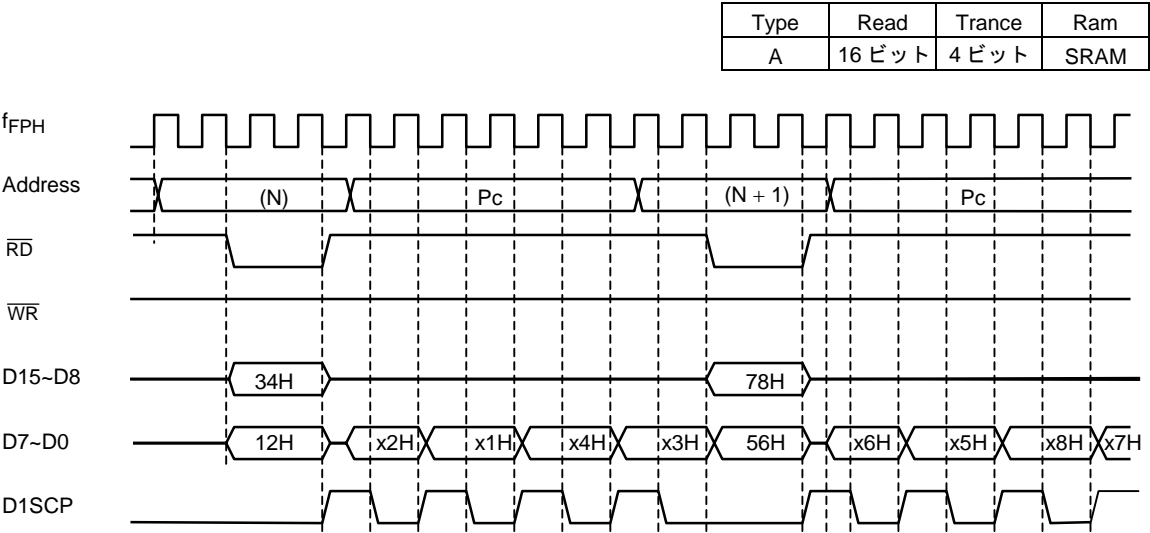



図 3.14.11　Word 読み出し、Nibble 書き込みタイミング図

3.14.5 RAM 内蔵型 LCD ドライバ対応モード (RAM タイプ)

LCD ドライバへのデータ転送は CPU の転送命令で実行します。

あらかじめ動作モードのみを I/O レジスタに設定後､CPU の転送命令が実行されると LCDC はそれに同期して D1BSCP などの制御端子より､外部へ接続される LCD ドライバへチップセレクト信号を出力します。そのため、LCD サイズに対応したデータ転送数などの制御は CPU の命令で制御します。この際の RAM 内蔵型 LCD ドライバのタイプは 2 種類あり、この選択は LCDCTL<MMULCD>レジスタにて選択します。

<MMULCD> = “0” 時、LCD ドライバ内のインストラクション, 表示データレジスタを 1 バイトずつ持つシーケンシャルアクセス型 RAM 内蔵 LCD ドライバに対応します。このときの転送先アドレスは、FE0H~FE7F のいずれかにしてください。(表 3.14.2参照)

<MMULCD> = “1” 時、SRAM と同様なアクセスが可能なランダムアクセス型 RAM 内蔵 LCD ドライバに対応します。

このときの転送先アドレスは、3C0000H~3FFFFF のメモリエリアを 64 K バイトごとの 4 つのエリアに割り当てることも可能です。(表 3.14.3参照)

以下に<MMULCD> = “0” 時の例、図 3.14.12に接続例を示します。

- 設定例: 80 seg × 65 com の LCD ドライバを使用する場合

  外部に接続するカラムドライバを LCDC0、ロードライバを LCDR0 としてアサインしインストラクション、表示データを転送します。

  また、インストラクションの設定には LD 命令, 表示データの設定にはソフトスタートでのマイクロ DMA のバースト機能を使用した例です。

内蔵 RAM (アドレス 1000H~1289H) に、LCD ドライバへの転送データ 650 バイトを格納。

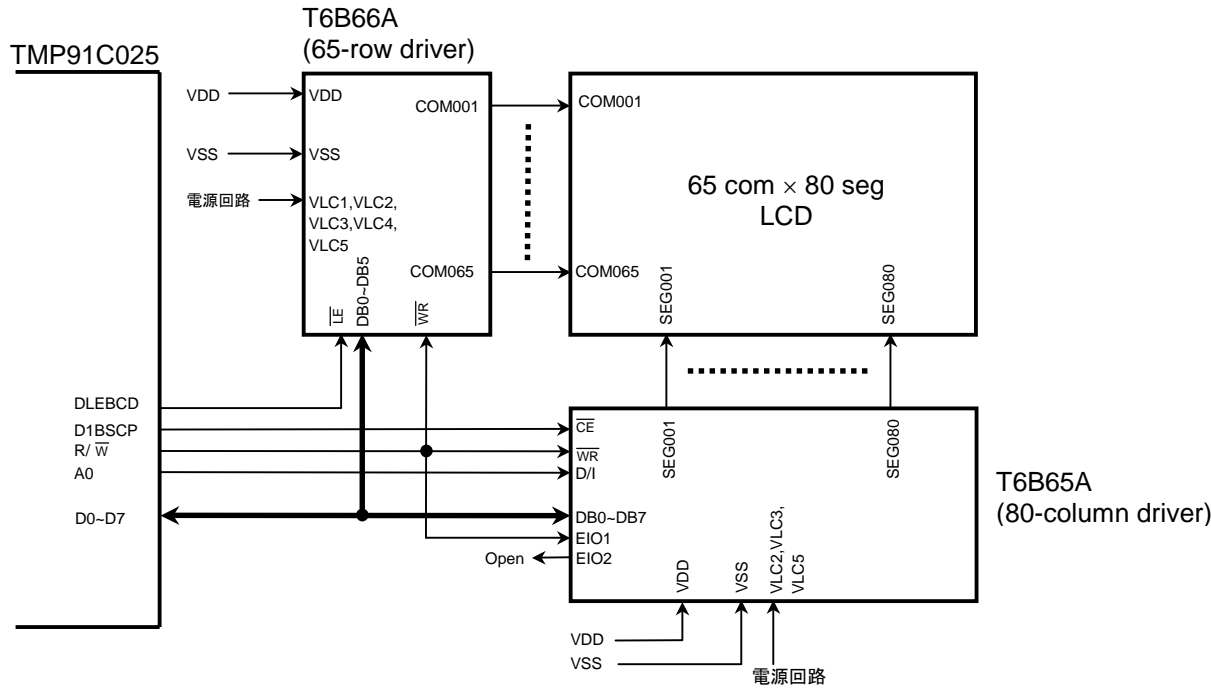
```
;外部端子の設定
        LD      (PDFC),19H          ;LCDC1 用 CE 端子: D1BSCP,
                                    ;LCDR1 用 LE 端子: DLEBCD,
                                    ; DOFF 端子の設定
;LCDC の設定
        LD      (LCDSAL),00H        ;RAM モード
        LD      (LCDCTL),80H        ;LCDON
;LCDC1/LCDR1 のモード設定
        LD      (LCDC1L),XX         ;LCDC1 インストラクション設定
        LD      (LCDR1L),XX         ;LCDR1 インストラクション設定
;マイクロ DMA,INTTC 設定 (チャネル 0)
        LD      A,08H               ;転送元アドレス INC モード
        LDC     DMAM0,A             ;
        LD      WA,650              ;転送回数 = 650
        LDC     DMAC0,WA            ;
        LD      XWA,1000H           ;転送元アドレス = 1000H
        LDC     DMAS0,XWA           ;
        LD      XWA,0FE1H           ;転送先アドレス = FE1H (LCDC0H)
        LDC     DMAD0,XWA           ;
        LD      (INTETC01),06H      ;INTTC0 レベル = 6
        EI      6                   ;割り込みレベル = 6
        LD      (DMAB),01H          ;バーストモード
        LD      (DMAR),01H          ;ソフトスタート
```

注) LCD ドライバ表示に必要な電源回路が別に必要です。

図 3.14.12　RAM 内蔵タイプ LCD ドライバ接続例

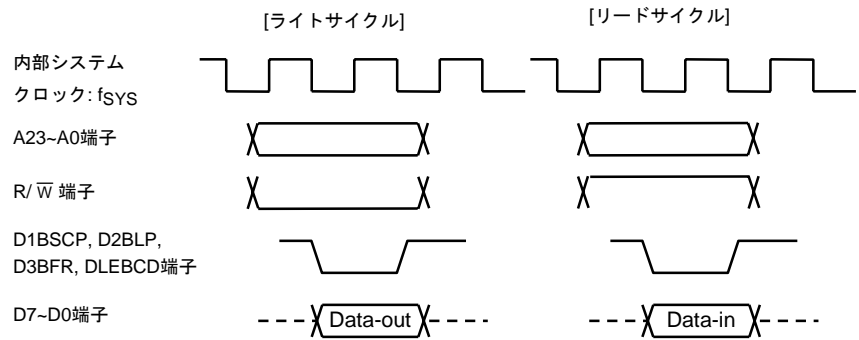



図 3.14.13　RAM 内蔵タイプ LCD ドライバアクセスタイミング例 (0 ウェイト時)

3.15 メロディ/アラームジェネレータ (MLD)

メロディ波形, アラーム波形を作成する機能です。出力波形は一方の波形を選択し、MLDALM 端子より出力します。また、アラームジェネレータに使用する 15 ビットのフリーランカウンタより 5 種類の一定周期の割り込みを発生可能です。

下記に特長を示します。

- メロディジェネレータ

  低速クロック (32.768 kHz) を元に 4 Hz~5461 Hz の任意周波数のクロック波形を生成し、MLDALM 端子より出力できます。外部にスピーカを接続することにより、容易にメロディ音を鳴らすことが可能です。

- アラームジェネレータ

  低速クロック (32.768 kHz) を元に作成された変調周波数 (4096 Hz) にて 8 種類のアラーム波形を生成し、MLDALM 端子より出力できます。また、この波形はレジスタにより反転して出力できます。

  外部にスピーカを接続することにより、容易にアラーム音を鳴らすことが可能です。

  また、アラームジェネレータに使用されるフリーランカウンタを使用し、5 種類 (1 Hz, 2 Hz, 64 Hz, 512 Hz, 8 kHz) の一定周期の割り込みを発生可能です。

- 特殊モード

  本メロディ/アラームジェネレータのソースクロックは通常低周波クロック (32 kHz) より生成されておりますので、低周波クロックを使用しないシステムでは動作しません。そこで、高周波クロックから 32 kHz のクロックを生成し、低周波クロックを使用しないシステムでもメロディ･アラームが使用できるモードを追加しています。詳細は 3.7「8 ビットタイマ」を参照してください。

本章は下記のような構成になっています。

3.15.1　ブロック図

図 3.15.1　MLD ブロック図

3.15.2 SFR 説明

ALM レジスタ

ALM (0330H)

	7	6	5	4	3	2	1	0
Bit symbol	AL8	AL7	AL6	AL5	AL4	AL3	AL2	AL1
Read/Write	R/W							
リセット後	0							
機　能	アラームパターン設定							

MELALMC レジスタ

MELALMC (0331H)

	7	6	5	4	3	2	1	0
Bit symbol	FC1	FC0	ALMINV	–	–	–	–	MELALM
Read/Write	R/W							
リセット後	0		0	0	0	0	0	0
機　能	フリーランカウンタ制御 00: ホールド 01: 再スタート 10: クリア 11: クリア & スタート		アラーム波形反転 1: 反転	“0” をライトしてください。				出力波形選択 0: アラーム 1: メロディ

注 1)　MELALMC<FC1>は、常に “0” がリードされます。

注 2)　フリーランカウンタが動作状態で、MELALMC レジスタの<FC1:0>以外のビットに値を設定する場合は、<FC1:0>に “01” を設定してください。

MELFL レジスタ

MELFL (0332H)

	7	6	5	4	3	2	1	0
Bit symbol	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0
Read/Write	R/W							
リセット後	0							
機　能	メロディ周波数設定 (下位 8 ビット)							

MELFH レジスタ

MELFH (0333H)

	7	6	5	4	3	2	1	0
Bit symbol	MELON				ML11	ML10	ML9	ML8
Read/Write	R/W				R/W			
リセット後	0				0			
機　能	メロディカウンタ制御 0: 停止 & クリア 1: スタート				メロディ周波数設定 (上位 4 ビット)			

ALMINT レジスタ

ALMINT (0334H)

	7	6	5	4	3	2	1	0
Bit symbol			–	IALM4E	IALM3E	IALM2E	IALM1E	IALM0E
Read/Write			R/W					
リセット後			0					
機　能			“0” をライトしてください。	1: INTALM4~INTALM0 の割り込み出力許可				

3.15.3 動作説明

3.15.3.1 メロディジェネレータ

低速クロック (32.768 kHz) を元に 4 Hz~5461 Hz の任意周波数のクロック波形を生成し、MLDALM 端子より出力できます。外部にスピーカを接続することにより容易にメロディ音を鳴らすことが可能です。

(使用方法)

まず、MELALMC<MELALM>に “1” を書き込み、MLDALM 端子からの出力波形から、メロディ波形出力を選択します。次に MELFH, MELFL レジスタの 12 ビットにメロディ出力周波数を設定します。最後に、MELFH<MELON>レジスタに “1” を書き込むことによりカウンタが動作スタートし、メロディ波形を生成します。

下記にメロディ出力周波数の求め方、設定例を示します。

(メロディ出力周波数計算式)

@fs = 32.768 [kHz]

メロディ出力周波数 f_{MLD} [Hz] = $32768/(2 \times N + 4)$

メロディ設定値 $N = (16384/f_{MLD}) - 2$

(ただし、N = 1~4095 (001H~FFFH) の自然数で、0 は設定禁止)

(プログラム例)

“ラ”の音階 (440 Hz) を出力する場合

```
LD    (MELALMC), 11X00001B ; メロディ波形選択
LD    (MELFL), 23H         ; N = 16384/440 − 2 = 35.2 = 023H
LD    (MELFH), 80H         ; 波形生成スタート
```

(参考: 基本音階別設定値表)

音階	周波数 [Hz]	レジスタ設定値: N
ド	264	03CH
レ	297	035H
ミ	330	030H
ファ	352	02DH
ソ	396	027H
ラ	440	023H
シ	495	01FH
ド	528	01DH

3.15.3.2 アラームジェネレータ

低速クロック (32.768 kHz) を元に作成された変調周波数 (4096 Hz) にて 8 種類のアラーム波形を生成し、MLDALM 端子より出力できます。また、この波形はレジスタにより反転して出力できます。

外部にスピーカを接続することにより、容易にアラーム音を鳴らすことが可能です。

また、アラームジェネレータに使用されるフリーランカウンタを使用し、5 種類 (1 Hz, 2 Hz, 64 Hz, 512 Hz, 8 kHz) の一定周期の割り込みを発生可能です。

(使用方法)

まず、MELALMC<MELALM>に “0”、<FC1:0>に “11” を書き込み、MLDALM 端子からの出力波形をアラーム波形出力を選択､フリーランカウンタをスタートします。

次に ALM レジスタの 8 ビットにアラームパターンを設定します。それによりアラームカウンタが動作スタートし、アラーム波形を生成します。

途中で停止したい場合は、ALM レジスタに “00H” を書き込んでください。それにより、アラームカウンタはクリアされ停止します。

下記にアラームパターンの設定値, プログラム例, 設定別出力波形を示します。

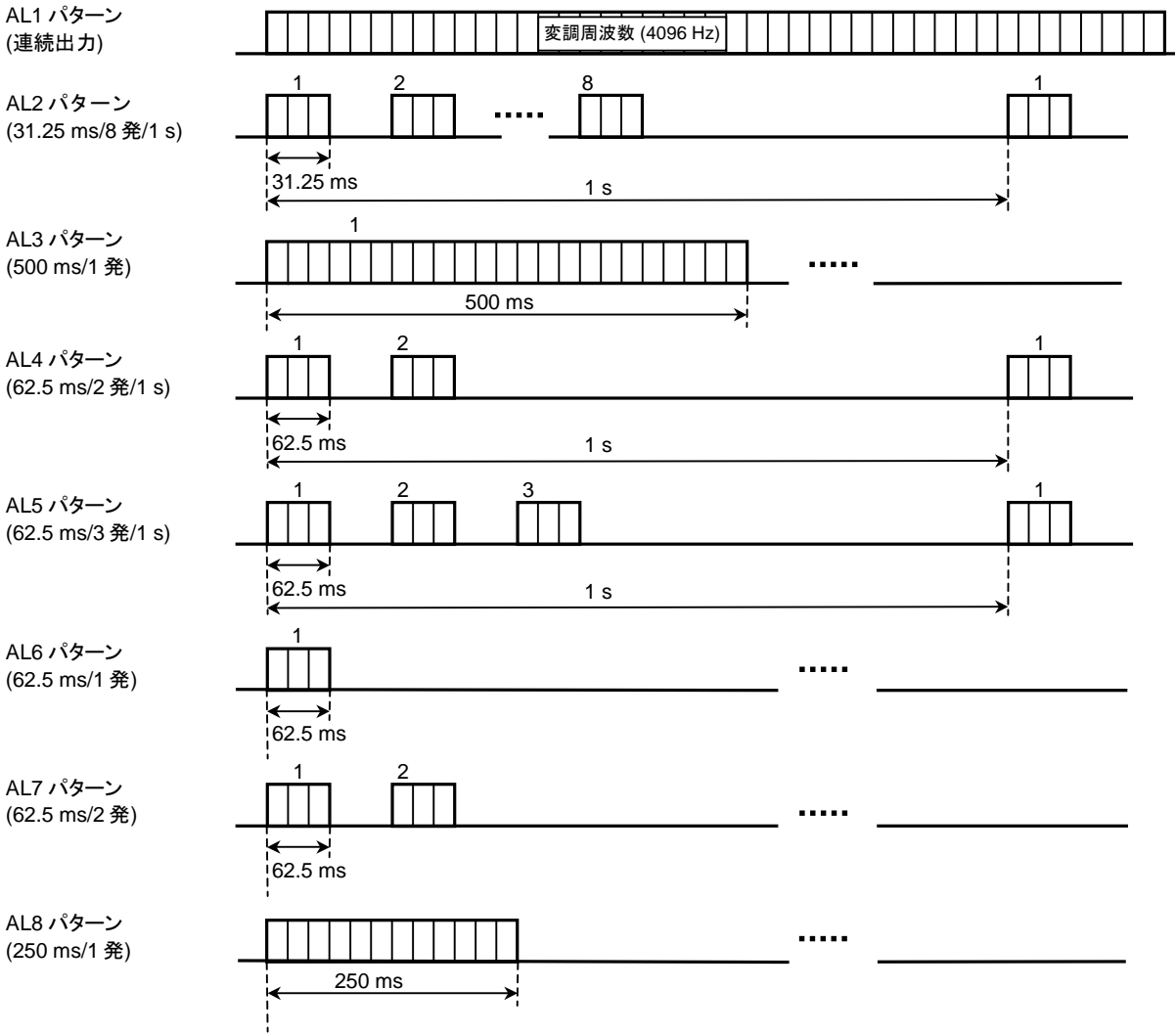
(アラームパターンの設定値)

ALM レジスタへの設定値	アラーム波形
00H	“0” 固定
01H	AL1 パターン
02H	AL2 パターン
04H	AL3 パターン
08H	AL4 パターン
10H	AL5 パターン
20H	AL6 パターン
40H	AL7 パターン
80H	AL8 パターン
上記以外	未定義 (設定しないでください)

(プログラム例)

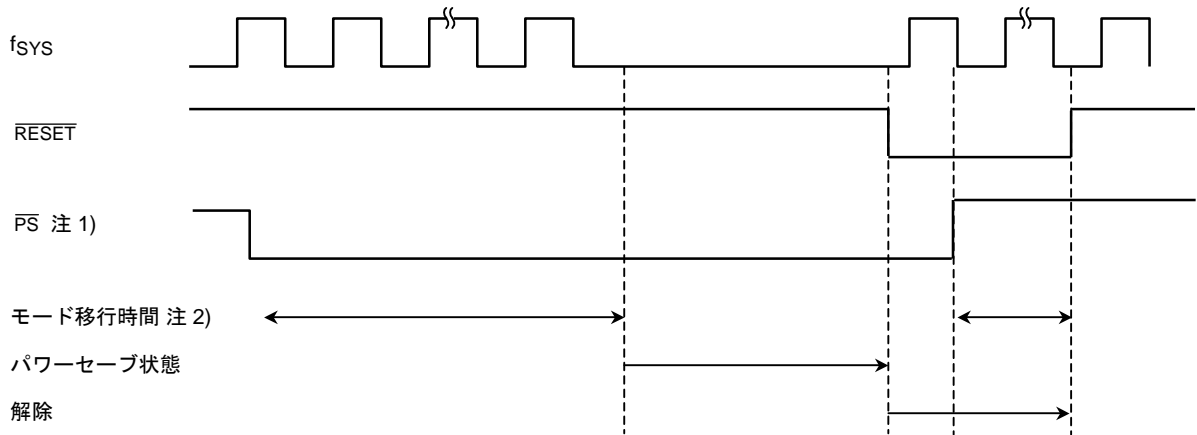
AL2 パターン (31.25 ms/8 発/1 s) のアラームを出力する場合

```
LD      (MELALMC),C0H     ; アラーム波形出力設定, フリーラン
                          ; カウンタスタート
LD      (ALM),02H         ; AL2 パターン設定, スタート
```

(アラームパターンの設定値別出力波形: 反転しない場合)

3.16 ハードウエアスタンバイ機能

本製品には電力消費を抑え、供給電圧の低下によるプログラム暴走を防ぐためのハードウエアスタンバイ機能を内蔵しています。これは、特に電池駆動の製品に役立つ機能です。$\overline{\text{PS}}$ 端子を “Low” に固定することで、“PS (パワーセーブ)” 状態へ移行します。

図 3.16.1に PS 状態への移行のタイミングを示します。

PS モードは外部リセットのみにより、解除することが可能です。

注 1) リセット後は SYSCR2<PSENV> が “0” となり、$\overline{\text{PS}}$ 端子が有効となります。INT0 端子として使用する場合は、SYSCR2<PSENV>を “1” に設定してください。

注 2) 移行時間としては、システムクロック (f_{SYS}) の 2~10 クロック期間が必要です。

図 3.16.1 ハードウエアスタンバイ･タイミング図

表 3.16.1 各 HALT モード設定におけるパワーセーブモードの状態

HALT モード設定	IDLE2	IDLE1	STOP
PS 状態	IDLE1 モード + 高周波発振停止	IDLE1 モード + 高周波発振停止	STOP モード

注) SYSCR2<DRVE> と <SELDRV> のホルト時の設定は、PS 状態も同様に有効となります。

4. 電気的特性

4.1 最大定格

項目	記号	定格	単位
電源電圧	Vcc	–0.5~4.0	V
入力電圧	VIN	–0.5~Vcc + 0.5	V
出力電流 (1 端子当たり)	IOL	2	mA
出力電流 (1 端子当たり)	IOH	–2	mA
出力電流 (合計)	ΣIOL	80	mA
出力電流 (合計)	ΣIOH	–80	mA
消費電力 (Ta = 85°C)	PD	600	mW
はんだ付け温度 (10 s)	TSOLDER	260	°C
保存温度	TSTG	–65~+150	°C
動作温度	TOPR	–40~+85	°C

注) 最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC 電気的特性 (1/2)

項目		記号	条件		Min	Typ.	Max	単位
電源電圧 (AVCC = DVCC) (AVSS = DVSS = 0 V)		VCC	fc = 4~36 MHz	fs = 30~34 kHz	3.0	–	3.6	V
			fc = 4~27 MHz		2.7			
			fc = 4~16 MHz		2.4			
低レベル入力電圧	D0~D15	VIL	Vcc ≧ 2.7 V		–0.3	–	0.6	V
			Vcc < 2.7 V				0.2 Vcc	
	PZ2~PD7 ($\overline{\text{RESET}}$, PB3, PB5, PB6, P9, 除く)	VIL1	Vcc ≧ 2.7 V			–	0.3 Vcc	
			Vcc < 2.7 V				0.2 Vcc	
	$\overline{\text{RESET}}$, PB3, PB5, PB6, P9	VIL2	Vcc ≧ 2.7 V			–	0.25 Vcc	
			Vcc < 2.7 V				0.15 Vcc	
	AM0~AM1	VIL3	Vcc ≧ 2.7 V			–	0.3	
			Vcc < 2.7 V				0.3	
	X1	VIL4	Vcc ≧ 2.7 V			–	0.2 Vcc	
			Vcc < 2.7 V				0.1 Vcc	
高レベル入力電圧	D0~D15	VIH	3.6 V ≧ Vcc ≧ 2.7 V		2.4	–	Vcc + 0.3	
			3.3 V > Vcc ≧ 2.7 V		2.0			
			0.7 Vcc		0.7 Vcc			
	PZ2~PD7 ($\overline{\text{RESET}}$, PB3, PB5, PB6, P9, 除く)	VIH1	Vcc ≧ 2.7 V		0.7 Vcc	–		
			Vcc < 2.7 V		0.8 Vcc			
	$\overline{\text{RESET}}$, PB3, PB5, PB6, P9	VIH2	Vcc ≧ 2.7 V		0.75 Vcc	–		
			Vcc < 2.7 V		0.85 Vcc			
	AM0~AM1	VIH3	Vcc ≧ 2.7 V		Vcc – 0.3	–		
			Vcc < 2.7 V		Vcc – 0.3			
	X1	VIH4	Vcc ≧ 2.7 V		0.8 Vcc	–		
			Vcc < 2.7 V		0.9 Vcc			
低レベル出力電圧		VOL1	IOL = 1.6 mA	Vcc ≧ 2.7 V	–	–	0.45	V
			IOL = 0.4 mA	Vcc < 2.7 V			0.15 Vcc	
高レベル出力電圧		VOH2	IOH = –400 μA	Vcc ≧ 2.7 V	Vcc – 0.3	–	–	
			IOH = 200 μA	Vcc < 2.7 V	0.8 Vcc			

注) Typ.値は特に指定のない限り、Ta = 25°C, Vcc = 3.3 V です。

DC 電気的特性 (2/2)

項目	記号	条件		Min	Typ. 注1)	Max	単位
低レベル出力電圧 MX, MY	VOL2	IOL = 6.6 mA	Vcc ≧ 2.7 V			0.2	V
		IOL = 6.2 mA	Vcc < 2.7 V			0.07Vcc	
高レベル出力電圧 PX, PY	VOH2	IOH = – 6.6 mA	Vcc ≧ 2.7 V	Vcc – 0.2			
		IOH = – 6.2 mA	Vcc < 2.7 V	0.94Vcc			
入力リーク電流	ILI	0.0 ≦ VIN ≦ Vcc			0.02	±5	μA
出力リーク電流	ILO	0.2 ≦ VIN ≦ Vcc-0.2			0.05	±10	
$\overline{\text{RESET}}$ プルアップ抵抗	RRST	3.6 V ≧ Vcc ≧ 2.7 V		80		400	kΩ
端子容量	CIO	fc = 1 MHz		–	–	10	pF
シュミット幅 $\overline{\text{RESET}}$, INT0, KI0~KI7, INT2, INT3	VTH	Vcc ≧ 2.7 V		0.4	1.0		V
		Vcc < 2.7 V		0.3	0.8		
プログラマブル プルアップ抵抗	RKH	3.6 V ≧ Vcc ≧ 2.7 V		80		400	kΩ
NORMAL 注 2)	Icc	3.6 V ≧ Vcc ≧ 3.0 V fc = 36 MHz		–	16	21	mA
IDLE2				–	5.0	7	
IDLE1				–	1.5	3.2	
SLOW 注 2)		3.6 V ≧ Vcc ≧ 2.7 V fs = 32.768 kHz		–	12	30	μA
IDLE2				–	8	25	
IDLE1				–	4	20	
STOP		3.6 V ≧ Vcc ≧ 2.7 V		–	0.2	15	μA

注 1) Typ.値は特に指定のない限り、Ta = 25°C, Vcc = 3.3 V です。

注 2) ICC NORMAL, SLOW の測定条件: すべて動作、バス端子の C_L = 30 pF、バス以外の出力端子は開放、入力端子はレベル固定。

4.3 AC 電気的特性

(1) Vcc = 2.7 V~3.6 V

Vcc = 2.7~3.6 V (f_{FPH} = 27 MHz)
Vcc = 3.0~3.6 V (f_{FPH} = 36 MHz)

No.	項目	記号	計算式		27 MHz		36 MHz		単位
			Min	Max	Min	Max	Min	Max	
1	f_{FPH} 周期 (= x)	t_{FPH}	27.7	31250	37.0		27.7		ns
2	A0~A23 有効 → $\overline{RD}$ / $\overline{WR}$ 立ち下がり	t_{AC}	x – 23		14		4		ns
3	$\overline{RD}$ 立ち上がり → A0~A23 保持	t_{CAR}	0.5x – 13		5		0		ns
4	$\overline{WR}$ 立ち上がり → A0~A23 保持	t_{CAW}	x – 13		24		14		ns
5	A0~A23 有効 → D0~D15 入力	t_{AD}		3.5x – 24		105		73	ns
6	$\overline{RD}$ 立ち下がり → D0~D15 入力	t_{RD}		2.5x – 24		68		45	ns
7	$\overline{RD}$ low パルス幅	t_{RR}	2.5x – 15		77		54		ns
8	$\overline{RD}$ 立ち上がり → D0~D15 保持	t_{HR}	0		0		0		ns
9	$\overline{WR}$ low パルス幅	t_{WW}	2.0x – 15		59		40		ns
10	D0~D15 有効 → $\overline{WR}$ 立ち上がり	t_{DW}	1.5x – 35		20		6		ns
11	$\overline{WR}$ 立ち上がり → D0~D15 保持	t_{WD}	x – 25		12		2		ns
12	SRAM データバイト制御アクセス	t_{SBA}		3x – 24		87		59	ns
13	SRAM ライトパルス幅	t_{SWP}	2x – 15		59		40		ns
14	SRAM データバイト制御 End	t_{SBW}	3x – 15		96		68		ns
15	SRAM アクセスセットアップ	t_{SAS}	1.5x – 35		20		6		ns
16	SRAM ライトリカバリ	t_{SWR}	0.5x – 13		5		0		ns
17	SRAM データセットアップ	t_{SDS}	2x – 35		39		20		ns
18	SRAM データホールド	t_{SDH}	0.5x – 13		3		0		ns
19	A0~A23 有効 → $\overline{WAIT}$ 入力 ((1 + N) WAIT モード)	t_{AW}		3.5x – 60		69		37	ns
20	$\overline{RD}$ / $\overline{WR}$ 立ち下がり → $\overline{WAIT}$ 保持 ((1 + N) WAIT モード)	t_{CW}	2.5x + 0		92		69		ns
21	A0~A23 有効 → ポート入力	t_{APH}		3.5x – 89		40		8	ns
22	A0~A23 有効 → ポート保持	t_{APH2}	3.5x		129		96		ns
23	A0~A23 有効 → ポート有効	t_{APO}		3.5x + 80		209		176	ns

AC 測定条件

- 出力レベル: High 0.7 × Vcc/Low 0.3 × Vcc, CL = 50 pF
- 入力レベル: High 0.9 × Vcc/Low 0.1 × Vcc

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期はクロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

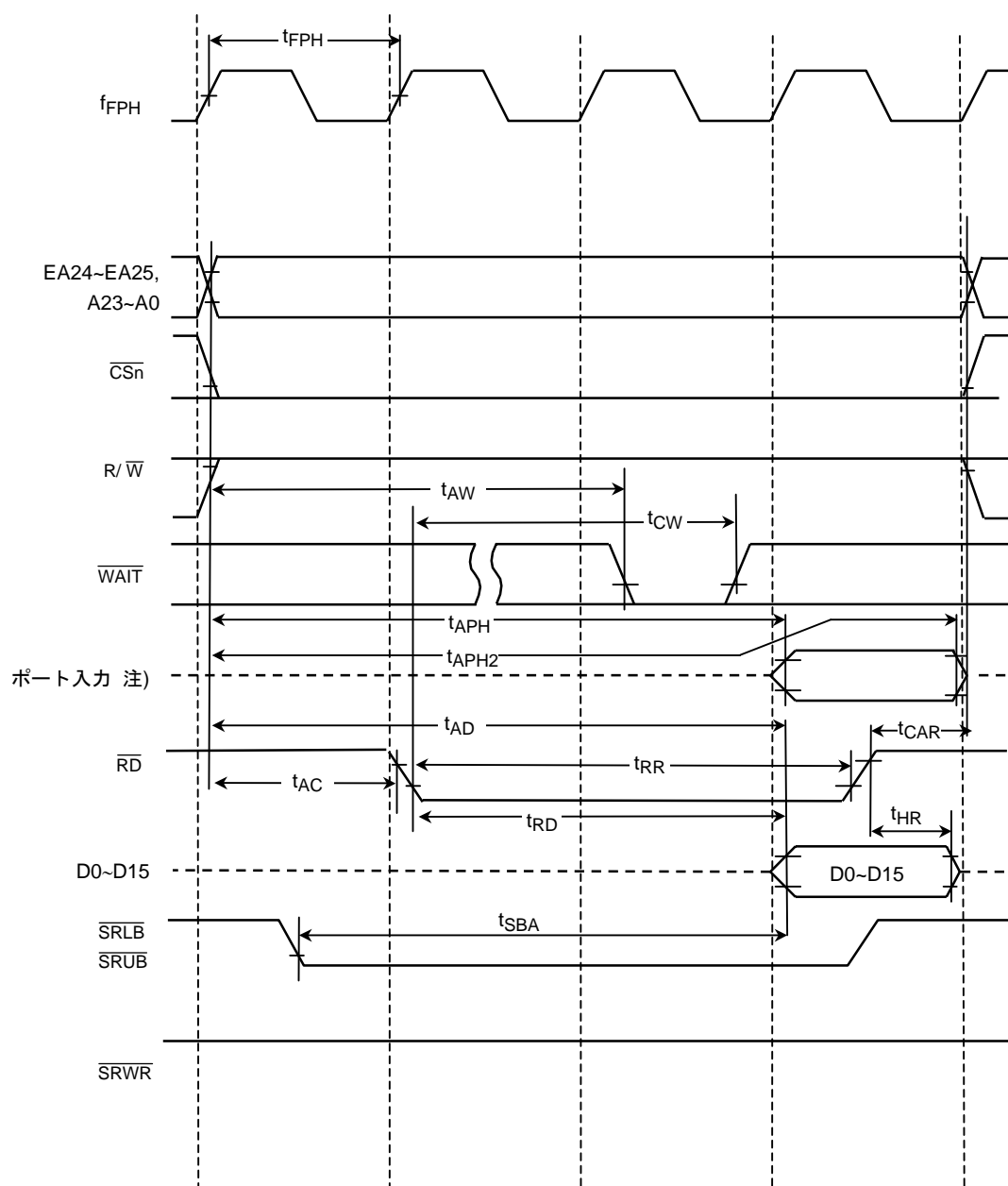
(2) Vcc = 2.4 V~3.6 V

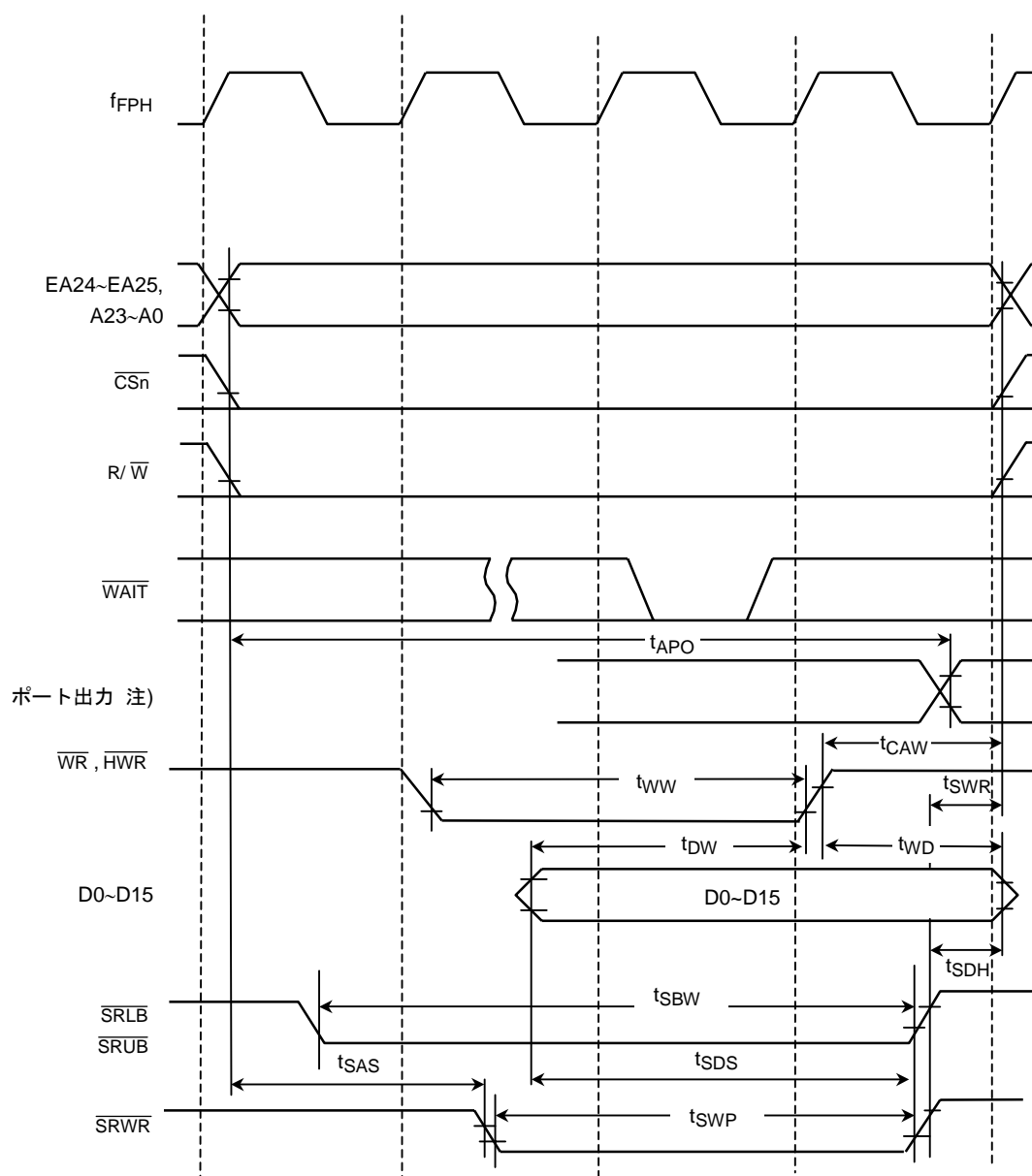
No.	項目	記号	計算式		16 MHz		単位
			Min	Max	Min	Max	
1	f_{FPH} 周期 (= x)	t_{FPH}	62.5	31250	62.5		ns
2	A0~A23 有効 → $\overline{RD}$ / $\overline{WR}$ 立ち下がり	t_{AC}	x − 23		39		ns
3	$\overline{RD}$ 立ち上がり → A0~A23 保持	t_{CAR}	0.5x − 23		8		ns
4	$\overline{WR}$ 立ち上がり → A0~A23 保持	t_{CAW}	x − 13		49		ns
5	A0~A23 有効 → D0~D15 入力	t_{AD}		3.5x − 38		180	ns
6	$\overline{RD}$ 立ち下がり → D0~D15 入力	t_{RD}		2.5x − 30		126	ns
7	$\overline{RD}$ low パルス幅	t_{RR}	2.5x − 15		141		ns
8	$\overline{RD}$ 立ち上がり → D0~D15 保持	t_{HR}	0		0		ns
9	$\overline{WR}$ low パルス幅	t_{WW}	2.0x − 15		110		ns
10	D0~D15 有効 → $\overline{WR}$ 立ち上がり	t_{DW}	1.5x − 35		58		ns
11	$\overline{WR}$ 立ち上がり → D0~D15 保持	t_{WD}	x − 25		37		ns
12	SRAM データバイト制御アクセス	t_{SBA}		3x − 39		148	ns
13	SRAM ライトパルス幅	t_{SWP}	2x − 15		110		ns
14	SRAM データバイト制御 End	t_{SBW}	3x − 25		162		ns
15	SRAM アクセスセットアップ	t_{SAS}	1.5x − 35		58		ns
16	SRAM ライトリカバリ	t_{SWR}	0.5x − 22		9		ns
17	SRAM データセットアップ	t_{SDS}	2x − 35		90		ns
18	SRAM データホールド	t_{SDH}	0.5x − 18		13		ns
19	A0~A23 有効 → $\overline{WAIT}$ 入力 ((1 + N) WAIT モード)	t_{AW}		3.5x − 60		158	ns
20	$\overline{RD}$ / $\overline{WR}$ 立ち下がり → $\overline{WAIT}$ 保持 ((1 + N) WAIT モード)	t_{CW}	2.5x + 0		156		ns
21	A0~A23 有効 → ポート入力	t_{APH}		3.5x − 89		129	ns
22	A0~A23 有効 → ポート保持	t_{APH2}	3.5x		218		ns
23	A0~A23 有効 → ポート有効	t_{APO}		3.5x + 80		298	ns

AC 測定条件

- 出力レベル: High 0.7 × Vcc/Low 0.3 × Vcc, CL = 50 pF
- 入力レベル: High 0.9 × Vcc/Low 0.1 × Vcc

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期はクロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

(3) リードサイクル

注) ポートのデータリードは内蔵エリアへのアクセスとなるため、外部端子の制御信号 RD 、CS 信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。
また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

(4) ライトサイクル

注) ポートのデータライトは内蔵エリアへのアクセスとなるため、外部端子の制御信号 $\overline{WR}$ 、$\overline{CS}$ 信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。
また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

4.4 AD 変換特性

AVcc = Vcc, AVss = Vss

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧 (+)	VREFH	3.6 V ≧ Vcc ≧ 2.7 V	Vcc – 0.2 V	Vcc	Vcc	V
		2.7 V ≧ Vcc ≧ 2.4 V	Vcc	Vcc	Vcc	
アナログ基準電圧 (–)	VREFL	3.6 V ≧ Vcc ≧ 2.7 V	Vss	Vss	Vss + 0.2V	
		2.7 V ≧ Vcc ≧ 2.4 V	Vss	Vss	Vss	
アナログ入力電圧	VAIN		VREFL		VREFH	
アナログ基準電圧電源電流	IREF	3.6 V ≧ Vcc ≧ 2.7 V		1.04	1.2	mA
<VREFON> = 1	(VREFL = 0 V)	2.7 V ≧ Vcc ≧ 2.4 V		0.75	0.90	
<VREFON> = 0		3.6 V ≧ Vcc ≧ 2.4 V		0.03	10.0	μA
総合誤差 (量子化誤差を含まず)		3.6 V ≧ Vcc ≧ 2.4 V		±1.0	±4.0	LSB

注 1)　1LSB = (VREFH – VREFL)/1024 [V]

注 2)　最低動作周波数について
AD コンバータの動作は、fc (高速発振器) 使用時のみ保証します (fs では保証しません) 。ただし、fc 使用時にクロックギアで選択されたクロックの周波数が 4 MHz 以上で保証します。

注 3)　A_{VCC} 端子より流れる電源電流は、V_{CC} 端子の電源電流 (ICC) に含みます。

4.5 シリアルチャネルタイミング–I/O インタフェースモード

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期はクロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

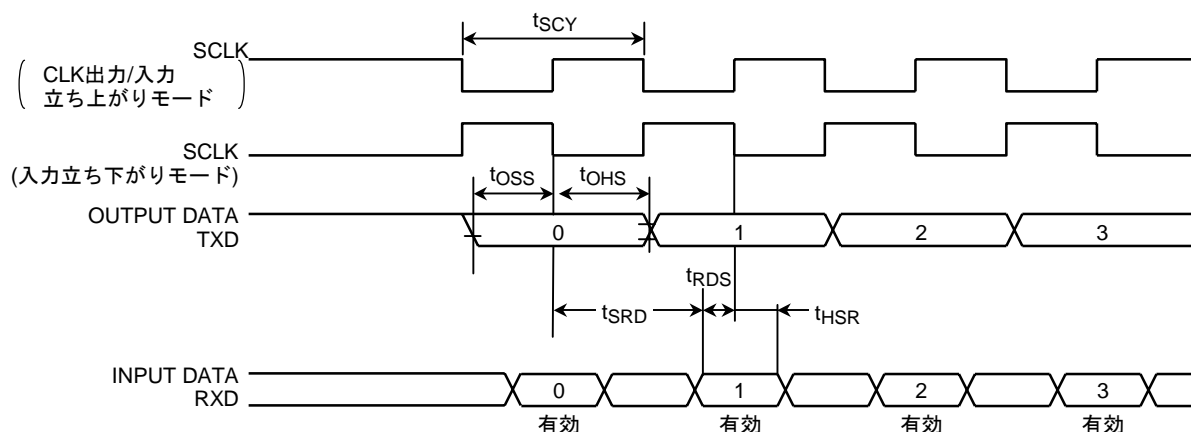
(1) SCLK 入力モード

項目	記号	計算式		27 MHz		36 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	T_{SCY}	16X		0.59		0.44		μs
出力データ → SCLK 立ち上がり/立ち下がりエッジ*	T_{OSS}	$t_{SCY}/2 - 4X - 110$		38		0		ns
SCLK 立ち上がり/立ち下がりエッジ* → 出力データ保持	T_{OHS}	$t_{SCY}/2 + 2X + 0$		370		277		ns
SCLK 立ち上がり/立ち下がりエッジ* → 入力データ保持	T_{HSR}	3X + 10		121		93		ns
SCLK 立ち上がり/立ち下がりエッジ* → 入力データ有効	T_{SRD}		$t_{SCY} - 0$		592		443	ns
入力データ有効 → SCLK 立ち上がり/立ち下がりエッジ*	T_{RDS}	0		0		0		ns

(2) SCLK 出力モード

項目	記号	計算式		27 MHz		36 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	T_{SCY}	16X	8192X	0.59	303	0.44	227	μs
出力データ → SCLK 立ち上がり/立ち下がりエッジ*	T_{OSS}	$t_{SCY}/2 - 40$		256		181		ns
SCLK 立ち上がり/立ち下がりエッジ* → 出力データ保持	T_{OHS}	$t_{SCY}/2 - 40$		256		181		ns
SCLK 立ち上がり/立ち下がりエッジ* → 入力データ保持	T_{HSR}	0		0		0		ns
SCLK 立ち上がり/立ち下がりエッジ* → 入力データ有効	T_{SRD}		$t_{SCY} - 1X - 180$		375		235	ns
入力データ有効 → SCLK 立ち上がり/立ち下がりエッジ*	T_{RDS}	1X + 180		217		207		ns

*: SCLK 立ち上がり/立ち下がり …… SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

上記表中の 27 MHz, 36 MHz 時の値は、$t_{SCY} = 16X$ の場合です。

4.6 タイマ入力パルス (TA0IN)

項目	記号	Variable		27 MHz		36 MHz		単位
		Min	Max	Min	Max	Min	Max	
クロック周期	t_{VCK}	8X + 100		396		321		ns
クロック低レベルパルス幅	t_{VCKL}	4X + 40		188		151		ns
クロック高レベルパルス幅	t_{VCKH}	4X + 40		188		151		ns

4.7 割り込み

(1) INT0~INT3 割り込み

項目	記号	Variable		27 MHz		36 MHz		単位
		Min	Max	Min	Max	Min	Max	
INT0~INT3 低レベルパルス幅	T_{INTAL}	4X + 40		188		151		ns
INT0~INT3 高レベルパルス幅	T_{INTA}	4X + 40		188		151		ns

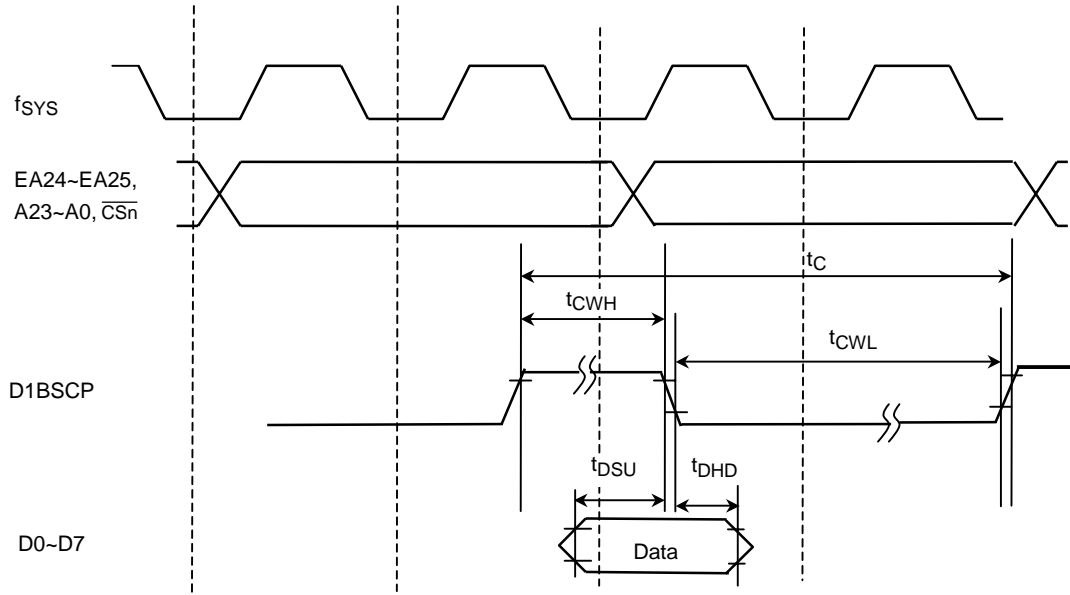
4.8 SCOUT 端子 AC 特性

項目	記号	計算式		27 MHz		36 MHz		単位
		Min	Max	Min	Max	Min	Max	
低レベルパルス幅	t_{SCH}	0.5T – 10		8		3		ns
高レベルパルス幅	t_{SCL}	0.5T – 10		8		3		ns

注) 表中の「T」は SCOUT 出力波形の周期を示します。

測定条件

- 出力レベル: High 0.7Vcc/Low 0.3Vcc, CL = 10 pF

4.9 LCD コントローラ SR モード

リード バス幅	型	ライト モード	セットアップ 時間 (tDSU)	ホールド 時間 (tDHD)	クロックハイ 期間 (tCWH)	サイクル (tc)	ステート / サイクル
バイト	A	Byte	0.5x – α	1.0x – β	1.5x – γ	4.0x	4.0x
		Nibble	0.5x – α	1.0x – β	1.0x – γ	2.0x	6.0x
	B	Byte	1.0x – α	0.5x – β	2.0x – γ	4.0x	4.0x
		Nibble	1.0x – α	0.5x – β	1.0x – γ	2.0x	6.0x
	C	Byte	1.0x – α	2.5x – β	1.5x – γ	6.0x	6.0x
		Nibble	1.0x – α	1.5x – β	2.5x – γ	5.0x	10.0x
ワード	A	Byte	0.5x – α	1.0x – β	1.0x – γ	2.0x	6.0x
		Nibble	0.5x – α	1.0x – β	1.0x – γ	2.0x	10.0x
	B	Byte	1.0x – α	0.5x – β	1.0x – γ	2.0x	6.0x
		Nibble	1.0x – α	0.5x – β	1.0x – γ	2.0x	10.0x
	C	Byte	1.0x – α	1.5x – β	1.5x – γ	3.0x	8.0x
		Nibble	1.0x – α	1.5x – β	2.5x – γ	5.0x	20.0x

注)　表中の「α、β、γ」の値は次ページに示します。

No.	記号	パラメータ	計算式		27 MHz		36 MHz		条件	単位
			Min	Max	Min	Max	Min	Max		
1	t_{DSU}	D1BSCP 立ち下がり → データセットアップ	0.5x – 8		10		5		3.6 V ≧ Vcc ≧ 2.7 V	ns
			1.0x – 8		29		19			
2	t_{DHD}	D1BSCP 立ち下がり → データホールド	0.5x – 8		10		5			
			1.0x – 8		29		19			
			1.5x – 8		47		33			
			2.5x – 8		84		61			
3	t_{CWH}	D1BSCP → high 幅	1.0x – 12		25		15			
			1.5x – 12		43		29			
			2.0x – 12		62		43			
			2.5x – 12		80		57			
4	t_C	D1BSCP → クロックサイクル	2.0x		74		55			
			3.0x		111		83			
			4.0x		148		110			
			5.0x		185		138			
			6.0x		222		166			

注)　ここで定義しないメモリからの表示データのリードは、4.3 AC 電気的特性と同じ特性です。

4.10 推奨発振回路

TMP91C025F は、下記の発振子メーカにて評価されております。発振子の選択時に活用してください。

注) 発振端子のトータル負荷容量は、接続する外付け (または内蔵) 負荷容量 C1, C2 と、実装基板上の浮遊容量の和になります。C1, C2 の定数を使用した場合でも実装基板によりトータル負荷容量が異なり、誤動作する可能性があります。基板設計の際は、発振回路周辺のパターンが最短距離になるようにしてください。また、実際に使用される実装基板での発振評価を行うことを推奨します。

(1) 発振子接続回路例

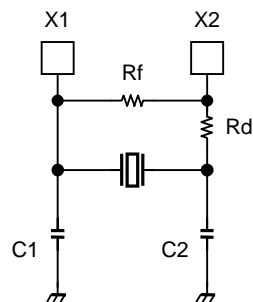
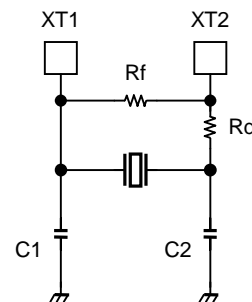



図 4.10.1　高周波発振器の接続図　　図 4.10.2　低周波発振器の接続図

(2) TMP91C025F 推奨セラミック発振子: (株) 村田製作所

Ta = −40~85°C

項目	発振周波数 [MHz]	推奨発振子	推奨定数 C1 [pF]	推奨定数 C2 [pF]	推奨定数 Rf [Ω]	推奨定数 Rd [Ω]	VCC [V]	備考
高速発振器	9.0	CSTLS9M00G56-B0	(47)	(47)	Open	0	2.7~3.6	−
		CSTCC9M00G56-R0	(47)	(47)				
	12.5	CSTLA12M5T55-B0	(30)	(30)				
		CSTCV12M5T54J-R0	(22)	(22)				
	16.0	CSACV16M0X55J-R0	10	10	22K			
	20.0	CSTCW20M0X51-R0	(6)	(6)				
	27.0	CSACW27M0X51-R0	3	3	Open			
	36.0	CSACW36M0X51-R0	Open	3				

- C1, C2 の ( ) は、コンデンサ内蔵タイプです。
- 品名末尾の｢-｣以降は梱包仕様を示します。
  リードタイプ [-A0: フラットパック品 (Ho = 18 mm), -B0:バラ品]
  SMD タイプ [-R0: プラスチックテーピング品 (ϕ = 180 mm), -B0:バラ品]
  C1、C2 の ( ) は、コンデンサ内蔵タイプです。
- 村田製発振子は、型番･仕様の切り替えが随時行われております。
  詳細につきましては、下記アドレスの同社ホームページを参照してください。
  http://www.murata.co.jp/search/index_j.html

5. 特殊機能レジスター覧表

(SFR; Special function register)

特殊機能レジスタ (SFR) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~000FFFH の 4 K バイトのアドレス空間に割り付けられています。

(1) 入出力ポート

(2) 入出力ポート制御

(3) 割り込み

(4) チップセレクト/ウェイトコントローラ

(5) クロックギア

(6) DFM

(7) 8 ビットタイマ

(8) UART/シリアルチャネル

(9) AD コンバータ

(10) ウォッチドッグタイマ

(11) RTC

(12) メロディ/アラームジェネレータ

(13) MMU

(14) LCD コントローラ

(15) タッチスクリーンインタフェース

表の構成

記号	名称	アドレス	7	6	~	1	0	
								→ Bit symbol
								→ Read/Write
								→ リセット時の初期値
								→ 備考

*: 表中の “RMW 禁” は、リードモディファイライト形式の命令をそのレジスタに対して使用禁止であることを示します。

例) P0CR レジスタのビット 0 のみを “1” にしたい場合、通常は “SET 0, (0002H)” ですが、このレジスタは “RMW 禁” のため、“LD” (転送) 命令にて 8 ビットに対して書き込む必要があります。

記号の意味

R/W: リード/ライト可能

R: リードのみ可能

W: ライトのみ可能

W*: リード/ライト可能 (ただし、リードした場合、“1” が出ます)

RMW 禁: リードモディファイライトができません。(EX, ADD, ADC, BUS, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TSET, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD 命令の使用不可)。

*R/W: 該当ポートのプルアップの制御の際には、リードモディファイライト命令は使用できません。

表 5.1　SFR アドレスマップ

[1], [2] ポート

アドレス	レジスタ名
0000H	
1H	P1
2H	
3H	
4H	P1CR
5H	
6H	P2
7H	
8H	
9H	P2FC
AH	
BH	
CH	
DH	P5
EH	
FH	

アドレス	レジスタ名
0010H	P5CR
1H	
2H	P6
3H	
4H	
5H	P6FC
6H	
7H	
8H	P8
9H	P9
AH	
BH	P6FC2
CH	
DH	P9FC
EH	PA
FH	

アドレス	レジスタ名
0020H	PAFC2
1H	PAFC
2H	PB
3H	PC
4H	PBCR
5H	PBFC
6H	PCCR
7H	PCFC
8H	PCODE
9H	PD
AH	PDFC
BH	TSICR0
CH	TSICR1
DH	
EH	
FH	

アドレス	レジスタ名
0070H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	PZ
EH	PZCR
FH	PZFC

[3] INTC

アドレス	レジスタ名
0080H	DMA0V
1H	DMA1V
2H	DMA2V
3H	DMA3V
4H	
5H	
6H	
7H	
8H	INTCLR
9H	DMAR
AH	DMAB
BH	
CH	IIMC
DH	
EH	
FH	

アドレス	レジスタ名
0090H	INTE0AD
1H	INTE12
2H	INTE3ALM4
3H	INTEALM01
4H	INTEALM23
5H	INTETA01
6H	INTETA23
7H	INTERTCKEY
8H	INTES0
9H	INTES1
AH	INTELCD
BH	INTETC01
CH	INTETC23
DH	INTEP01
EH	
FH	

注)　レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

表 5.2　SFR アドレスマップ

[4] CS/WAIT

アドレス	レジスタ名
00C0H	B0CS
1H	B1CS
2H	B2CS
3H	B3CS
4H	
5H	
6H	
7H	BEXCS
8H	MSAR0
9H	MAMR0
AH	MSAR1
BH	MAMR1
CH	MSAR2
DH	MAMR2
EH	MSAR3
FH	MAMR3

[5], [6] CGEAR,DFM

アドレス	レジスタ名
00E0H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	EMCCR0
4H	EMCCR1
5H	EMCCR2
6H	EMCCR3
7H	
8H	DFMCR0
9H	DFMCR1
AH	
BH	
CH	
DH	
EH	
FH	

[7] TMRA

アドレス	レジスタ名
0100H	TA01RUN
1H	
2H	TA0REG
3H	TA1REG
4H	TA01MOD
5H	TA1FFCR
6H	
7H	
8H	TA23RUN
9H	
AH	TA2REG
BH	TA3REG
CH	TA23MOD
DH	TA3FFCR
EH	
FH	

[8] UART/シリアルチャネル

アドレス	レジスタ名
0200H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SCMOD1
6H	
7H	SIRCR
8H	SC1BUF
9H	SC1CR
AH	SC1MOD0
BH	BR1CR
CH	BR1ADD
DH	SC1MOD1
EH	
FH	

[9] 10 ビット ADC

アドレス	レジスタ名
02A0H	ADREG04L
1H	ADREG04H
2H	ADREG15L
3H	ADREG15H
4H	ADREG26L
5H	ADREG26H
6H	ADREG37L
7H	ADREG37H
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
02B0H	ADMOD0
1H	ADMOD1
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注)　レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

表 5.3　SFR アドレスマップ

[10] WDT

アドレス	レジスタ名
0300H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[11] RTC

アドレス	レジスタ名
0320H	SECR
1H	MINR
2H	HOURR
3H	DAYR
4H	DATER
5H	MONTHR
6H	YEARR
7H	PAGER
8H	RESTR
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[12] MLD

アドレス	レジスタ名
0330H	ALM
1H	MELALMC
2H	MELFL
3H	MELFH
4H	ALMINT
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[13] MMU

アドレス	レジスタ名
0350H	LOCAL0
1H	LOCAL1
2H	LOCAL2
3H	LOCAL3
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[14] LCD コントローラ

アドレス	レジスタ名
0360H	LCDSAL
1H	LCDSAH
2H	LCDSIZE
3H	LCDCTL
4H	LCDFFP
5H	
6H	LCDCTL2
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注)　レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

(1) 入出力ポート

記号	名称	アドレス	7	6	5	4	3	2	1	0
P1	Port 1	01H	P17	P16	P15	P14	P13	P12	P11	P10
			R/W							
			外部端子データ (出力ラッチレジスタは “0” にクリアされます。)							
P2	Port 2	06H	P27	P26	P25	P24	P23	P22	P21	P20
			R/W							
			外部端子データ (出力ラッチレジスタは “1” にセットされます。)							
P5	Port 5	0DH		P56						
				R/W						
			外部端子データ (出力ラッチレジスタは “1” にセットされます。)							
				0: プルアップ OFF 1: プルアップ ON						
P6	Port 6	12H			P65	P64	P63	P62	P61	P60
					R/W					
					1	1	1	0	1	1
P8	Port 8	18H					P83	P82	P81	P80
							R			
							外部端子データ			
P9	Port 9	19H	P97	P96	P95	P94	P93	P92	P91	P90
			R							
			外部端子データ							
PA	Port A	1EH					PA3	PA2	PA1	PA0
							R/W			
							1			
PB	Port B	22H		PB6	PB5	PB4	PB3			
				R/W						
				1						
				外部端子データ (出力ラッチレジスタは “1” にセットされます。)						
PC	Port C	23H			PC5	PC4	PC3	PC2	PC1	PC0
					R/W					
					外部端子データ (出力ラッチレジスタは “1” にセットされます。)					
PD	Port D	29H	PD7			PD4	PD3	PD2	PD1	PD0
			R/W			R/W				
			1			1	1	1	1	1
PZ	Port Z	7DH					PD3	PD2		
							R/W			
							外部端子データ			
							0: プルアップ OFF 1: プルアップ ON			

(2) 入出力ポート制御 (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P1CR	Port 1 control	04H (RMW 禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P2FC	Port 2 function	09H (RMW 禁)	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
			W							
			1	1	1	1	1	1	1	1
			0: ポート, 1: アドレスバス (A23~A16)							
PZCR	Port Z control	7EH (RMW 禁)					PZ3C	PZ2C		
							W			
							0	0		
							0: 入力 1: 出力			
PZFC	Port Z function	7FH (RMW 禁)					PZ3F	PZ2F		
							W			
							0	0		
							0: ポート 1: R/$\overline{W}$, $\overline{SRWR}$	0: ポート 1: $\overline{HWR}$		
P5CR	Port 5 control	10H (RMW 禁)		P56C						
				W						
				0						
				0: 入力 1: 出力						
P6FC	Port 6 function	15H (RMW 禁)			P65F	P64F	P63F	P62F	P61F	P60F
					W					
					0	0	0	0	0	0
					0: ポート 1: EA25	0: ポート 1: EA24	0: ポート 1: $\overline{CS3}$	0: ポート 1: $\overline{CS2}$	0: ポート 1: $\overline{CS1}$	0: ポート 1: $\overline{CS0}$
P6FC2	Port 6 function2	1BH (RMW 禁)			P65F2	P64F2	–	P62F2	–	–
					W		W	W	W	W
					0		0	0	0	0
					0: <P65F> 1: $\overline{CS2C}$	0: <P64F> 1: $\overline{CS2B}$	“0” をライトしてください。	0: <P62F> 1: $\overline{CS2A}$	“0” をライトしてください。	
P9FC	Port 9 function	1DH (RMW 禁)	P97F	P96F	P95F	P94F	P93F	P92F	P91F	P90F
			W							
			0	0	0	0	0	0	0	0
			0: KEY-IN 禁止, 1: KEY-IN 許可							
PAFC	Port A function	21H (RMW 禁)					PA3F	PA2F	PA1F	PA0F
							W			
							0	0	0	0
							0: CMOS 出力 1: オープンドレイン出力			

入出力ポート制御 (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
PAFC2	Port A function2	20H (RMW 禁)					PA3F2	PA2F2	PA1F2	PA0F2
							W			
							0	0	0	0
							0: ポート 1: SCOUT	0: ポート 1: TA3OUT	0: ポート 1: TA1OUT	0: ポート 1: $\overline{ALARM}$ @<PA0> = 1 1: $\overline{MLDALM}$ @<PA0> = 0
PBCR	Port B control	24H (RMW 禁)				PB4C	PB3C			
						W				
						0	0			
						0: 入力　1: 出力				
PBFC	Port B function	25H (RMW 禁)		PB6F	PB5F	PB4F	PB3F			
				W	W	W	W			
				0	0	0	0			
				0: ポート 1: INT3	0: ポート 1: INT2	0: ポート 1: INT1	0: ポート 1: INT0			
PCCR	Port C control	26H (RMW 禁)			PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
					W					
					0	0	0	0	0	0
					0: 入力　1: 出力					
PCFC	Port C function	27H (RMW 禁)			PC5F		PC3F	PC2F		PC0F
					W		W	W		W
					0		0	0		0
					0: ポート 1: SCLK1		0: ポート 1: TXD1	0: ポート 1: SCLK0		0: ポート 1: TXD0
PCODE	Port C open drain	28H (RMW 禁)					ODEPC3			ODEPC0
							W			W
							0			0
							0: CMOS 1: オープンドレイン			0: CMOS 1: オープンドレイン
PDFC	Port D function	2AH (RMW 禁)	PD7F			PD4F	PD3F	PD2F	PD1F	PD0F
			W			W	W	W	W	W
			0			0	0	0	0	0
			0: ポート 1: MLDALM			0: ポート 1: DOFFB	0: ポート 1: DLEBCD	0: ポート 1: D3BFR	0: ポート 1: D2BLP	0: ポート 1: D1BSCP

(3) 割り込み制御 (1/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	Interrupt enable 0 & AD	90H	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTAD	割り込み要求レベル			1: INT0	割り込み要求レベル		
INTE12	Interrupt enable 2 & 1	91H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT2	割り込み要求レベル			1: INT1	割り込み要求レベル		
INTE3ALM4	Interrupt enable 3 & ALM4	92H	INTALM4				INT3			
			IA4C	IA4M2	IA4M1	IA4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTALM4	割り込み要求レベル			1: INT3	割り込み要求レベル		
INTEALM01	Interrupt enable ALM0/1	93H	INTALM1				INTALM0			
			IA1C	IA1M2	IA1M1	IA1M0	IA0C	IA0M2	IA0M1	IA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTALM1	割り込み要求レベル			1: INTALM0	割り込み要求レベル		
INTEALM23	Interrupt enable ALM2/3	94H	INTALM3				INTALM2			
			IA3C	IA3M2	IA3M1	IA3M0	IA2C	IA2M2	IA2M1	IA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTALM3	割り込み要求レベル			1: INTALM2	割り込み要求レベル		
INTETA01	Interrupt enable timer A 1/0	95H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA1	割り込み要求レベル			1: INTTA0	割り込み要求レベル		
INTETA23	Interrupt enable timer A 3/2	96H	INTTA3 (TMRA5)				INTTA2 (TMRA4)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA3	割り込み要求レベル			1: INTTA2	割り込み要求レベル		
INTERTCKEY	Interrupt enable RTC & KEY	97H	INTKEY				INTRTC			
			IKC	IKM2	IKM1	IKM0	IRC	IRM2	IRM1	IRM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTKEY	割り込み要求レベル			1: INTRTC	割り込み要求レベル		

割り込み制御 (2/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTES0	Interrupt enable serial 0	98H	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX0	割り込み要求レベル			1: INTRX0	割り込み要求レベル		
INTES1	Interrupt enable serial 1	99H	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX1	割り込み要求レベル			1: INTRX1	割り込み要求レベル		
INTLCD	Interrupt enable LCD	9AH	INTLCD							
			ILCD2C	ILCDM2	ILCDM1	ILCDM0				
			R	R/W						
			0	0	0	0				
			1: INTLCD	割り込み要求レベル						
INTETC01	Interrupt enable TC0/1	9BH	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23	Interrupt enable TC2/3	9CH	INTTC3				ITC2M0			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEP01	Interrupt enable PC0/1	9DH	INTP1				IP0M0			
			IP1C	IP1M2	IP1M1	IP1M0	IP0C	IP0M2	IP0M1	IP0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

割り込み制御 (3/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA 0 request vector	80H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 起動ベクタ					
DMA1V	DMA 1 request vector	81H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 起動ベクタ					
DMA2V	DMA 2 request vector	82H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 起動ベクタ					
DMA3V	DMA 3 request vector	83H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 起動ベクタ					
INTCLR	Interrupt clear control	88H (RMW 禁)			CLRV5	CLRV4	CLRV3	CLRV2	CLRV1	CLRV0
					W					
					0	0	0	0	0	0
					DMA 起動ベクタの書き込みにより、割り込み要求クリア。					
DMAR	DMA software request register	89H					DMAR3	DMAR2	DMAR1	DMAR0
							R/W	R/W	R/W	R/W
							0	0	0	0
							1: DMA のソフト要求			
DMAB	DMA burst request register	8AH					DMAB3	DMAB2	DMAB1	DMAB0
							R/W	R/W	R/W	R/W
							0	0	0	0
							1: DMA のバースト要求			
IIMC	Interrupt input mode control	8CH (RMW 禁)	–	–	I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	–
			W	W	W	W	W	W	W	W
			0	0	0	0	0	0	0	0
			“0” をライトしてください。	“0” をライトしてください。	INT3 エッジ 0: 立ち上がり 1: 立ち下がり	INT2 エッジ 0: 立ち上がり 1: 立ち下がり	INT1 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 0:エッジ 1:レベル	“0” をライトしてください。

(4) チップセレクト/ウェイトコントローラ (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
B0CS	Block 0 CS/WAIT control register	C0H (RMW 禁)	B0E		B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0
			W		W	W	W	W	W	W
			0		0	0	0	0	0	0
			0: 禁止 1: 許可		00: ROM/SRAM 01: 10: Reserved 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	000: 2 ウェイト 100: (0 + N) ウェイト 001: 1 ウェイト 101: 3 ウェイト 010: (1 + N) ウェイト 110: 4 ウェイト 011: 0 ウェイト 111: 8 ウェイト		
B1CS	Block 1 CS/WAIT control register	C1H (RMW 禁)	B1E		B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0
			W		W	W	W	W	W	W
			0		0	0	0	0	0	0
			0: 禁止 1: 許可		00: ROM/SRAM 01: 10: Reserved 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	000: 2 ウェイト 100: (0 + N) ウェイト 001: 1 ウェイト 101: 3 ウェイト 010: (1 + N) ウェイト 110: 4 ウェイト 011: 0 ウェイト 111: 8 ウェイト		
B2CS	Block 2 CS/WAIT control register	C2H (RMW 禁)	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0
			W	W	W	W	W	W	W	W
			1	0	0	0	0	0	0	0
			0: 禁止 1: 許可	0: 16 M 空間 1: エリア設定	00: ROM/SRAM 01: 10: Reserved 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	000: 2 ウェイト 100: (0 + N) ウェイト 001: 1 ウェイト 101: 3 ウェイト 010: (1 + N) ウェイト 110: 4 ウェイト 011: 0 ウェイト 111: 8 ウェイト		
B3CS	Block 3 CS/WAIT control register	C3H (RMW 禁)	B3E		B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0
			W		W	W	W	W	W	W
			0		0	0	0	0	0	0
			0: 禁止 1: 許可		00: ROM/SRAM 01: 10: Reserved 11:		データバス幅選択 0: 16 ビット 1: 8 ビット	000: 2 ウェイト 100: (0 + N) ウェイト 001: 1 ウェイト 101: 3 ウェイト 010: (1 + N) ウェイト 110: 4 ウェイト 011: 0 ウェイト 111: 8 ウェイト		
BEXCS	External CS/WAIT control register	C7H (RMW 禁)					BEXBUS	BEXW2	BEXW1	BEXW0
							W	W	W	W
							0	0	0	0
							データバス幅選択 0: 16 ビット 1: 8 ビット	000: 2 ウェイト 100: (0 + N) ウェイト 001: 1 ウェイト 101: 3 ウェイト 010: (1 + N) ウェイト 110: 4 ウェイト 011: 0 ウェイト 111: 8 ウェイト		
MSAR0	Memory start address register 0	C8H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR0	Memory address mask register 0	C9H	V20	V19	V18	V17	V16	V15	V14~V9	V8
			R/W							
			1	1	1	1	1	1	1	1
			CS0 空間サイズ設定　0: アドレス比較対照							
MSAR1	Memory start address register 1	CAH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR1	Memory address mask register 1	CBH	V21	V20	V19	V18	V17	V16	V15~V9	V8
			R/W							
			1	1	1	1	1	1	1	
			CS1 空間サイズ設定　0: アドレス比較対照							

チップセレクト/ウェイトコントローラ (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
MSAR2	Memory start address register 2	CCH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR2	Memory address mask register 2	CDH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS2 空間サイズ設定　0: アドレス比較対照							
MSAR3	Memory start address register 3	CEH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR3	Memory address mask register 3	CFH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS3 空間サイズ設定　0: アドレス比較対照							

(5) クロック制御 (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
SYSCR0	System clock control register 0	E0H	XEN	XTEN	RXEN	RXTEN	RSYSCK	WUEF	PRCK1	PRCK0
			R/W							
			1	1	1	0	0	0	0	0
			高速 発振器 0: 停止 1: 発振	低速 発振器 0: 停止 1: 発振	STOP モード解除後の高速発振器 0: 停止 1: 発振	STOP モード解除後の低速発振器 0: 停止 1: 発振	STOP モード解除後のクロック 0: 高速 1: 低速	ウォームアップ 0 ライト: Don't care 1 ライト: スタート 0 リード: WUP 終了 1 リード: WUP 中	プリスケーラクロック選択 00: f_{FPH} 01: Reserved 10: fc/16 11: Reserved	
SYSCR1	System clock control register 1	E1H					SYSCK	GEAR2	GEAR1	GEAR0
							R/W			
							0	1	0	0
							クロック選択 0: 高速 1: 低速	高速クロックのギア選択 000: 高速クロック 001: 高速クロック /2 010: 高速クロック /4 011: 高速クロック /8 100: 高速クロック /16 その他: Reserved		
SYSCR2	System clock control register 2	E2H	PSENV		WUPTM1	WUPTM0	HALTM1	HALTM0	SELDRV	DRVE
			R/W		R/W	R/W	R/W	R/W	R/W	R/W
			0		1	0	1	1	0	0
			0: パワーセーブモード許可 1: 禁止		発振器用 WUP 時間選択 00: Reserved 01: 2^8/入力周波数 10: 2^{14} 11: 2^{16}		00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード		<DRVE>モード選択 0: IDEL1 1: STOP	1: STOP/IDLE1 中も端子をドライブ

(5) クロック制御 (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
EMCCR0	EMC control register 0	E3H	PROTECT	TA3LCDE	AHOLD	TA3MLDE	–	EXTIN	DRVOSCH	DRVOSCL
			R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	1	1
			プロテクトフラグ 0: OFF 1: ON	LCDC ソースクロック 0: 32 kHz 1: TA3OUT	アドレスホールド 0: ノーマル 1: ホールド	MLD ソースクロック 0: 32 kHz 1:TA3OUT	“0” をライトしてください。	1: fc 外部クロック	fc 発振器ドライブ能力 1: Normal 0: Weak	fs 発振器ドライブ能力 1: Normal 0: Weak
EMCCR1	EMC control register 1	E4H	下記 1st-KEY, 2nd-KEY の動作実施によりプロテクト ON/OFF。 1st-KEY:EMCCR1 = 5AH, EMCCR2 = A5H を連続ライト。 2nd-KEY:EMCCR1 = A5H, EMCCR2 = 5AH を連続ライト。							
EMCCR2	EMC control register 2	E5H								
EMCCR3	EMC control register 3	E6H		ENFROM	ENDROM	ENPROM		FFLAG	DFLAG	PFLAG
				R/W	R/W	R/W		R/W	R/W	R/W
				0	0	0		0	0	0
				CS1A エリア検出許可 0: 禁止 1: 許可	CS2B-2C エリア検出許可 0: 禁止 1: 許可	CS2A エリア検出許可 0: 禁止 1: 許可		CS1A ライト動作フラグ	CS2B-2C ライト動作フラグ	CS2A ライト動作フラグ
								リード時 0: ライトなし 1: ライトあり ライト時 0: フラグクリア		

(6) DFM 制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
DFMCR0	DFM control register 0	E8H	ACT1	ACT0	DLUPFG	DLUPTM				
			R/W	R/W	R	R/W				
			0	0	0	0				
			DFM / LUP / f_{FPH} 選択 00: STOP / STOP / f_{OSCH} 01: RUN / RUN / f_{OSCH} 10: RUN / STOP / f_{DFM} 11: RUN / STOP / f_{OSCH}		ロックアップ (LUP) フラグ 0: LUP 終了 1: LUP 中	ロックアップ時間選択 0: $2^{12}/f_{OSCH}$ 1: $2^{10}/f_{OSCH}$				
DFMCR1	DFM control register 1	E9H	D7	D6	D5	D4	D3	D2	D1	D0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	1	0	0	1	1
			DFM 補正 入力周波数 4~9 MHz (@3.0 V~3.6 V) では 0BH をライトしてください。 入力周波数 4~6.75 MHz (@2.7 V~3.6 V) では 0BH をライトしてください。							

(7) 8ビットタイマ制御

(7-1) TMRA01

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA01RUN	Timer RUN	100H	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN
			R/W				R/W	R/W	R/W	R/W
			0				0	0	0	0
			ダブル バッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	8ビットタイマ動作/停止制御 0: 停止 & クリア 1: 動作 (カウントアップ)		
TA0REG	8-bit timer register 0	102H (RMW 禁)	–							
			W							
			不　定							
TA1REG	8-bit timer register 1	103H (RMW 禁)	–							
			W							
			不　定							
TA01MOD	8-bit timer source CLK & mode	104H	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
			R/W							
			0	0	0	0	0	0	0	0
			00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビット PPG 11: 8ビット PWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		00: TA0TRG 01: ϕT1 10: ϕT16 11: ϕT256		00: TA0IN 端子入力 01: ϕT1 10: ϕT4 11: ϕT16	
TA1FFCR	8-bit timer flip-flop control	105H (RMW 禁)					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
							R/W		R/W	
							1	1	0	0
							00: TA1FF 反転 01: TA1FF セット 10: TA1FF クリア 11: Don't care		1: TA1FF 反転 許可	0: TMRA0 1: TMRA1 による 反転

(7-2) TMRA23

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA23RUN	Timer RUN	108H	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN
			R/W				R/W	R/W	R/W	R/W
			0				0	0	0	0
			ダブル バッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	8ビットタイマ動作/停止制御 0: 停止 & クリア 1: 動作 (カウントアップ)		
TA2REG	8-bit timer register 0	10AH (RMW 禁)	–							
			W							
			不　定							
TA3REG	8-bit timer register 1	10BH (RMW 禁)	–							
			W							
			不　定							
TA23MOD	8-bit timer source CLK & mode	10CH	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
			R/W							
			0	0	0	0	0	0	0	0
			00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビット PPG 11: 8ビット PWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		00: TA2TRG 01: ϕT1 10: ϕT16 11: ϕT256		00: Reserved 01: ϕT1 10: ϕT4 11: ϕT16	
TA3FFCR	8-bit timer flip-flop control	10DH (RMW 禁)					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
							R/W		R/W	
							1	1	0	0
							00: TA3FF 反転 01: TA3FF セット 10: TA3FF クリア 11: Don't care		1: TA3FF 反転 許可	0: TMRA2 1: TMRA3 による 反転

(8) UART/シリアルチャネル (1/2)

(8-1) UART/SIO Channel 0

記号	名称	アドレス	7	6	5	4	3	2	1	0
SC0BUF	Serial channel 0 buffer	200H (RMW 禁)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0
			R (Receiving)/W (Transmission)							
			不定							
SC0CR	Serial channel 0 control	201H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (読み出すと "0" にクリアされます。)			R/W	
			不定	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0: 奇数 1: 偶数	1: パリティ許可	1: エラー オーバラン	パリティ	フレーミング	0: SCLK0↑ 1: SCLK0↓	1: SCLK0 端子入力
SC0MOD0	Serial channel 0 mode0	202H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	1: CTS 許可	1: Receive 許可	1: ウェイクアップ許可	00: I/O インタフェース 01: UART 7 ビット 10: UART 8 ビット 11: UART 9 ビット		00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f_{SYS} 11: 外部クロック SCLK0	
BR0CR	Baud rate control	203H	–	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
			R/W							
			0	0	0		0	0	0	0
			"0" をライトしてください。	1: (16 – K) /16 分周許可	00: ϕT0 01: ϕT2 10: ϕT8 11: ϕT32		分周値設定 0~F			
BR0ADD	Serial channel 0 K setting register	204H					BR0K3	BR0K2	BR0K1	BR0K0
							R/W			
							0	0	0	0
							ボーレート 0 K 値設定 (1~F)			
SC0MOD1	Serial channel 0 mode1	205H	I2S0	FDPX0						
			R/W	R/W						
			0	0						
			IDLE2 0: 停止 1: 動作	同期式 1: 全二重 0: 半二重						

(8-2) IrDA 対応

記号	名称	アドレス	7	6	5	4	3	2	1	0
SIRCR	IrDA control register	207H	PLSEL	RXSEL	TXEN	RXEN	SIRWD3	SIRWD2	SIRWD1	SIRWD0
			R/W	R/W	R/W	R/W	R/W			
			0	0	0	0	0	0	0	0
			送信パルス幅選択 0: 3/16 1: 1/16	受信データ論理 0: "H" パルス 1: "L" パルス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRxD の有効パルス幅の設定 "2x × (設定値 + 1")以上のパルス幅を有効とする 設定可: 1~14 設定不可: 0, 15			

UART/シリアルチャネル (2/2)

(8-3) UART/SIO Channel 1

記号	名称	アドレス	7	6	5	4	3	2	1	0
SC1BUF	Serial channel 1 buffer	208H (RMW 禁)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0
			R (Receiving)/W (Transmission)							
			不定							
SC1CR	Serial channel 1 control	209H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (読み出すと "0" にクリアされます。)			R/W	
			不定	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0: 奇数 1: 偶数	1: パリティ許可	1: エラー			0: SCLK1↑ 1: SCLK1↓	1: SCLK1 端子入力
						オーバラン	パリティ	フレーミング		
SC1MOD0	Serial channel 1 mode	20AH	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	1: CTS 許可	1: Receive 許可	1: ウェイクアップ許可	00: I/O インタフェース 01: UART 7 ビット 10: UART 8 ビット 11: UART 9 ビット		00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f_{SYS} 11: 外部クロック SCLK1	
BR1CR	Baud rate control	20BH	–	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
			R/W							
			0	0	0	0	0	0	0	0
			"0" をライトしてください。	1: (16 – K) /16 分周許可	00: ϕT0 01: ϕT2 10: ϕT8 11: ϕT32		分周値設定 0~F			
BR1ADD	Serial channel 1 K setting register	20CH					BR1K3	BR1K2	BR1K1	BR1K0
							R/W			
							0	0	0	0
							ボーレート 1 K 値設定 (1~F)			
SC1MOD1	Serial channel 1 mode1	20DH	I2S1	FDPX1						
			R/W	R/W						
			0	0						
			IDLE2 0: 停止 1: 動作	同期式 1: 全二重 0: 半二重						

(9) AD コンバータ制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
ADMOD0	AD mode register 0	2B0H	EOCF	ADBF	–	–	ITM0	REPEAT	SCAN	ADS
			R		R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			1: End	1: Busy	“0”をライトしてください。	“0”をライトしてください。	リピート時のINT タイミング	1: リピート	1: スキャン	1: スタート
ADMOD1	AD mode register 1	2B1H	VREFON	I2AD			ADTRGE	ADCH2	ADCH1	ADCH0
			R/W	R/W			R/W	R/W		
			0	0			0	0	0	0
			1: VREF ON	IDLE2 0: 停止 1: 動作			1: 外部 TRG 許可	入力チャネル選択 000: AN0 AN0 001: AN1 AN0 → AN1 010: AN2 AN0 → AN1 → AN2 011: AN3 AN0 → AN1 → AN2 → AN3 100: -111: 使用不可		
ADREG04L	AD result register 0/4 low	2A0H	ADR01	ADR00						ADR0RF
			R							R
			不定							0
ADREG04H	AD result register 0/4 high	2A1H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
			R							
			不定							
ADREG15L	AD result register 1/5 low	2A2H	ADR11	ADR10						ADR1RF
			R							R
			不定							0
ADREG15H	AD result register 1/5 high	2A3H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
			R							
			不定							
ADREG26L	AD result register 2/6 low	2A4H	ADR21	ADR20						ADR2RF
			R							R
			不定							0
ADREG26H	AD result register 2/6 high	2A5H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
			R							
			不定							
ADREG37L	AD result register 3/7 low	2A6H	ADR31	ADR30						ADR3RF
			R							R
			不定							0
ADREG37H	AD result register 3/7 high	2A7H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
			R							
			不定							

(10) ウォッチドッグタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
WDMOD	WDT mode register	300H	WDTE	WDTP1	WDTP0			I2WDT	RESCR	–
			R/W	R/W	R/W			R/W	R/W	R/W
			1	0	0			0	0	0
			1: WDT 許可	00: $2^{15}/f_{SYS}$, 01: $2^{17}/f_{SYS}$,	10: $2^{19}/f_{SYS}$ 11: $2^{21}/f_{SYS}$			IDLE2 0: 停止 1: 動作	1: RESET 端子へ内部接続	"0" をライトしてください。
WDCR	WD control	301H (RMW 禁)	–							
			W							
			–							
			B1H: WDT 禁止　4EH: WDT クリア							

(11) RTC

記号	名称	アドレス	7	6	5	4	3	2	1	0
SECR	Second register	320H		SE6	SE5	SE4	SE3	SE2	SE1	SE0
				R/W						
				不定						
			“0” がリードされます。	40 秒桁	20 秒桁	10 秒桁	8 秒桁	4 秒桁	2 秒桁	1 秒桁
MINR	Minute register	321H		MI6	MI5	MI4	MI3	MI2	MI1	MI0
				R/W						
				不定						
			“0” がリードされます。	40 分桁	20 分桁	10 分桁	8 分桁	4 分桁	2 分桁	1 分桁
HOURR	Hour register	322H			HO5	HO4	HO3	HO2	HO1	HO0
					R/W					
					不定					
			“0” がリードされます。		20 時桁/(PM/AM)	10 時桁	8 時桁	4 時桁	2 時桁	1 時桁
DAYR	Day register	323H						WE2	WE1	WE0
								R/W		
								不定		
			“0” がリードされます。					W2	W1	W0
DATER	Date register	324H			DA5	DA4	DA3	DA2	DA1	DA0
					R/W					
					不定					
			“0” がリードされます。		20 日桁	10 日桁	8 日桁	4 日桁	2 日桁	1 日桁
MONTHR	Month register	325H				MO4	MO3	MO2	MO1	MO0
						R/W				
						不定				
		Page 0	“0” がリードされます。			10 月桁	8 月桁	4 月桁	2 月桁	1 月桁
		Page 1	“0” がリードされます。							0: 12 時間計 1: 24 時間計
YEARR	Year register	326H	YE7	YE6	YE5	YE4	YE3	YE2	YE1	YE0
			R/W							
			不定							
		Page 0	80 年桁	40 年桁	20 年桁	10 年桁	8 年桁	4 年桁	2 年桁	1 年桁
		Page 1	“0” がリードされます。						うるう年設定	
PAGER	Page register	327H (RMW 禁)	INTRTC			ADJUST	ENATMR	ENAALM		PAGE
			R/W			W	R/W			R/W
			0			不定				不定
			INT 許可	“0” がリードされます。		アジャスト	タイマ許可	アラーム許可	“0” がリードされます。	Page 設定
RESTR	Reset register	328H (RMW 禁)	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	RE3	RE2	RE1	RE0
			W							
			不定							
			0: 1 Hz	0: 16 Hz	1: リセットタイマ	1: リセットアラーム	“0” をライトしてください。			

(12) メロディ/アラームジェネレータ

記号	名称	アドレス	7	6	5	4	3	2	1	0
ALM	Alarm pattern register	330H	AL8	AL7	AL6	AL5	AL4	AL3	AL2	AL1
			R/W							
			0							
			アラームパターン設定							
MELALMC	Melody/ Alarm control register	331H	FC1	FC0	ALMINV	–	–	–	–	MELALM
			R/W		R/W	R/W	R/W	R/W	R/W	R/W
			0		0	0	0	0	0	0
			フリーランカウンタ制御 00: ホールド 01: 再スタート 10: クリア 11: クリア & スタート		アラーム波形反転 1: 反転	“0” をライトしてください。				出力波形選択 0: アラーム 1: メロディ
MELFL	Melody frequency L-register	332H	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0
			R/W							
			0							
			メロディ周波数設定 (下位 8 ビット)							
MELFH	Melody frequency H-register	333H	MELON				ML11	ML10	ML9	ML8
			R/W				R/W			
			0				0			
			メロディカウンタ制御 0: 停止 & クリア 1: スタート				メロディ周波数設定 (上位 4 ビット)			
ALMINT	Alarm interrupt enable register	334H			–	IALM4E	IALM3E	IALM2E	IALM1E	IALM0E
					R/W	R/W				
					0	0				
					“0”をライトしてください。	INTALM4~INTALM0 割り込み出力許可				

(13) MMU

<table>
<tr><th>記号</th><th>名称</th><th>アドレス</th><th>7</th><th>6</th><th>5</th><th>4</th><th>3</th><th>2</th><th>1</th><th>0</th></tr>
<tr><td rowspan="4">LOCAL 0</td><td rowspan="4">Local 0 control register</td><td rowspan="4">350H</td><td>L0E</td><td></td><td></td><td></td><td></td><td>L0EA22</td><td>L0EA21</td><td>L0EA20</td></tr>
<tr><td>R/W</td><td></td><td></td><td></td><td></td><td colspan="3">R/W</td></tr>
<tr><td>0</td><td></td><td></td><td></td><td></td><td colspan="3">0</td></tr>
<tr><td>0: 禁止
1: 許可</td><td></td><td></td><td></td><td></td><td colspan="3">LOCAL 0 エリア BANK 設定</td></tr>
<tr><td rowspan="4">LOCAL 1</td><td rowspan="4">Local 1 control register</td><td rowspan="4">351H</td><td>L1E</td><td></td><td></td><td></td><td></td><td>L1EA23</td><td>L1EA22</td><td>L1EA21</td></tr>
<tr><td>R/W</td><td></td><td></td><td></td><td></td><td colspan="3">R/W</td></tr>
<tr><td>0</td><td></td><td></td><td></td><td></td><td colspan="3">0</td></tr>
<tr><td>0: 禁止
1: 許可</td><td></td><td></td><td></td><td></td><td colspan="3">LOCAL 1 エリア BANK 設定</td></tr>
<tr><td rowspan="4">LOCAL 2</td><td rowspan="4">Local 2 control register</td><td rowspan="4">352H</td><td>L2E</td><td></td><td></td><td></td><td></td><td>L2EA23</td><td>L2EA22</td><td>L2EA21</td></tr>
<tr><td>R/W</td><td></td><td></td><td></td><td></td><td colspan="3">R/W</td></tr>
<tr><td>0</td><td></td><td></td><td></td><td></td><td colspan="3">0</td></tr>
<tr><td>0: 禁止
1: 許可</td><td></td><td></td><td></td><td></td><td colspan="3">LOCAL 2 エリア BANK 設定</td></tr>
<tr><td rowspan="4">LOCAL 3</td><td rowspan="4">Local 3 control register</td><td rowspan="4">353H</td><td>L3E</td><td></td><td></td><td>–</td><td>L3EA25</td><td>L3EA24</td><td>L3EA23</td><td>L3EA22</td></tr>
<tr><td>R/W</td><td></td><td></td><td>R/W</td><td colspan="4">R/W</td></tr>
<tr><td>0</td><td></td><td></td><td>0</td><td colspan="4">0</td></tr>
<tr><td>0: 禁止
1: 許可</td><td></td><td></td><td>“0” をライトしてください。</td><td colspan="4">LOCAL 3 エリア BANK 設定</td></tr>
</table>

(14) LCD コントローラ

記号	名称	アドレス	7	6	5	4	3	2	1	0
LCDSAL	LCD start address register L	360H	SAL15	SAL14	SAL13	SAL12		–	–	MODE
			R/W					R/W		
			0					0	0	0
			SR モードのスタートアドレス A15~A12					"0" をライトしてください。	"0" をライトしてください。	モード 0: RAM 1: SR
LCDSAH	LCD start address register H	361H	SAL23	SAL22	SAL21	SAL20	SAL19	SAL18	SAL17	SAL16
			R/W							
			0							
			SR モードのスタートアドレス A23~A16							
LCDSIZE	LCD size register	362H	COM3	COM2	COM1	COM0	SEG3	SEG2	SEG1	SEG0
			R/W							
			0							
			SR モードの LCD コモン数設定 0000: 64, 0101: 128 0001: 68, 0110: 144 0010: 80, 0111: 160 0011: 100, 1000: 200 0100: 120, 1001: 240 その他: Reserved				SR モードの LCD セグメント数設定 0000: 32, 0101: 160 0001: 64, 0110: 240 0010: 80, 0111: 320 0011: 120, 1000: 360 0100: 128, その他: Reserved			
LCDCTL	LCD control register	363H	LCDON	–	–	BUS1	BUS0	MMULCD	FP8	START
			R/W							
			0							
			$\overline{DOFF}$ 端子 0: OFF 1: ON	"0" をライトしてください。	"0" をライトしてください。	SR モードのデータバス幅選択 00: Byte 01: Nibble		直 RAM タイプ設定 0: OFF 1: ON	f_{FP} 設定値ビット 8	SR モードのスタート 1: スタート
LCDFFP	LCD frame frequency register	364H	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
			R/W							
			0							
			f_{FP} 設定値ビット 7~0							
LCDCTL	LCD control register 2	366H	–	–	–			RAMBUS	AC1	AC0
			R/W	R/W	R/W			R/W	R/W	R/W
			0	0	0			0	0	0
			"111" をライトしてください。					0: Byte 1: Word	00: タイプ A 01: タイプ B 10: タイプ C 11: Reserved	

(15) タッチスクリーンインタフェース

記号	名称	アドレス	7	6	5	4	3	2	1	0
TSICR0	Touch-screen control register	2BH	TSI7		PTST	TWIEN	PYEN	PXEN	MYEN	MXEN
			R/W		R	R/W	R/W	R/W	R/W	R/W
			0		0	0	0	0	0	0
			0: 禁止 1:許可		0: Untouch 1: Touch	0: 禁止 1:許可	0: 禁止 1:許可	0: 禁止 1:許可	0: 禁止 1:許可	0: 禁止 1:許可
TSICR1	Debounce-circuit control register	2CH	DBC7	DB1024	DB256	DB64	DB8	DB4	DB2	DB1
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			0: 禁止 1:許可	0: 禁止 1: Add 1024 × 96X	0: 禁止 1: Add 256 × 96X	0: 禁止 1: Add 64 × 96X	0: 禁止 1: Add 8 × 96X	0: 禁止 1: Add 4 × 96X	0: 禁止 1: Add 2 × 96X	0: 禁止 1: Add 1 × 96X

X = 27.8 ns @ 36 MHz

6. 使用上の注意、制限事項

(1) 特別な表記、言葉の説明

a. 内蔵 I/O レジスタの説明: レジスタシンボル<ビットシンボル>

例）TA01RUN<TA0RUN>: レジスタ TA01RUN のビット TA0RUN を示します。

b. リードモディファイライト命令 (RMW)

CPU が、1 つの命令でメモリに対してデータをリードした後にそのデータを操作し、同じメモリアドレスにデータをライトする命令。

例 1) SET 3, (TA01RUN) … TA01RUN レジスタのビット 3 をセットする

例 2) INC 1, (100H) … アドレス 100H のデータを+1 する

- TLCS-900 におけるリードモディファイライト命令

交換命令

EX (mem), R

算術命令

ADD (mem), R/# ADC (mem), R/#
SUB (mem), R/# SBC (mem), R/#
INC #3, (mem) DEC #3, (mem)

論理演算

AND (mem), R/# OR (mem), R/#
XOR (mem), R/#

ビット操作

STCF #3/A, (mem) RES #3, (mem)
SET #3, (mem) CHG #3, (mem)
TSET #3, (mem)

ローテイト, シフト

RLC (mem) RRC (mem)
RL (mem) RR (mem)
SLA (mem) SRA (mem)
SLL (mem) SRL (mem)
RLD (mem) RRD (mem)

c. f_{OSCH}, fc, f_{FPH}, f_{SYS} および 1 ステート

X1, X2 端子より入力されるクロック周波数を f_{OSCH}、DFMCR0<ACT1:0>レジスタにより選択されるクロック周波数を fc と呼びます。

また、SYSCR1<SYSCK>レジスタにより選択されるクロック周波数を f_{FPH}、f_{FPH} を 2 分周して得られたクロック周波数をシステムクロック f_{SYS} と呼びます。

この f_{SYS} の 1 周期を 1 ステートと呼びます。

(2) 使用上の注意、制限事項

a. AM0 と AM1 端子

これらの端子は、V_{CC} (電源レベル) または V_{SS} (グランドレベル) に接続します。動作中は接続されている電位を変更しないでください。

b. EMU0 と EMU1 端子

これらの端子には何も接続しません。

c. ウォームアップカウンタ

外部発振器を用いるシステムでも、STOP モードが解除されるとウォームアップカウンタは動作を始めます。結果として、解除要求入力からシステムクロックが出力されるまでの間にはウォームアップ時間と同じだけの時間がかかります。

d. プログラマブルプルアップ抵抗

このプログラマブルプルアップ抵抗は、ポートを入力として使用するときのみプログラマブルに抵抗の付加/無付加を選択できるようになっています。出力ポートとして使用するときは、選択できません。抵抗の付加/無付加の選択は当該ポートのデータレジスタ (例: P5 レジスタ) で制御しますが、その場合リードモディファイライト命令は使用できませんので、転送命令を使用してください。

e. ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは動作状態となっていますので、ウォッチドッグタイマを使用しない場合は動作禁止に設定してください。

f. AD コンバータ

VREFH~VREFL 端子間のラダー抵抗をプログラマブルに接続、切り離しする機能がありますので、STOP モードなどで消費電力を下げる場合は、HALT 命令を実行する前にプログラムで切り離してください。

g. CPU (マイクロ DMA)

“LDC cr, r” 命令、および “LDC r, cr” 命令だけが CPU 内の制御レジスタとのアクセスに利用できます。(DMASn レジスタなど)

h. 未定義 SFR ビット

SFR (Special function register) の未定義ビットの値は、読み出すと「不定」が読み出されます。

i. 「POP SR」命令

「POP SR」命令の実行は、DI (割り込み不許可) 状態で行ってください。

j. 割り込み要求によるホルト状態からの解除

通常は割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1, STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 (f_{FPH} 約 5 クロックの間) に、HALT モードを解除可能な割り込み (INT0~INT3, INTKEY, INTRTC, INTALM0~INTALM4) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます) 。

HALT モードへ完全に移行された後に再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

7. パッケージ外形寸法図

P-LQFP100-1414-0.50F

Unit: mm